

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE

UNIVERSITE FRERES MENTOURI CONSTANTINE I
FACULTE DES SCIENCES EXACTES
DEPARTEMENT DE PHYSIQUE

N° d'ordre :
Série :

THÈSE

Présentée pour l'obtention du diplôme de
DOCTEUR EN SCIENCES EN PHYSIQUE

SPECIALITE : ENERGÉTIQUE
OPTION : PHOTOVOLTAIQUE

THÈME

**ÉTUDE DES PROPRIÉTÉS STATIQUES ET DYNAMIQUES
DU TRANSISTOR À GRILLE ISOLÉE MOSFET**

PAR :

BENZAOUI OUASSILA

Devant le jury composé de :

Président :	S. BENATALLAH	M.C.A	Univ. Frère Mentouri Constantine I
Rapporteur :	C. AZIZI	Prof.	Univ. Larbi Ben M'hidi Oum El-Bouaghi
Examineurs :	Y. SAIDI	Prof.	Univ. Frère Mentouri Constantine I
	M. ZAABAT	Prof.	Univ. Larbi Ben M'hidi Oum El-Bouaghi
	M. DRAIDI	M.C.A	Univ. Larbi Ben M'hidi Oum El-Bouaghi

Remerciements

Je tiens tout d'abord à remercier DIEU le tout puissant et miséricordieux, qui m'a donné la force, la volonté, la santé et la patience durant toutes ces longues années d'études afin que je puisse arriver à ce stade.

Mes remerciements vont en particulier à Madame C. AZIZI, professeur à l'université Larbi Ben M'Hidi d'Oum El Bouaghi pour avoir accepté de m'encadrer ainsi que pour ses précieux conseils, ses compétences scientifiques et pour la liberté de recherche qu'elle a bien voulu me laisser.

Je remercie vivement Madame S. BENATALLAH, maitre de conférences A à l'université Frères Mentouri-Constantine I pour l'honneur qu'il m'a fait en acceptant de présider le jury de cette thèse.

Mes remerciements vont également à Madame Y. SAIDI, professeur à l'université Frères Mentouri-Constantine I d'avoir accepté d'être membre de jury.

Mes remerciements vont également à Monsieur M. ZAABAT, professeur à l'université Larbi Ben M'Hidi d'Oum El Bouaghi d'avoir accepté d'être membre de jury.

Mes remerciements vont également à Monsieur M. DRAIDI, maitre de conférences A à l'université Larbi Ben M'Hidi d'Oum El Bouaghi d'avoir accepté d'être membre de jury.

Je tiens à remercier très vivement Monsieur F. MORANCHO, Professeur à l'Université Toulouse 3, LAAS/CNRS - Groupe ISGE – France pour son aide, son esprit scientifique et ses qualités humaines.

Enfin, je tiens également à remercier toutes les personnes qui ont participé de près ou de loin à la réalisation de ce travail.

DÉDICACE

Je dédie ce modeste travail

A la mémoire de ma tante

A la mémoire de mon père

A ma chère mère

A mon mari

A mes filles

A mes frères et mes sœurs

A toute ma famille

A tous mes amis

Sommaire

Sommaire

<i>Introduction générale</i>	1
---	----------

Chapitre I : Caractéristiques générales du MOSFET

I.1 Introduction.....	4
I.2 Etat de l'art des transistors.....	4
I.2.1 Transistors bipolaires.....	6
I.2.2 Transistors unipolaires (transistor à effet de champ).....	7
I.2.3 Autres transistors.....	9
I.3 Présentation du transistor MOSFET.....	9
I.3.1 DMOSFET.....	11
I.3.2 EMOSFET.....	11
I.4 Généralités sur la structure MOS.....	12
I.4.1 Diagramme d'énergie d'une structure Métal-Vide-Semiconducteur.....	12
I.4.2 Diagramme d'énergie d'une structure MOS.....	14
I.4.3 Effet d'une polarisation du matériau de grille.....	16
I.5 Principe de fonctionnement d'un MOSFET.....	17
I.6 Le Silicium.....	20
I.6.1 Structure cristalline.....	20
I.6.2 Bande d'énergie interdite.....	22
I.6.3 Propriétés physiques et électriques du silicium.....	24
I.6.4 Phénomènes de transport.....	24
I.6.4.1 Transport stationnaire.....	24
I.6.4.2 Transport non stationnaire.....	27
I.7 L'Oxyde de Silicium SiO ₂	29

Chapitre II: Propriétés statiques du MOSFET

II.1 Introduction.....	31
II.2 Tension de seuil.....	31
II.3 Courant de drain.....	33
I.3.1 Régime linéaire.....	36
I.3.2 Régime saturé.....	37

II.4 Transconductance g_m et conductance g_d	37
II.4.1 Transconductance g_m	38
II.4.2 Conductance g_d	39
II.5 Effet des résistances parasites.....	39
II.6 Effet de la mobilité	41
II.7 Effet de la température	43
II.7.1 Paramètres thermiques.....	43
II.7.2 Dissipation thermique.....	45

Chapitre III : Propriétés dynamiques du MOSFET

III.1 Introduction	46
III.2 Schéma équivalent électrique du transistor MOSFET	46
III.2.1 Eléments intrinsèques.....	47
III.2.1.1 Transconductance g_m intrinsèques	47
III.2.1.2 Conductance g_d	47
III.2.1.3 Capacités grille-source / grille-drain	48
III.2.1.4 Capacité drain-source	49
III.2.2 Eléments extrinsèques	49
III.2.2.1 Résistances	49
III.2.2.2 Capacités et inductances.....	49
III.3 Paramètres dynamiques.....	50
III.3.1 Paramètres S parasites	50
III.3.2 Fréquence de transition f_t	52
III.3.3 Fréquence maximale d'oscillation f_{max}	54
III.3.4 Facteur de stabilité du transistor.....	55
III.4 Bruit dans les transistors MOSFET.....	56
III.4.1 Bruit en $1/f$ ou bruit basse fréquence	56
III.4.1.1 Fluctuations du nombre de porteurs de charge.....	57
III.4.1.2 Fluctuation de la mobilité.....	58
III.4.2 Le bruit thermique	58

Chapitre IV : Résultats et interprétations

IV.1 Introduction.....	59
IV.2 Caractéristiques statiques.....	59
IV.2.1 logiciel de simulation.....	59

IV.2.2 Caractéristiques courant tension I-V	61
IV.2.3 Effet de la mobilité variable.....	64
IV.2.4 Effet des résistances parasites	70
IV.2.5 Effet des paramètres géométriques et physiques	71
IV.2.6 Effet de la température.....	75
IV.3 Caractéristiques dynamiques.....	84
IV.3.1 Logiciel de simulation HFSS	84
IV.3.1.1 Méthode des Eléments Finis (MEF)	84
IV.3.1.2 Paramètres de maillage du simulateurHFSS.....	84
IV.3.1.2.1 Maximum Delta S et convergence	85
IV.3.1.2.2 Nombre maximum d'itération ou nombre de passe	85
IV.3.1.2.3 Fréquence adaptative.....	85
IV.3.1.2.4 Maximum raffinement Per Pass	85
IV.3.2 Paramètres S.....	87
IV.3.3 Capacités	90
IV.3.4 Fréquence de transition f_T	92
IV.3.5 Fréquence d'oscillation maximale f_{max}	93
IV.3.6 Facteur de stabilité k	94
Conclusion générale.....	96
Références bibliographiques.....	98

Introduction générale

Introduction générale

Accroître les performances, repousser les limites de l'impossible sont le but quotidien du chercheur. Dans l'univers de l'électronique, le développement de programmes militaires et spatiaux a largement contribué à cette évolution. Aujourd'hui, d'autres domaines comme les télécommunications, l'informatique, les transports ou encore l'électronique, prennent une place très importante dans les activités de recherches des différents laboratoires. Cette course effrénée à l'amélioration des systèmes, les vitesses de plus rapides des calculateurs numériques, ou les quantités des informations véhiculées par voie hertziennes toujours plus importantes, ont nécessité et nécessitent une montée en fréquence régulière des dispositifs concernés. Cette évolution fréquentielle requiert sans cesse une adaptation des composants électroniques.

Le MOSFET a été conçu de façon théorique en 1920 par Julius Lilienfeld qui le breveta comme étant un composant servant à contrôler le courant [1]. Par contre, la technologie nécessaire à sa construction ne fut pas disponible avant 1950. Effectivement, la complexité du MOSFET requiert des techniques plus précises que ce qui était disponible à l'époque. Ce ne fut qu'avec l'avènement des circuits intégrés que le MOSFET put devenir une réalité. Ainsi, Attalla et Khang des laboratoires Bell construisent le premier MOSFET en 1959 qui fera son apparition dans les circuits intégrés en 1963. Peu après, l'élaboration de la technologie CMOS assura le futur commercial et technologique du MOSFET en électronique intégrée [2,3].

Le transistor MOS est de loin, le dispositif le plus répandu dans la production actuelle de composants semiconducteurs, car il est le composant de base de la technologie CMOS (complementary MOS), qui, à elle seule, englobe plus de 70 % de la production mondiale de circuits intégrés. Plusieurs sigles plus ou moins justifiés sont utilisés dans la littérature pour décrire le transistor MOS (Metal Oxide Semiconductor) : MOSFET (MOS Field Effect Transistor), IGFET (Insulated Gate Field Effect Transistor) et MOST (Metal Oxide Semiconductor Transistor)[4].

TMOS se caractérise par le fait que la **grille**, par l'effet de champ électrique, contrôle à travers l'oxyde de grille la densité de porteurs dans le canal du dispositif et ainsi l'intensité du courant dans le canal. Le canal est relié de part et d'autre à deux régions fortement dopées **drain** et **source** entre lesquelles est appliquée une tension donnant lieu à la circulation du courant [4].

Contrairement au transistor bipolaire, le transistor MOSFET fait appel à un seul type de porteur de charge c'est donc un composant unipolaire. En l'absence de phénomènes de stockage de porteurs minoritaires, les composants unipolaires sont intrinsèquement plus rapides. Deux avantages connexes doivent être soulignés [5] :

- Une très forte résistance d'entrée des dispositifs commandés, grâce à la possibilité de contrôler le flux de porteurs majoritaire par effet de champ.
- Une très grande stabilité thermique latérale sous polarisation directe en raison du coefficient de température négatif de la mobilité des porteurs, cette stabilité autorise la réalisation de composants de fort calibre en courant, avec une très grande surface active, par intégration parallèle de cellules élémentaires.

Les progrès technologiques ont permis de réduire les dimensions et notamment la longueur de grille, du MOSFET favorisent ainsi le fonctionnement en hautes fréquences. C'est ainsi que chaque innovation dans la réalisation du composant répond au désir de vérifier les avantages substantiels par des études théoriques qui prévoient de telles caractéristiques.

L'intérêt porté pour les technologies Si, et plus précisément pour les transistors MOS dans le domaine des RF, repose sur trois points [6] :

- Une technologie peu coûteuse par rapport aux technologies III-V. Elle est très mature d'un point de vue industriel.
- La quasi-totalité des circuits numériques sont réalisés avec cette technologie. On peut donc envisager des applications mixtes analogique/numérique sur la même puce (SoC : *System on Chip*).
- Elle requiert de faibles tensions de polarisation et présente une consommation en puissance très faible.

Et c'est là les points-clés qui ont poussé la recherche internationale à faire évoluer cette technologie dans les RF. C'est le candidat idéal pour toutes les applications où la faible consommation et la forte intégration sont exigées, par exemple pour toutes les applications embarquées.

Le travail qui fait l'objet de notre thèse est « l'étude des propriétés statiques et dynamiques du transistor à grille isolée MOSFET ». Ce travail comportera les chapitres suivants :

Le premier chapitre est consacré aux caractéristiques générales du MOSFET. On présentera un état d'art des composants à effet de champ, la structure et le principe de fonctionnement du MOSFET, ainsi que les propriétés physiques et électriques du Silicium « Si ».

Dans le deuxième chapitre on a étudié les propriétés statiques du transistor MOSFET. Une formulation analytique des principaux mécanismes statiques est effectuée et permet d'aboutir à un modèle mathématique du transistor MOSFET.

Le troisième chapitre est consacré aux propriétés dynamiques du composant MOSFET en hautes fréquences. Nous présenterons un schéma équivalent électrique petit signal. Les principaux paramètres du comportement dynamique seront décrits.

Le dernier chapitre de ce mémoire présente l'ensemble des résultats de la simulation des caractéristiques statiques et dynamiques des transistors MOSFET. Au cours de cette présentation, l'interprétation des résultats obtenus est faite en détail.

Une conclusion générale et des perspectives à ses travaux seront indiquées en fin de ce manuscrit.

CHAPITRE I

Caractéristiques générales du MOSFET

I.1 Introduction

Aujourd'hui le transistor MOS constitue, par sa simplicité de fabrication et ses petites dimensions, l'élément fondamental des circuits intégrés numériques à large échelle.

Le but de ce premier chapitre est de présenter la structure et le principe de fonctionnement du transistor MOSFET, ainsi que les phénomènes physiques internes au composant qui régissent son fonctionnement. Aussi une étude sur les propriétés physiques et électriques du Silicium « Si » est présentée.

I.2 Etat de l'art des transistors

Le transistor est le composant électronique actif fondamental en électronique utilisé principalement comme interrupteur commandé pour l'amplification, mais aussi pour stabiliser, moduler un signal ainsi que de nombreuses autres utilisations.

Le terme transistor provient de l'Anglais transconductance varistor (résistance variable de transconductance). Le transistor fut considéré comme un énorme progrès face au tube électronique : il est plus robuste, il fonctionne avec des tensions faibles, il peut donc être alimenté par des piles et il fonctionne instantanément une fois mis sous tension, contrairement aux tubes électroniques qui demandaient une dizaine de secondes de chauffage. Il a été rapidement assemblé, avec d'autres composants, au sein de circuits intégrés, ce qui lui permit de conquérir encore plus de terrain sur les autres formes d'électroniques actives.

Le transistor a constitué une invention déterminante sans laquelle l'électronique et l'informatique ne posséderaient pas leurs formes actuelles (2007), il a permis à la société de l'information électronique de se développer.

Les transistors se classent en différentes familles et types. Le tableau (1) offre un classement des différents transistors ainsi que de leur composition [7].

Type de transistor		Structure	Fonctionnement	Mécanisme de contrôle	Porteurs de charge
Bipolaire = Transistor à jonction	PNP	Jonctions PN	Polarisation directe ou inverse des jonctions	Courant circulant à travers les jonctions	Electrons et trous Majoritaires et minoritaires
	NPN				
Unipolaire = A effet de champ = F.E.T	Junction FET = JFET	JFET	Jonction PN	Elargissement de la zone de déplétion de la jonction	Tension sur la grille séparée du canal par des jonctions PN
		MESFET	Jonction Métal Semiconducteur		
	Insulated Gate FET = IGFET	MOS	MIS	Polarisation de la grille isolée	Tension sur la grille isolée du canal par un isolant (SiO ₂)

Tableau (1) : Différents types de transistors

I.2.1 Transistors bipolaires

Les transistors bipolaires ont été les premiers à être utilisés. Le terme bipolaire provient de la présence des deux types de porteurs de charge dans le courant de sortie, les majoritaires et les minoritaires. Toutefois, la présence de deux types de porteurs de charge favorise les recombinaisons entre eux, cela augmente le temps de basculement entre deux états. De plus, les deux jonctions PN forment des capacités que doivent être vidées lors de la commutation. Cela ralentit encore le fonctionnement. Le transistor bipolaire est donc de moins en moins utilisé actuellement. La commande des transistors bipolaires est en courant électrique. Selon la valeur de ce courant, le transistor fournit ou non un courant de sortie. Il s'agit donc d'une source de courant commandée en courant [8].

Il est également appelé transistor à jonctions. Il est en effet composé de deux jonctions PN mise bout à bout. Ses deux types sont PNP et NPN selon l'alternance des zones semi-conductrices figure (I.1).

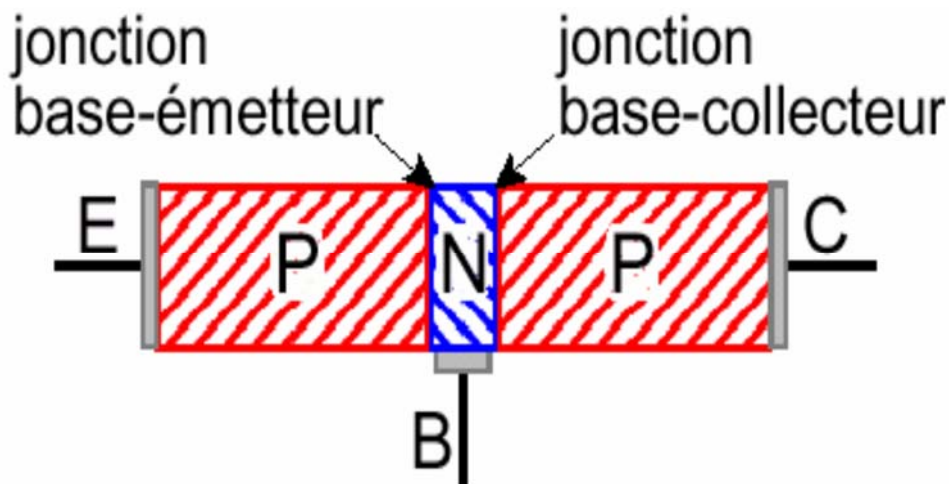


Figure (I.1) : Transistor bipolaire PNP

I.2.2 Transistors unipolaires (transistor à effet de champ)

Les transistors unipolaires sont apparus par la suite. Ils sont caractérisés par la présence d'un seul type de porteurs de charge pour le courant, d'où leur nom d'*unipolaire*. Les transistors unipolaires sont également appelés *transistors à effet de champ, FET*. Le transistor fonctionne avec l'application d'un champ électrique. Ce champ rendra le transistor passant ou non. Les transistors unipolaires sont donc des sources de courant commandées en tension. Pour avoir un transistor à effet de champ, il faut que la borne de commande soit isolée des autres pour qu'un courant ne puisse circuler.

Il existe principalement trois groupes dans la famille des transistors à effet de champ FET [4] :

- A . JFET (*Junction FET*)** : dont l'effet de champ provient d'une jonction PN polarisée en inverse ; si la région P est la grille, elle module l'épaisseur du canal (région N) et, ainsi, son courant par l'extension de la zone de charge d'espace sous l'effet de la polarisation inverse de la jonction figure (I.2.a).
- B . MESFET (*Metal Semiconductor FET*)** : dont l'effet de champ provient d'une jonction Schottky (métal-semi-conducteur) polarisée en inverse, le fonctionnement de la grille métallique étant analogue à celui de la grille du JFET figure (I.2.b).
- C . IGFET (*Isulated Gate FET*)** : dont l'effet de champ provient d'une grille isolée du canal par un diélectrique mince ; actuellement, le diélectrique utilisé presque exclusivement, est l'oxyde SiO_2 d'où la dénomination MOSFET ; cependant il faut remarquer que d'autres diélectriques, comme Si_3N_4 , un empilement $\text{SiO}_2/\text{Si}_3\text{N}_4$ ou un empilement $\text{SiO}_2/\text{Ta}_2\text{O}_5$, peuvent aussi être utilisés figure (I.2.c).

Des trois composants cités précédemment, le transistor MOS (IGFET ou MOSFET) est le dispositif le plus répandu dans la production actuelle de composant semi-conducteur, il est aussi le composant de base de la technologie CMOS (Complementary MOS). Le transistor MOSFET est l'objet de notre étude dans cette thèse.

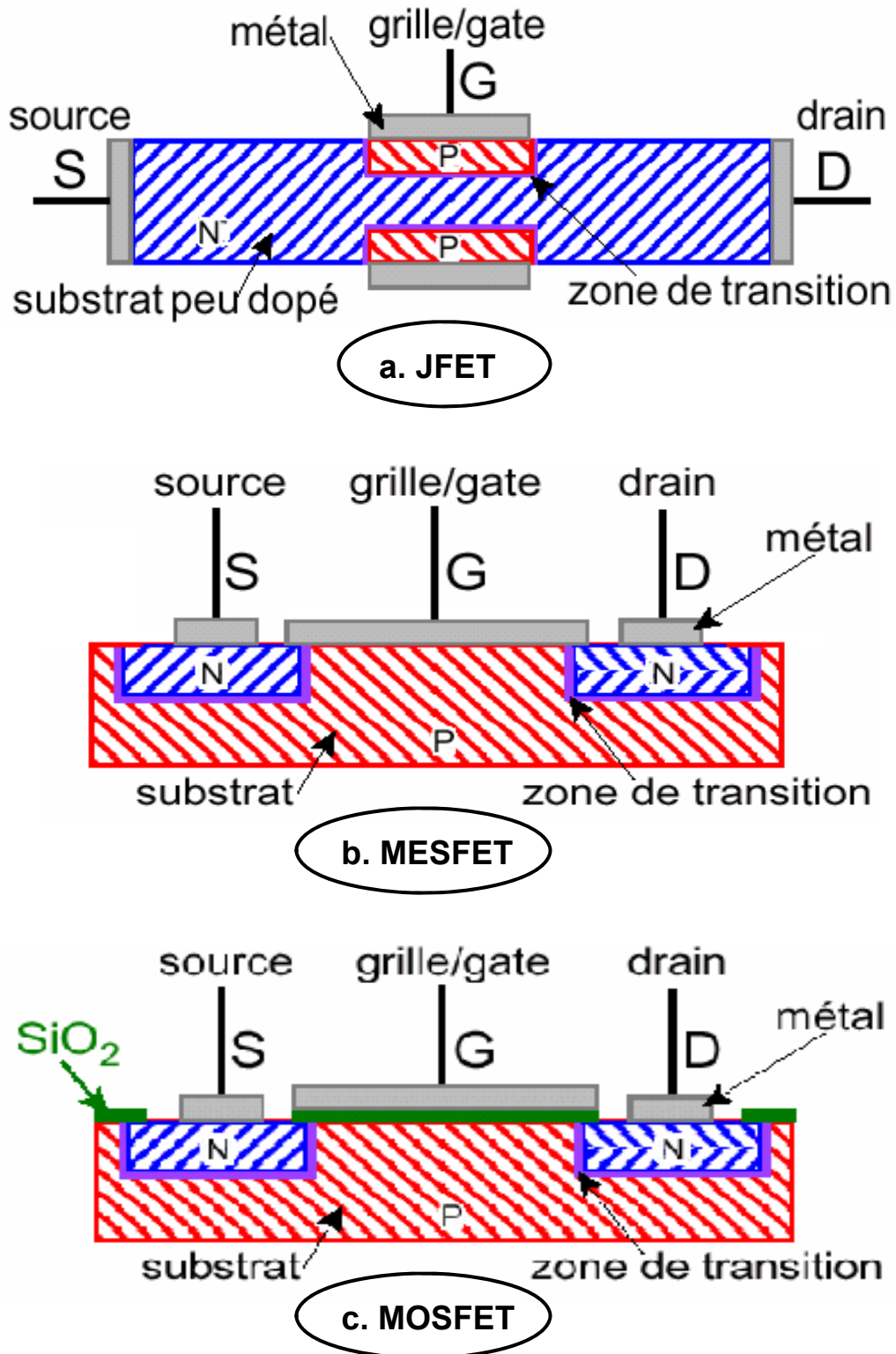


Figure (I2) : Structure différents types de transistors.

- a. Transistor JFET avec deux jonctions PN.
- b. Structure physique d'un transistor MESFET.
- c. Structure physique d'un transistor MOSFET.

I.2.3 Autres transistors

Il existe d'autres transistors [4] :

- A . IGBT (*Insulated Gate Bipolar Transistor*)** : Hybride qui a les caractéristiques d'un transistor à effet de champ en entrée et les caractéristiques d'un transistor bipolaire en sortie. Uniquement utilisé dans l'*électronique de puissance*.
- B . *Transistor unijonction*** : Ce transistor est utilisé pour ses caractéristiques de résistance dynamique négative, ce qui permet de réaliser simplement un oscillateur. Il n'est plus utilisé de nos jours.
- C . *Phototransistor*** : C'est un transistor bipolaire, dont la jonction base-collecteur est sensible à la lumière. Par rapport à une *photodiode*, il est plus sensible, car il bénéficie de l'effet amplificateur propre au transistor.
- D . *Opto-isolateur*** : Le phototransistor est monté dans le même boîtier qu'une *diode électroluminescente*. C'est la lumière qui assure la transmission des signaux entre le phototransistor et la diode électroluminescente. Le pouvoir d'isolation très élevée (de l'ordre de 5 KV) en fait le composant idéal pour *isoler galvaniquement* un circuit de commande, d'un circuit de puissance. Il existe aussi des opto-isolateurs utilisant d'autres composants en sortie le *Thyristor*, le *Triac*.

I.3 Présentation du transistor MOSFET

Le transistor MOSFET (Métal Oxyde Semiconducteur Field Effect Transistor) est un dispositif unipolaire, le courant n'est assuré que par un seul type de porteur : électron pour les NMOS, trous pour les PMOS.

La structure basique d'un transistor MOS est représentée sur la figure (I.3). Le transistor est essentiellement constituée d'un substrat, généralement de type P, sur lequel on a fait croître une couche d'Oxyde de Silicium (SiO_2). Au-dessus de la couche d'oxyde on place une **grille** métallique, de chaque côté de grille on place deux zone N^+ et des métallisations qui jouent le rôle de contact de **source** et de **drain**. Le rôle de ces deux électrodes est d'établir un champ électrique dans le canal et de recueillir le courant. La grille constitue l'électrode de commande de la capacité MOS, qui est réalisé sur le substrat entre la source et le drain [9].

Les principaux paramètres géométriques du composant sont : L (longueur de grille, distance drain-source), Z (largeur transversale de la structure) et d (l'épaisseur d'oxyde). Dans les circuits intégrés, le transistor MOS est généralement isolé des composants voisins par des tranches d'isolation.

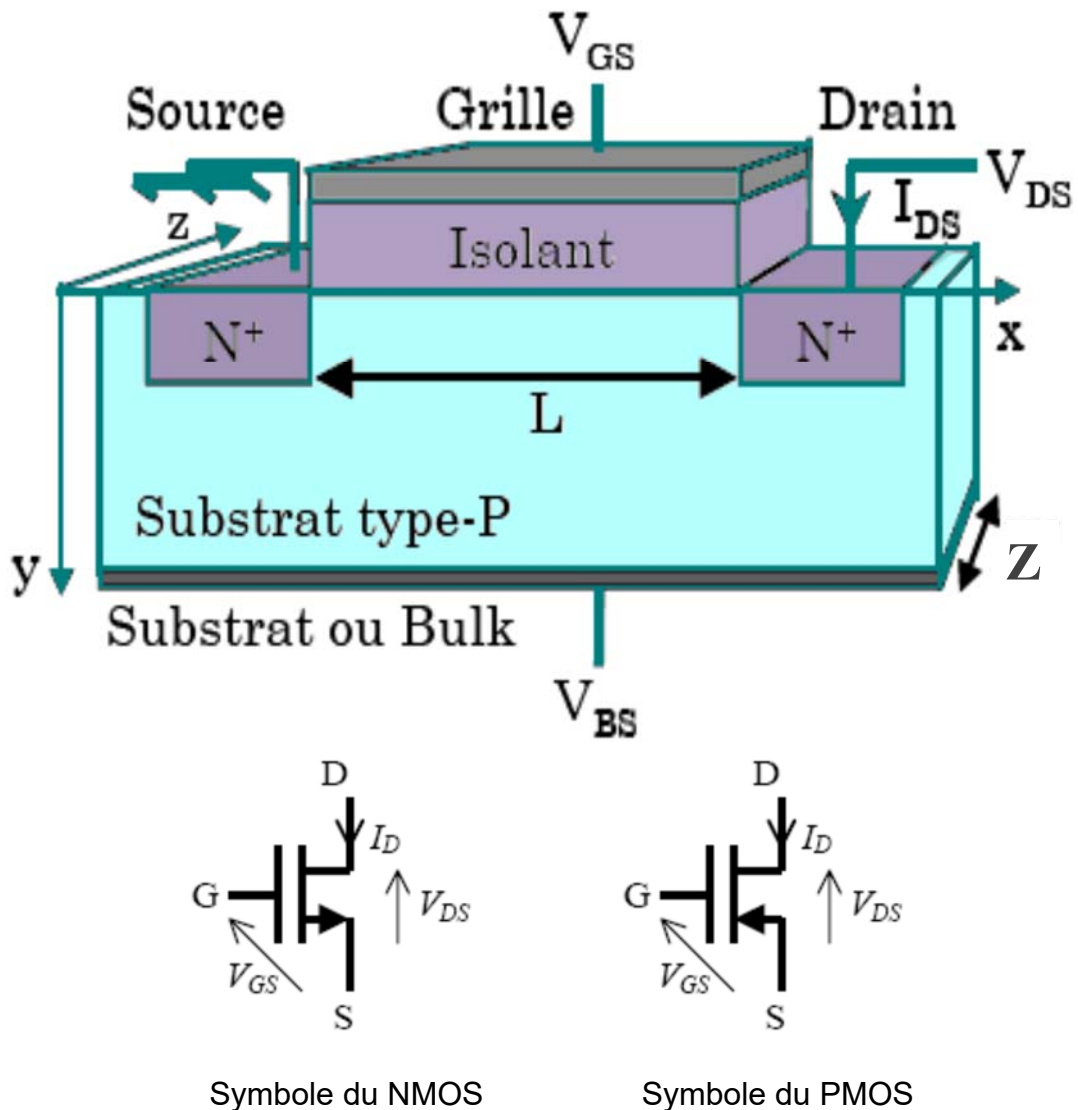


Figure (I.3) : Structure et symbole du transistor MOS

En général, on relie la source et le substrat à la masse. On porte le drain à un potentiel supérieur de ceux de la source et du substrat, créant ainsi un champ électrostatique entre la source, le substrat et le drain.

Suivons le type des porteurs assurant le passage du courant on peut parler des transistors MOS à canal N (ou NMOS, conduction par électrons) et des transistors MOS à canal P (ou PMOS, conduction par trous) (Fig I.3)

Les deux types fondamentaux de MOSFET sont les MOSFET à appauvrissement (*Depletion*) **D-MOSFET**, et les MOSFET à enrichissement (*Enhancement*) **E-MOSFET** [10] :

I.3.1 D-MOSFET

Le drain et la grille sont reliés par un canal étroit du même type (N pour, P pour D-MOSFET canal N) (Fig I.4).

Dans le cas du D-MOSFET canal N, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et la conductivité du canal diminue.

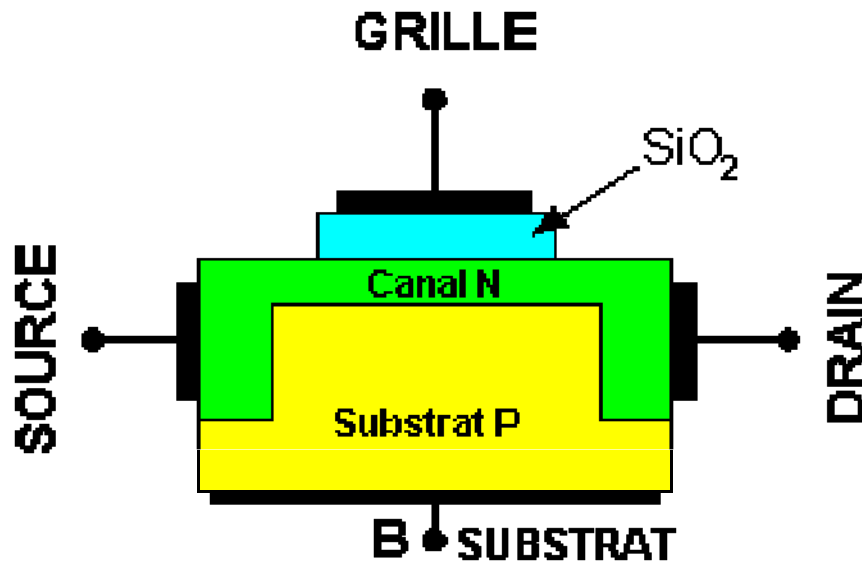


Figure (I4) : Structure du MOS à appauvrissement canal N

I.3.2 E-MOSFET

Le drain et la grille ne sont pas reliés par un canal du même type (Fig I.5). Dans le cas de l'E-MOSFET canal N, si on applique une tension positive sur la grille par rapport au substrat, les électrons sont attirés à l'interface isolant-semiconducteur et les trous sont repoussés. A partir d'une certaine valeur de tension de seuil, une couche d'inversion apparaît et le transistor devient de plus en plus passant. Sans tension de commande, le E-MOSFET est bloqué (*Normally off*).

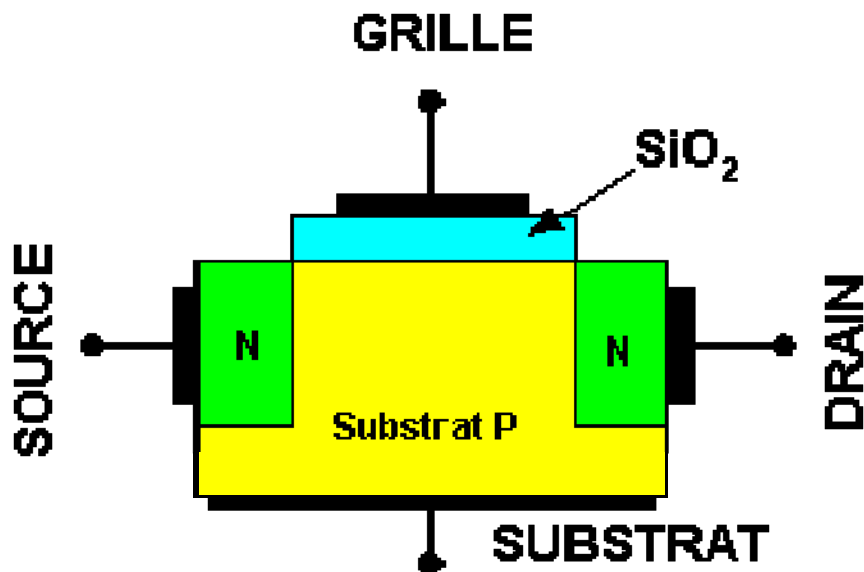


Figure (I5) : Structure du MOS à enrichissement canal N

Dans les deux cas, le courant drain-source est modulé par la tension de grille. Dans le type à enrichissement il faut appliquer une tension positive à la grille pour amener la capacité grille-substrat en inversion ; le transistor conduit à partir d'un certain seuil. Dans le type à déplétion, le transistor est conducteur lorsque la grille est reliée à la masse, il faut donc l'amener à une tension négative pour faire cesser la conduction.

I.4 Généralités sur la structure MOS

La structure MOS est une structure du type M.I.S. (Métal Isolant Semiconducteur). Elle est l'élément actif d'un transistor MOSFET [11].

I.4.1 Diagramme d'énergie d'une structure Métal-Vide-Semiconducteur

On considère un métal, caractérisé par un travail de sortie $q\Phi_m$ et un semiconducteur de travail de sortie $q\Phi_s$, séparés par un isolant constitué par une épaisseur de vide relativement faible (Fig I.6 gauche). Si le métal et le semiconducteur sont reliés électriquement (Fig. I.6 droite), ils constituent un seul système thermodynamique, leurs niveaux de Fermi s'alignent et une différence de potentiel, analogue à la tension de diffusion du contact métal-semiconducteur, est créée par les différences des travaux de sortie apparaît :

$$qV_b = q\phi_s - q\phi_m \quad (1.1)$$

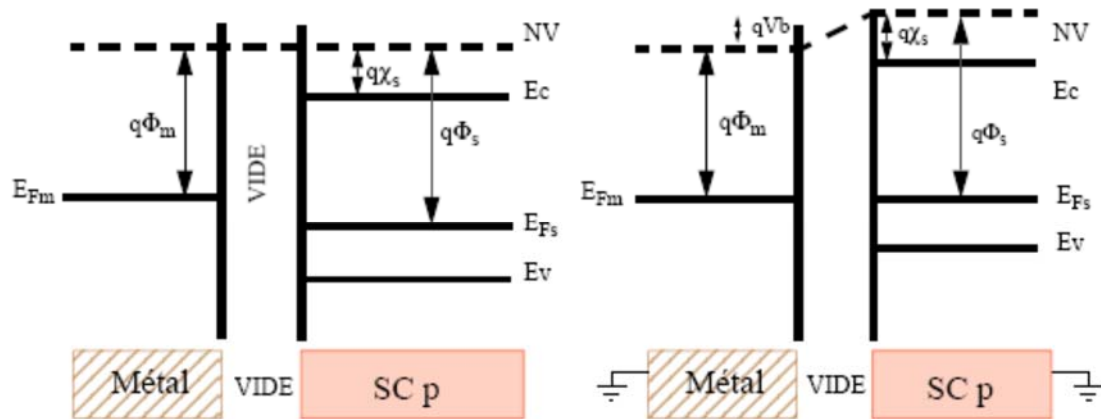


Figure (I.6) : Structure métal-vide-semiconducteur.

- *métal et semiconducteur isolé (gauche).*
- *métal et semiconducteur relié (droite).*

La structure se comporte comme un condensateur plan dont la tension entre les armatures est constante (V_b). La charge dépend de la capacité ou en d'autre terme de la distance entre les armatures. Si cette distance diminue, la capacité, et par conséquent la charge, augmente. Compte tenu de la forte densité d'états disponibles dans le métal, cette charge sera confinée sur une fraction de couche atomique (épaisseur supposée nulle). La charge dans le semiconducteur résulte de la variation de la densité de porteurs libres, électrons ou trous, au voisinage de la surface. La variation de la densité de porteurs libres est associée à la différence d'énergie entre le niveau de Fermi et les bandes de conduction ou de valence. Dans la mesure où le niveau de Fermi est fixé par l'équilibre thermodynamique, il en résulte une courbure des bandes de valence et de conduction vers le bas ou le haut, en fonction de l'augmentation ou de la diminution de la densité d'électrons. La nature de la charge d'espace et de la courbure des bandes est fonction du type du semiconducteur et de la différence des travaux de sortie.

I.4.2 Diagramme d'énergie d'une structure MOS

En technologie silicium, l'isolant le plus couramment utilisé est l'oxyde de silicium. L'isolant, supposé parfait, est caractérisé par un gap E_g et par une affinité électronique $q\chi_i$. Le diagramme de bande sera similaire à celui de la Figure (I.6).

On considère un semiconducteur de type p (Fig. I.7) et différentes valeurs relatives des travaux de sortie du métal et du semiconducteur :

a) Accumulation ($\phi_m > \phi_s$)

Si V_b est positif, des charges positives se développent dans le semi-conducteur et des charges négatives dans le métal. Les charges négatives dans le métal résultent d'une accumulation d'électrons à la surface. Les charges positives dans le semi-conducteur résultent d'une accumulation de trous à l'interface oxyde/SC, la bande de valence et la bande de conduction se courbent vers le haut. Le semi-conducteur est dit en *régime d'accumulation* (Fig I.7.a).

b) Bandes plates ($\phi_m = \phi_s$)

La tension de diffusion est nulle, aucune charge n'apparaît, les bandes restent horizontales, le semi-conducteur est dit en *régime de bandes plates* (Fig I.7.b).

c) Déplétion ($\phi_m < \phi_s$)

Si V_b est négatif, des charges négatives se développent dans le semi-conducteur et des charges positives dans le métal. Les charges positives dans le métal résultent d'un départ d'électrons de la zone située au voisinage de l'interface. Les charges négatives dans le semi-conducteur résultent du départ de trous et proviennent d'une part de la présence d'ions accepteurs non compensés par la charge électronique correspondante, et d'autre part de l'augmentation de la concentration en porteurs minoritaires. A l'augmentation de la densité électronique est associée une courbure des bandes vers le haut.

Si la courbure de bande est relativement faible, la densité d'électrons reste inférieure à n_i , les ions accepteurs constituent alors l'essentiel de la charge d'espace, le semi-conducteur est dit en *régime de déplétion* (Fig.c).

d) Inversion ($\phi_m \ll \phi_s$)

Si la courbure de bande est plus importante, la densité d'électrons augmente et lorsqu'elle devient supérieure à n_i , le semi-conducteur devient de type n au voisinage de la surface, on dit que le semi-conducteur est en *régime d'inversion* (Fig I.7.d)

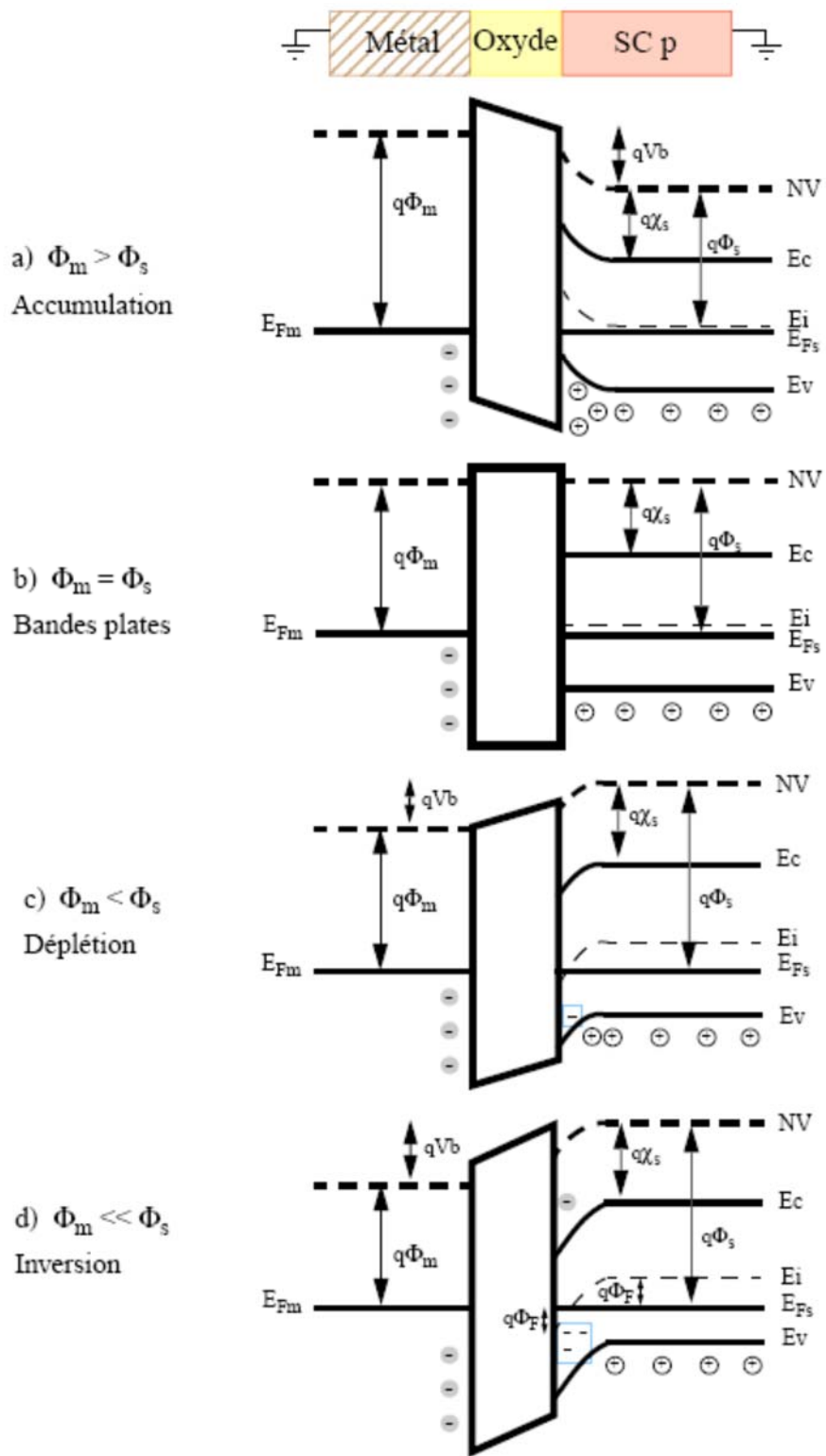


Figure (I.7) : Structure métal-oxyde-semiconducteur de type p à l'équilibre.

I.4.3 Effet d'une polarisation du matériau de grille

En pratique, le matériau de grille, dans la plupart des cas, a un niveau de Fermi différent de celui du silicium. Il faut donc appliquer une tension extérieure à la grille afin de rétablir une situation d'équilibre dans laquelle les bandes sont plates. Au premier ordre, cette tension de bandes plates (Flat Band) est égale à $V_{FB} = \Phi_m - \Phi_s$, sans prendre en compte les charges d'interface. Cependant, la différence de potentiel qui existe entre le métal et le semiconducteur peut avoir deux origines : d'une part la différence de travaux de sortie entre les deux matériaux (Φ_{ms}) et d'autre part la polarisation éventuelle d'un matériau par rapport à l'autre (V_G). Ces deux effets s'additionnent pour donner le gradient de potentiel total : $\Phi_{ms} + V_G$. Sous l'action de cette polarisation, la structure évolue de manière analogue à la représentation faite en figure (I.7), d'un régime d'accumulation ($\Phi_{ms} + V_G < 0$) à un régime d'inversion ($\Phi_{ms} + V_G > 0$) en passant par les régimes de bandes plates ($\Phi_{ms} + V_G = 0$) et de déplétion.

Outre la différence des travaux de sortie et la polarisation extérieure, un autre phénomène modifie la barrière de potentiel : la présence de charges localisées à l'interface isolant-semiconducteur. Ces charges d'interface Q_{ss} induisent dans le semi-conducteur une charge équivalente de signe opposé ($Q_{sc} = -Q_{ss}$). Il existe donc entre le métal et le semi-conducteur une différence de potentiel additionnelle résultant de la présence de ces charges. Ainsi, en prenant en considération la différence des travaux de sortie et la présence des charges d'interface, la tension de polarisation nécessaire à l'établissement du régime de bandes plates s'écrit :

$$V_{FB} = \phi_{ms} - Q_{ss} / C_{OX} \quad (1.1)$$

Où C_{OX} représente la capacité de la couche isolante par unité de surface.

On définit la tension de seuil à la structure, V_T , comme la tension de polarisation nécessaire à l'établissement du régime de forte inversion. C'est la valeur de la tension de commande V_G pour laquelle le potentiel de surface $V_s = 2\Phi_F$. Le seuil de forte inversion correspond au régime où la charge d'inversion devient prépondérante. En dessous de ce seuil, les charges dans le semiconducteur sont essentiellement des charges de déplétion.

La profondeur de la zone de déplétion peut se calculer facilement. Dans le semiconducteur, en supposant un dopage homogène, la densité de charge de déplétion s'écrit :

$$\rho(x) = -qN_a \quad (1.2)$$

De sorte que l'équation de Poisson s'écrit :

$$\frac{d^2V(x)}{dx^2} = -\frac{\rho(x)}{\epsilon_s} = \frac{qN_a}{\epsilon_s} \quad (1.3)$$

L'équation (1.3) est intégrée une première fois avec la condition $E=0$ en $x=W$ car W est la limite de la zone de charge d'espace puis une seconde fois avec la condition $V=0$ en $x=W$. Il vient :

$$V(x) = \frac{qN_a}{\epsilon_s} (x - W)^2 \quad (1.4)$$

En utilisant le potentiel à l'interface Si/SiO₂ (en $x=0$, $V=V_s$), la profondeur de la zone déplétée s'écrit :

$$W = \left(\frac{2\epsilon_s}{qN_a} V_s \right)^{1/2} \quad (1.5)$$

La valeur maximale de la profondeur de déplétion est atteinte lorsque le seuil de forte inversion ($V_s=2\Phi_F$) est franchi.

$$W_m = \left(\frac{2\epsilon_s}{qN_a} 2\phi_F \right)^{1/2} \quad (1.6)$$

I.5 Principe de fonctionnement de MOSFET

Le fonctionnement d'un transistor MOSFET est assez simple à comprendre. Nous prendrons l'exemple d'un canal N le plus fréquent, le canal P à un fonctionnement identique en inverse les polarisations.

La figure (I.8) présente le principe de fonctionnement du transistor MOSFET à canal n à enrichissement. En l'absence de toute polarisation de la capacité MOS est en régime de déplétion, le transistor est normalement bloqué (Fig I.8.a). Une zone déplétée est aussi présente près des zones source et drain induites par la jonction p-n. Le transistor est polarisé dans l'état passant par

une tension grille-source V_G positive, supérieure à la tension de seuil V_T de la capacité MOS (Fig I.8.b). Une couche d'inversion de type n crée un canal conducteur qui relie la source et le drain. Le drain est polarisé positivement par rapport à la source par une tension V_D et un courant I_D circule dans le canal. La polarisation du drain produit une chute de potentiel entre la capacité MOS et le drain. La couche d'inversion devient moins importante coté drain alors qu'elle reste inchangée du coté source. De plus, cette couche d'inversion qui varie tout le long du canal, évolue avec la tension drain-source, ce qui entraîne une variation non linéaire du courant de drain [12].

- $V_D \ll V_{Dsat}$

Lorsque la tension de drain est faible, la variation de conductance du canal est négligeable, le courant de drain varie proportionnellement à la tension drain-source, le transistor fonctionne en *régime linéaire* (Fig I.8.b).

- $V_D \leq V_{Dsat}$

Quand la tension drain augmente, il se produit une augmentation locale de la tension de seuil dans le canal jusqu'à une valeur particulière de V_D , appelée tension de saturation, où la capacité MOS n'est plus en inversion. Un point de pincement se crée du côté du drain (Fig I.8.c). Le courant de drain amorce une saturation (I_{Dsat}).

- $V_D > V_{Dsat}$

Quand la tension drain source augmente au-delà de la tension de saturation, la région voisine du drain n'est plus en inversion, le point de pincement se déplace vers la source (Fig I.8.d) et se trouve à une distance ΔL du drain. Le courant est transporté par les porteurs libres jusqu'au point de pincement puis sont propulsés vers l'électrode de drain par le champ électrique qui existe dans la région désertée. La tension aux bornes du canal conducteur reste constante et égale à V_{Dsat} . Si la variation relative ($\Delta L/L$) de la longueur du canal est faible, le courant de drain est égal à I_{Dsat} et indépendant V_D .

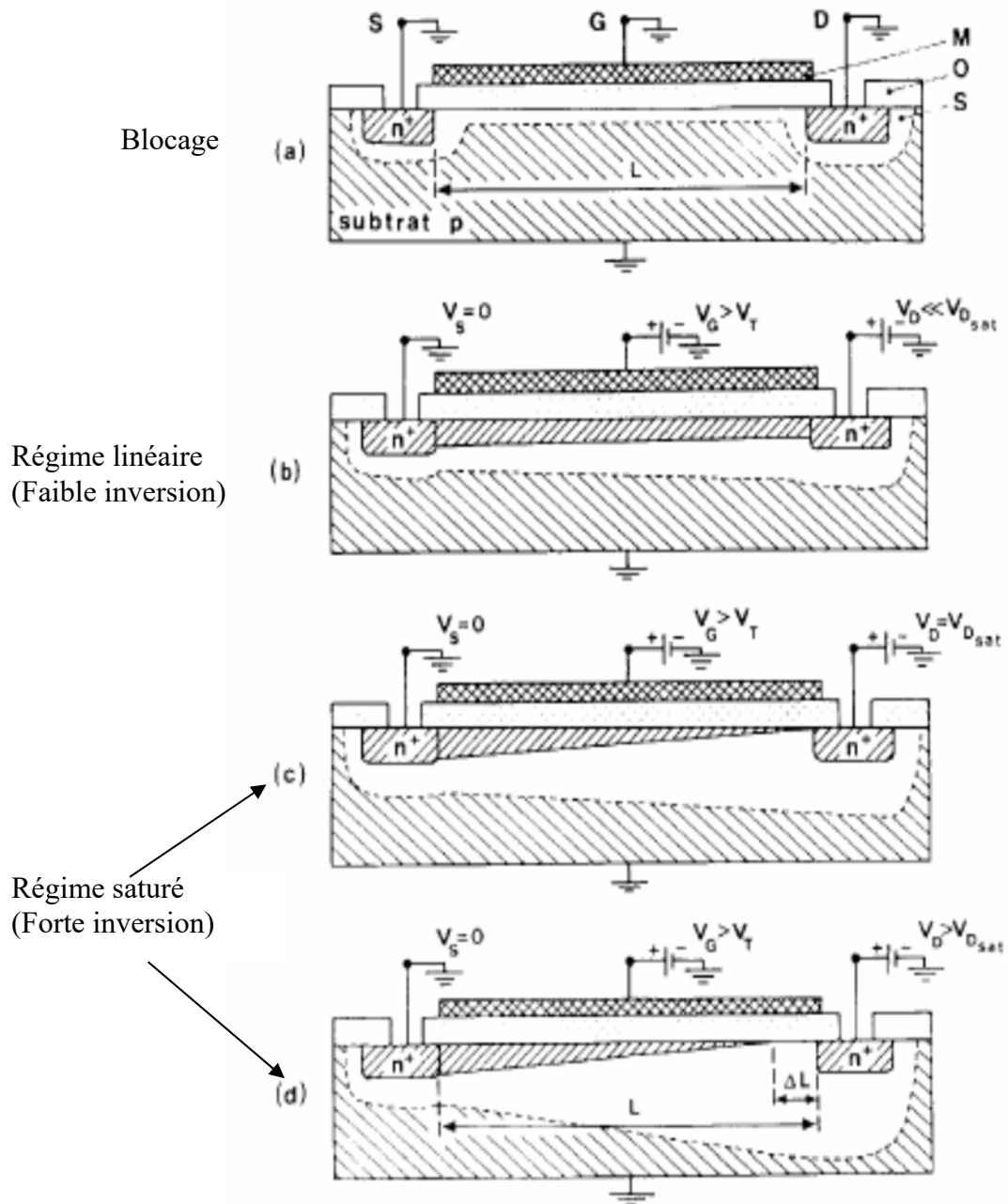


Figure (I8) : Principe de fonctionnement du transistor MOSFET

I.6 Silicium

Le silicium est un élément chimique de la famille des cristallogènes, de symbole Si et de numéro atomique 14. Le nom dérive du latin *silix*, ce qui signifie caillou ou silex.

C'est l'élément le plus abondant sur la Terre après l'oxygène, soit 25,7 % de sa masse. Il n'existe pas à l'état libre mais sous forme de composés : sous forme de dioxyde, la silice (dans le sable, le quartz, la cristobalite, etc...) ou de silicates (dans les feldspaths, la kaolinite, etc.).

Il est utilisé depuis longtemps sous forme d'oxyde de silicium amorphe (silice ou SiO₂) comme composant essentiel du verre. Il a de nouveaux usages en électronique, pour la production de matériaux tels que les silicones ou pour fabriquer des modules solaires photovoltaïques.

Les propriétés de semi-conducteur du silicium ont permis la création de la deuxième génération de transistors, puis les circuits intégrés (les « puces »). C'est aujourd'hui encore l'un des éléments essentiels pour l'électronique, notamment grâce à la capacité technologique actuelle permettant d'obtenir du silicium pur à plus de 99,99999% [13].

I.6.1 Structure cristalline

Le cristal de Silicium est formé d'un réseau de type cubique face centrée. Le motif est constitué de deux atomes de Silicium. Le réseau de Bravais formera donc deux réseaux CFC imbriqués. La longueur des vecteurs primitifs est de 543 pico mètres.

Nous voyons dans la figure (I.9) les deux réseaux CFC imbriqués, représentés respectivement en bleu et en gris. Le motif étant composé de deux atomes de Silicium, les noeuds de chacun des réseaux sont occupés par un atome de Si. Pour d'autres cristaux de semi-conducteur, tel que l'arséniure de Gallium, *AsGa*, un réseau est composé d'atomes d'Arsenic et l'autre d'atomes de Gallium.

Dans le cristal, chaque atome de Silicium est lié à 4 voisins par une liaison covalente. Cette liaison repose sur la mise en commun d'un électron de valence de chacun des deux atomes. Ces deux électrons sont répartis symétriquement entre les deux noyaux. Les deux électrons appartiennent à deux atomes et leur orbitale est donc appelée orbitale moléculaire. Cette liaison correspond à l'hybridation (une modification de sa forme suite à une interaction avec un autre atome ou molécule) des orbitales du Silicium. Elle est de type sp³ [7,14].

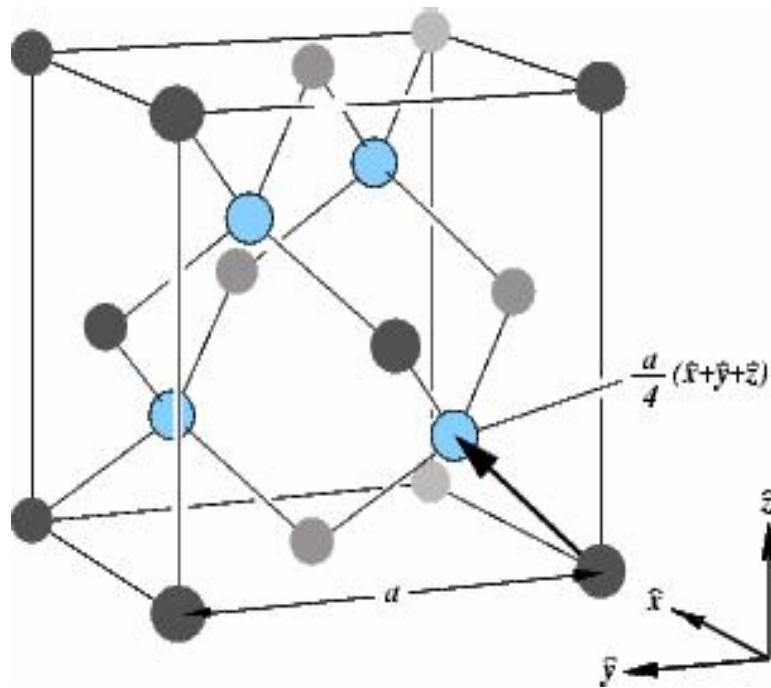


Figure (I.9) : Réseau d'un cristal de Silicium.

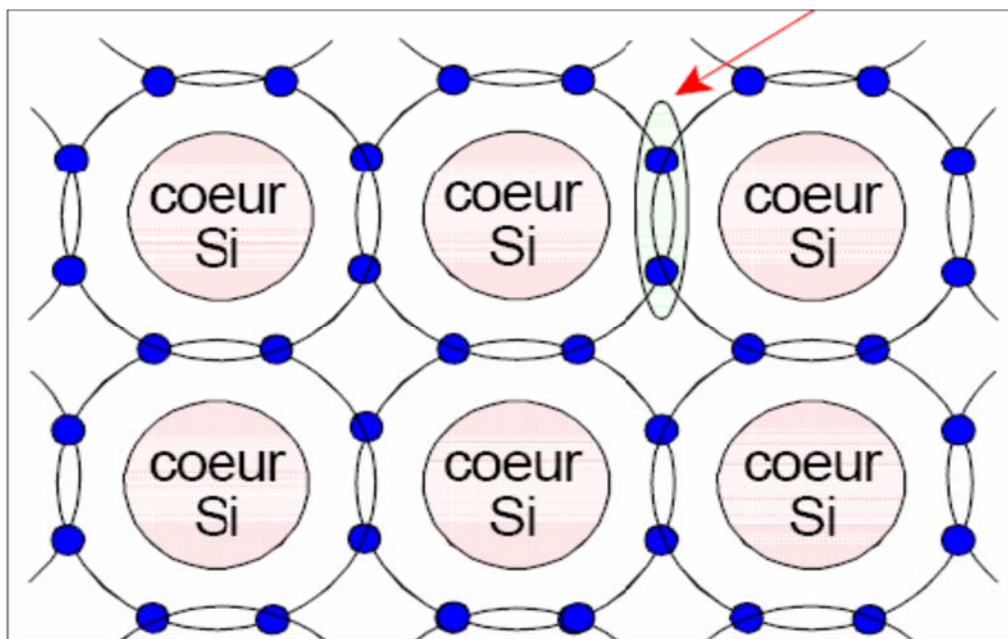


Figure (I.10) : Liaisons covalentes dans le cristal.

La couche de valence de l'atome de Silicium contenant 4 électrons, il pourra créer 4 liaisons avec des atomes voisins, en mettant à chaque fois un électron en commun. Chaque atome sera au centre d'un tétraèdre dont les sommets sont occupés par 4 autres atomes. Le cristal peut donc être assimilé à une molécule géante. Comme chaque électron de valence est mis en commun pour former une liaison, il n'y a plus d'électrons solitaires dans la couche de valence. Les quatre électrons de la bande de valence de l'atome qui sont utilisés pour les liaisons, et les quatre électrons provenant des autres liaisons forment un octet électronique qui sature la couche de valence de l'atome. Tous les électrons sont donc liés à des atomes particuliers et localisés près de ceux-ci figure (I.10).

I.6.2 Bande d'énergie interdite

L'énergie de bande interdite mesure la quantité d'énergie nécessaire à un électron pour passer de la bande de valence à la bande de conduction lorsque celui-ci est soumis à une excitation.

Le silicium possède aussi une structure de bande d'énergie interdite directe figure (I.11), qui lui confère des propriétés d'absorption optique et de luminescence importantes susceptibles d'être exploitées en optoélectronique.

La taille de bande interdite donne des caractéristiques électriques importantes à chaque semiconducteur. En effet, la largeur de bande interdite fixe la limite en température au-dessous de laquelle le dispositif peut fonctionner sans détérioration, ainsi que l'aptitude du semiconducteur à résister aux radiations.

Les variations de la largeur de la bande interdite peuvent être décrites approximativement par la fonction [15, 16, 17] suivante pour des températures supérieures à 300 K :

$$E_G(T) = 1.17 - \left(\frac{4.73 \times 10^{-4} \times T^2}{636 + T} \right) (eV). \quad (1.7)$$

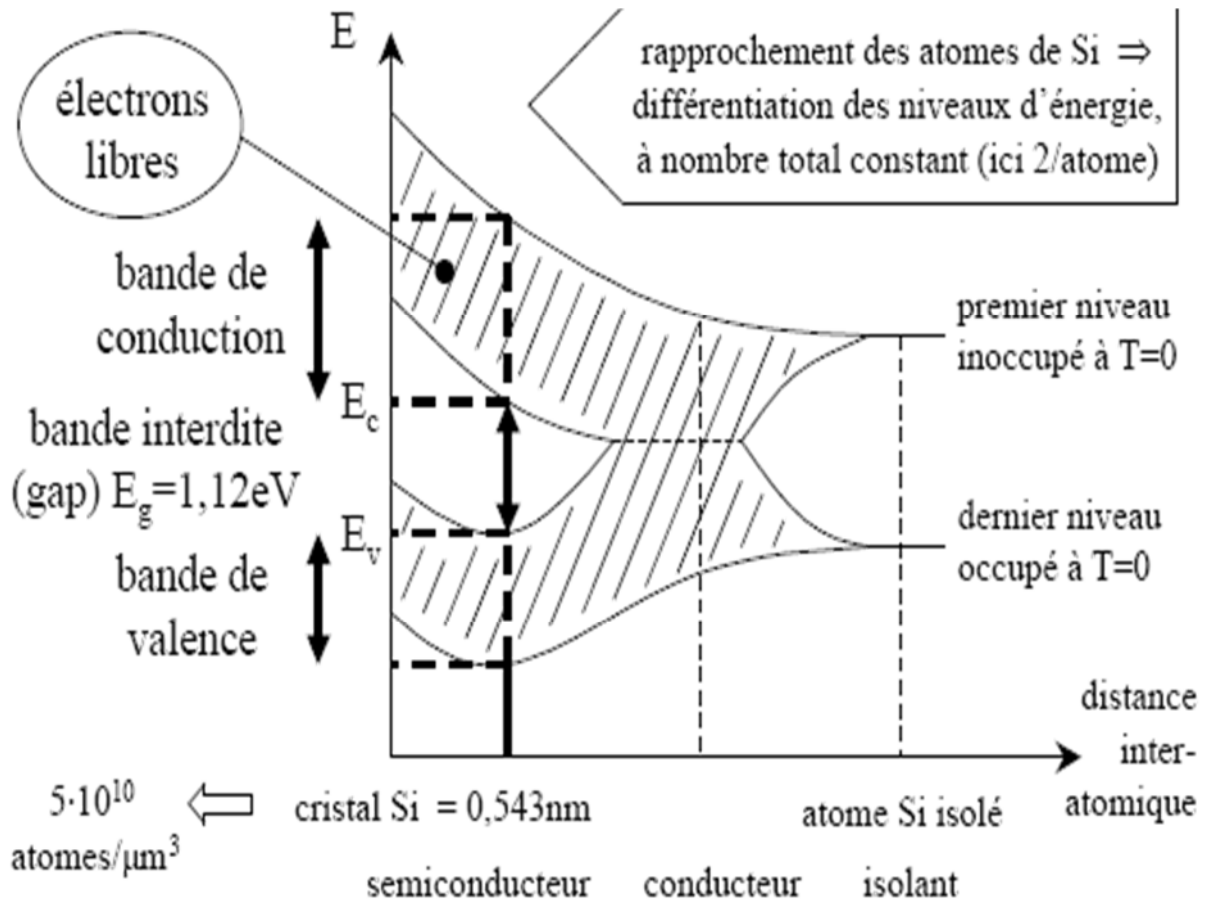


Figure (I11) : Bande d'énergie interdite du Silicium.

I.6.3 Propriétés physiques et électriques du silicium

Les propriétés physiques et électriques du silicium sont donnés dans le tableau (2) suivant [9, 16, 18].

Propriétés	Silicium « Si »
Masse volumique	2330 kg/m ³
Température de fusion	1687 K
Température de vaporisation	3173 K
Permittivité	1.06 PF/cm
Volume molaire	12.06 10 ⁻⁶ m ³ /mol
Conductivité thermique	148 W/cm.K
Conductivité électrique	2.52 10 ⁻⁴ Ω ⁻¹ .cm ⁻¹
Energie de Gap	1.12 ev
Energie de fusion	50.55 kJ/mol
Energie de vaporisation	324.22 kJ/mol
Mobilité des Electrons	1430 cm ² /V.S
Mobilité des trous	495 cm ² /V.S
Pression de vapeur	4.77 Pa

Tableau (I2) : Principales caractéristiques du Silicium.

I.6.4 Phénomènes de transport

I.6.4.1 Transport stationnaire

La conduction électrique et de manière plus générale, le transport, résultent d'une perturbation de l'équilibre thermodynamique du système. Lorsque le champ électrique (la perturbation) est maintenu constant, un état de déséquilibre permanent s'installe et crée un flux de porteurs. Un pseudo-équilibre thermodynamique stable est atteint et le transport est alors dit stationnaire [19].

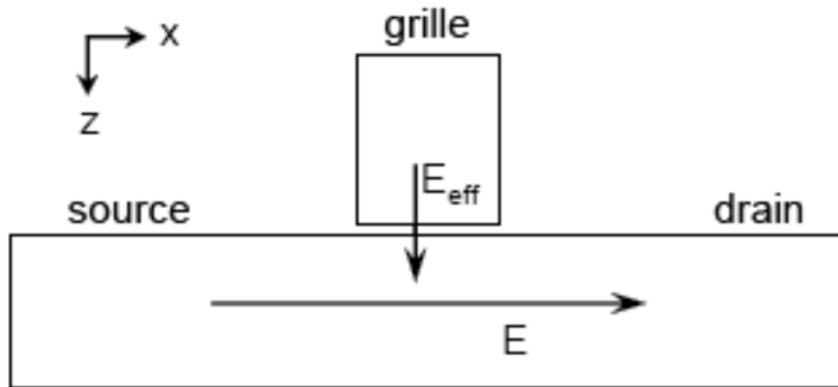


Figure (I12) : Principaux champs électriques dans un transistor.

- E_{eff} : champ électrique vertical ou transverse
- E : champ électrique latéral ou longitudinal

a) Conduction à faible champ latéral : Loi d'Ohm et mobilité

Pour des champs faibles ($<10^3$ V/cm), la loi d'Ohm s'applique :

$$\vec{J} = \sigma \vec{E} \quad (1.8)$$

Elle relie la densité de courant à sa cause, le champ électrique, par la conductivité :

$$\sigma = qn\mu_{eff} \quad (1.9)$$

Avec μ_{eff} la mobilité effective à faible champ et n la densité surfacique de porteurs

$$\mu_{eff} = \frac{q\tau}{m_{cc}} \quad (1.10)$$

Avec τ le temps moyen de relaxation entre deux collisions et m_{cc} la masse effective de conductivité des porteurs.

L'hypothèse de champ faible implique que lors du transport il n'y a pas d'échauffement des porteurs. Le taux d'augmentation d'énergie reste inférieur au taux de perte par interactions avec le réseau. L'énergie acquise par les porteurs entre deux collisions est en moyenne complètement perdue lors de la collision. Les porteurs se thermalisent et sont en équilibre thermodynamique avec le réseau.

La vitesse d'entraînement (ou de dérive) des porteurs est alors proportionnelle au champ électrique:

$$\vec{v}_{der} = \mu_{eff} \vec{E} \quad (1.11)$$

b) Conduction à fort champ latérale : saturation de la vitesse des porteurs

Dans les dispositifs submicroniques, pour une polarisation de drain de seulement 1V, le champ électrique résultant dépasse déjà 10^4 V/cm. Au-delà de 10^3 V/cm, la loi d'Ohm cesse d'être valable et la vitesse d'entraînement dans de tels composants n'est plus proportionnelle au champ électrique.

L'énergie des porteurs s'accroît, augmentant en même temps la fréquence des collisions, ce qui entraîne une chute de la mobilité puis une saturation de la vitesse de l'ensemble des porteurs. La vitesse présente donc en fonction du champ une loi de variation linéaire puis un régime de saturation (Fig I.13). Lorsque la perturbation est permanente (champ constant), un équilibre stable est atteint. La vitesse de saturation stationnaire atteinte alors par les porteurs ($\sim 10^7$ cm/s) résulte d'un équilibre entre accélération par le champ et freinage par les collisions avec le réseau et les impuretés, et est indépendante de la polarisation de drain.

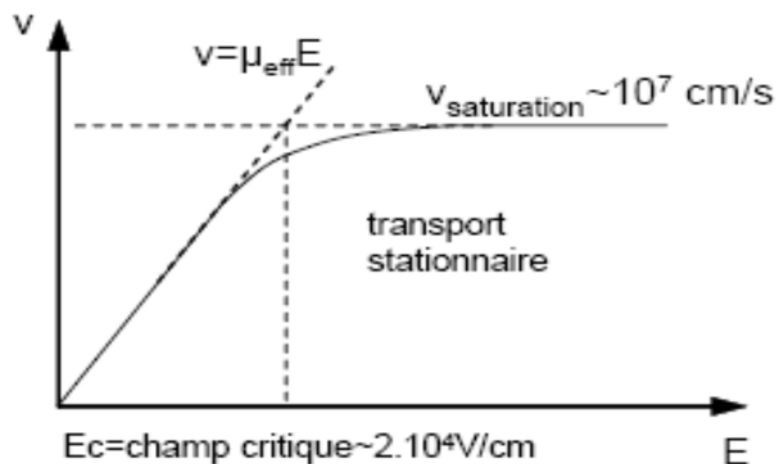


Figure (I13) : la variation de la vitesse d'entraînement des porteurs en fonction du champ électrique latéral.

- $E < E_c$, le transport est stationnaire et $v = \mu_{\text{eff}} E$.
- $E > E_c$, la vitesse sature à cause des interactions avec le réseau.

Cette saturation de la vitesse peut être atteinte pour une tension Drain-Source V_{DS} inférieure à la tension de pincement du canal au drain. En effet, partant du régime linéaire ou non saturé à $V_{DS} < V_G - V_{th} = V_{GT}$, si le champ latéral $E = V_{DS}/L$ est suffisamment fort, comme dans le cas de transistors très courts, il causera une saturation en vitesse et donc la saturation du courant, et ce, avant même que le canal ne soit pincé à $V_{DS} = V_{GT}$. La saturation en vitesse peut donc devancer

la saturation due au pincement du canal dans les transistors très courts (voir figure I.14). Ce problème est particulièrement d'actualité pour les transistors modernes dont la grille fait moins de 100nm. Les PMOS sont moins impactés que les NMOS car la mobilité des trous est plus faible que celles des électrons, le champ critique E_c est donc d'autant plus élevé (figure I.13), ce qui fait que la vitesse des trous sature pour des longueurs de grille inférieures à celles des NMOS.

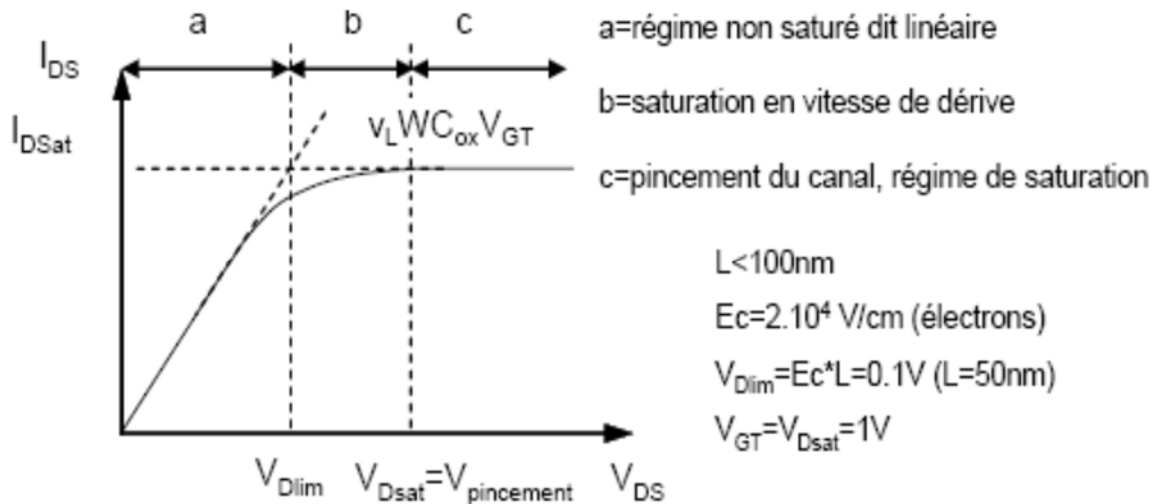


Figure (I14) : Saturation du courant avant le pincement du canal. Le champ latéral est trop fort, même à $V_{DS} < V_{GT}$, et la vitesse sature (cas d'un NMOS).

I.6.4.2 Transport non stationnaire

Lorsque le champ varie fortement dans l'espace ou le temps, typiquement lorsqu'un porteur pénètre dans une région à fort champ, le phénomène de survitesse ou *velocity overshoot*, bien connu dans les semiconducteurs à gap direct (GaAs), apparaît dans le Si à température ambiante [20]. Il se caractérise par le fait que la vitesse d'une partie des porteurs est supérieure à la vitesse d'entraînement stationnaire correspondant à ce champ. La vitesse stationnaire est de nouveau obtenue au bout d'un certain temps. Le transport durant cette période est hors équilibre ou non stationnaire. Cela signifie que pendant un certain temps et donc sur une certaine distance, les porteurs ont une vitesse moyenne qui peut être sensiblement supérieure à la vitesse de dérive ou même à la vitesse de saturation. Cela est possible car le temps de relaxation nécessaire pour ramener le système à l'équilibre n'est pas nul. S'il était très faible, à cause par exemple d'un

nombre trop important d'impuretés dans le canal, l'équilibre serait maintenu et la sur vitesse n'aurait pas lieu.

Ce phénomène de transport non stationnaire peut donc se révéler très intéressant dans le cas d'un transistor fortement submicronique, à la condition qu'il se produise à l'entrée du canal (la source) : les porteurs sont en sur vitesse sur une grande partie voire même la totalité du canal de conduction. Le courant de drain est alors augmenté et sera sous estimé par le modèle de dérive-diffusion.

De plus, lorsque la longueur du canal approche le libre parcours moyen des porteurs, les probabilités d'interactions peuvent devenir très faibles et les porteurs peuvent traverser le canal sans aucune interaction.

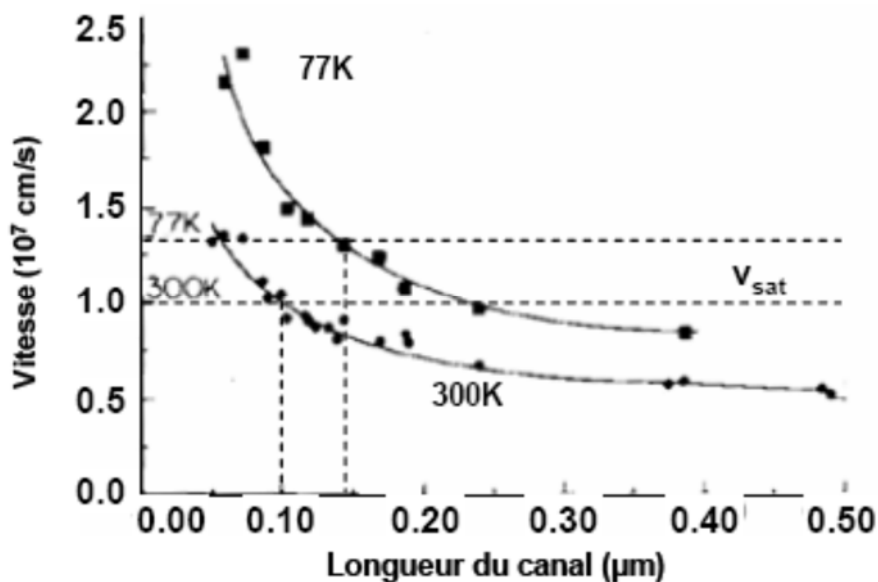


Figure (I.15) : Vitesse effective des porteurs en fonction de la longueur du canal. Le phénomène de sur vitesse pour les électrons est observé à 77K pour des canaux inférieurs à 130nm et même à température ambiante pour des canaux inférieurs à 90nm. A 300K, la vitesse effective maximum obtenue vaut $1.3 \cdot 10^7 \text{ cm/s} > V_{\text{sat}} = 10^7 \text{ cm/s}$.

I.7 L'Oxyde de Silicium SiO₂

La silice est un composé chimique minéral (dioxyde de silicium) de formule SiO₂.

La silice peut se trouver sous différentes formes allotropiques (même composition chimique, mais arrangements atomiques différents) depuis le quartz (ordre cristallographique à longue distance) jusqu'à la silice amorphe (ordre à courte distance). La structure obtenue par oxydation thermique est amorphe. L'unité structurale de base de la silice est un atome de silicium entouré de quatre atomes d'oxygène (SiO₄) constituant les sommets d'un tétraèdre Figure (I.16).

La silice est constituée d'un arrangement de tétraèdres SiO₄ reliés entre eux par l'intermédiaire d'un sommet oxygène. L'aspect plus ou moins aléatoire de la silice est introduit par la valeur de l'angle entre les liaisons Si-O-Si, qui peut varier de 110° à 180°. Il est de 144° dans le quartz [21].

La silice est aussi l'un des meilleurs isolants électriques qui existe.

On remarque que deux éléments jouent un rôle particulier : le Silicium et l'oxyde de Silicium. Bien qu'ayant considéré particulièrement le Silicium jusqu'à présent, le développement des circuits intégrés n'aurait pas été possible sans l'oxyde de Silicium. En effet, le procédé planar permet de n'utiliser qu'un seul matériau de base : le substrat. Sur celui-ci sont alors déposées d'autres couches. Celles-ci sont isolées les unes des autres à l'aide d'oxyde de Silicium. De même l'isolation des transistors à effet de champ MOS impose l'utilisation d'oxyde de Silicium.

Nous ne pouvons donc pas dissocier le Silicium et son oxyde lorsque nous évoquons l'utilisation dans les circuits intégrés. La caractéristique la plus intéressante de l'oxyde est la facilité à le faire croître directement sur la surface du Silicium [7].

Cet oxyde est utilisé comme un diélectrique isolant dans les circuits intégrés. Son gap est en effet extrêmement élevé. Il peut donc être considéré comme un isolant parfait grâce à sa résistance de 10¹⁵ ohms. Cette résistivité permet d'isoler parfaitement la grille du MOS et rend ainsi la consommation statique des transistors MOS nulle. C'est une autre raison importante du développement massif des circuits intégrés à base de transistor MOS.

Cet oxyde est un isolant non cristallin, dense, uniforme et donc stable sur de larges variations de température. Couplé à la croissance aisée sur le wafer par simple exposition à l'oxygène, il rend le processus planar de fabrication des circuits intégrés facile à mettre en œuvre [7].

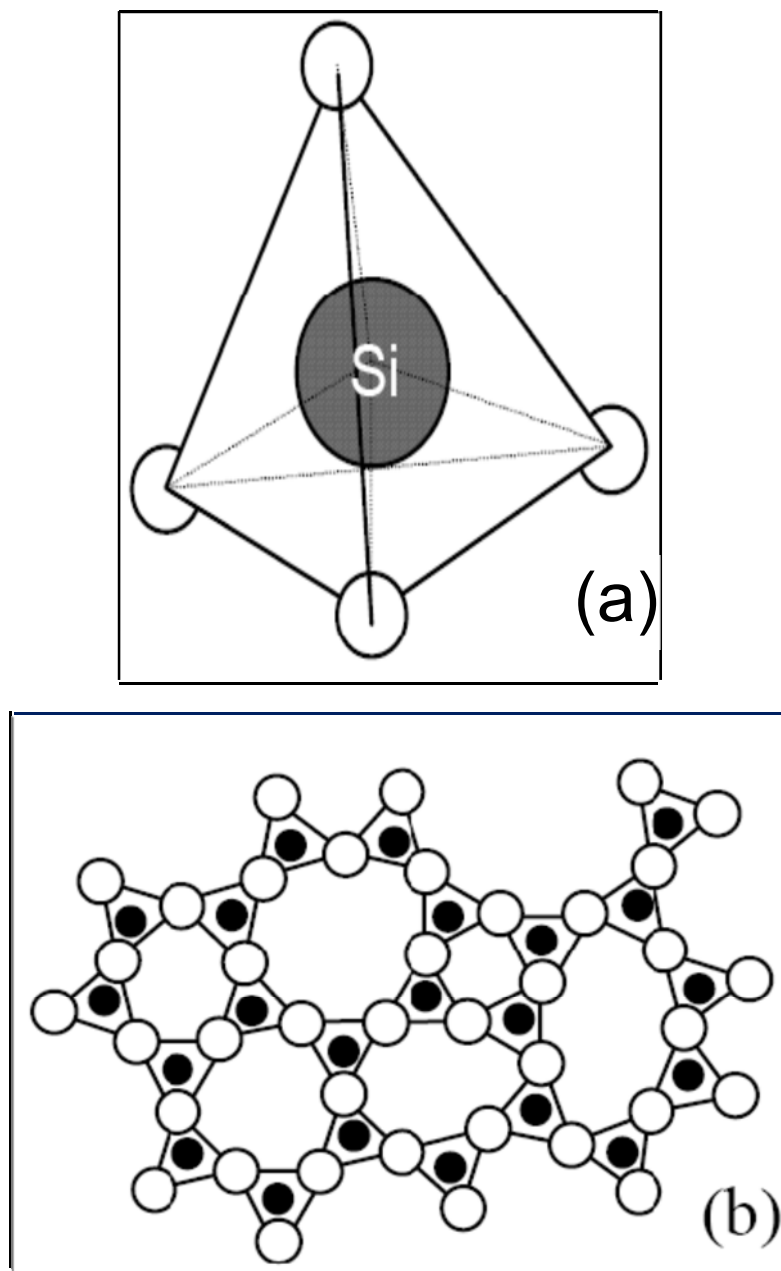


Figure (I16) : Structure de base du SiO_2

(a) Motif de base de la silice.

(b) Représentation plane du réseau de la silice amorphe.

Les sphères blanches représentent les atomes d'oxygène.

CHAPITRE II

Propriétés Statiques du MOSFET

II.1 Introduction

Un modèle analytique fiable permet de comprendre les phénomènes physiques qui sont à l'origine du comportement électrique du MOSFET.

Ce chapitre est consacré aux propriétés statiques du MOSFET. L'objectif visé est d'une part de déterminer les caractéristiques de sortie d'une structure MOSFET classique en zone ohmique et en zone saturée, donnée par la loi $I_D=f(V_G, V_D)$ est primordiale pour comprendre son comportement physique. D'autre part des expressions analytiques des différentes grandeurs caractéristiques tel que les résistances et la mobilité ainsi que leurs effets.

La température de fonctionnement du composant à une influence directe sur leurs caractéristiques. Alors, la prise en compte de l'effet thermique dans les MOSFET's est nécessaire.

II.2 Tension de seuil

La tension de seuil (V_T Thershold voltage) une des notions les plus fondamentales pour un transistor MOS, car elle gouverne la mise en conduction du transistor parfois ; V_T est aussi appelée *tension de mise de conductions*.

La tension de seuil de la structure MOS est définie par la tension de polarisation de l'électrode métallique nécessaire à l'établissement du régime de forte inversion, c'est donc la valeur de la tension de grille à partir de laquelle le transistor commence à conduire (formation du canal d'inversion entre source est drain). Cette valeur dépend du dopage de la zone P, de l'épaisseur de l'oxyde de grille, et de la présence de charges à l'interface Si-SiO₂.

Sur la figure (II.1), la condition d'inversion forte est donc obtenue lorsque le potentiel de surface Φ_S vaut deux fois le potentiel de Fermi Φ_F , soit $\Phi_S= 2\Phi_F$, avec [9, 12] :

$$\phi_F = \frac{kT}{q} \ln\left(\frac{N_a}{N_i}\right) \quad (2.1)$$

Où : N_a : la concentration de dopants dans le canal.

N_i : la concentration intrinsèque de porteurs libres ($N_i=1.137 \cdot 10^{10} \text{ cm}^{-3}$ à 300k).

K : la constante de Boltzman.

T : la température.

e : la charge électrique.

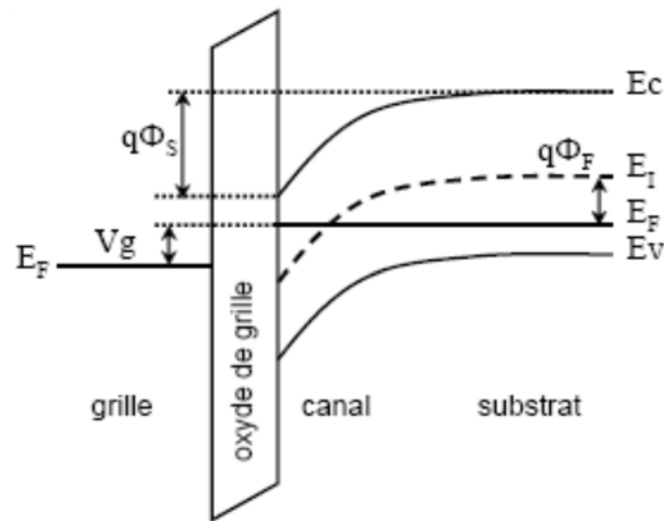


Figure (II.1) : Structure de bande NMOS.

L'expression de la tension de seuil est donnée ci-dessous [9, 12] :

$$V_T = 2\phi_{Fi} + \frac{\sqrt{4\epsilon_s e N_a \phi_{Fi}}}{C_{ox}} + V_{FB} \quad (2.2)$$

$$C_{ox} = \frac{\epsilon_{ox}}{d} \quad (2.3)$$

Avec : C_{ox} : la capacité de l'isolant.

ϵ_s , ϵ_{ox} permittivité respectivement du silicium et de l'oxyde ($\epsilon_s=1.05 \cdot 10^{-12}$ F/cm, $\epsilon_{ox}=3.4531 \cdot 10^{-13}$ F/cm pour la silice).

d : l'épaisseur de l'oxyde de grille.

$$V_{FB} = \phi_{ms} - \frac{\phi_{ss}}{C_{ox}} \quad (2.4)$$

Où : V_{FB} : tension de bandes plates (Flat Band).

ϕ_{ms} : travail de sortie métal-semiconducteur.

ϕ_{ss} : densité de charges d'interface.

$\frac{\phi_{ss}}{C_{ox}}$: La tension correspondant à l'effet des charges à l'interface.

Dans le cas de la structure MOS idéale, les travaux de sortie du métal et du semiconducteur sont égaux. Il n'existe pas d'états d'interface entre l'isolant et le semiconducteur. L'expression de la tension devient :

$$V_T = 2\phi_{Fi} + \frac{\sqrt{4\epsilon_s e N_a \phi_{Fi}}}{C_{ox}} \quad (2.5)$$

II.3 Courant de drain

Pour calculer le courant de drain du MOSFET nous émettant les hypothèses suivantes [9, 12] :

- L'isolant (SiO₂) est idéal : absence de charges pièges dans l'isolant et à l'interface du semi-conducteur. Il n'y a pas de différence de travail entre le métal et le semiconducteur.
- La mobilité des porteurs est constante dans la couche d'inversion.
- Le dopage du canal est uniforme dans tout le substrat
- Le courant de fuite est négligeable
- Approximation de la charge graduelle : Le champ transverse E_x dans le canal est plus important que le champ longitudinal E_y .

Considérons la figure (II.2), en un point de coordonnées xyz du canal conducteur, c'est-à-dire de la couche d'inversion, la densité des électrons est $n(xyz)$ et la conductivité du canal est donnée par :

$$\sigma(xyz) = e\mu n(xyz) \quad (2.6)$$

La conductance dans la direction source-drain (direction y) d'un élément de coordonnées xyz et de volume $d\tau = dx dy dz$ est donnée par :

$$d^3 g = \sigma(xyz) \frac{dx dz}{dy} = e\mu n(xyz) \frac{dx dz}{dy} \quad (2.7)$$

Compte tenu de la géométrie de la structure, la densité d'électrons est indépendante de z de sorte que l'intégrale sur z donne :

$$d^2 g = Ze\mu n(xyz) \frac{dx}{dy} \quad (2.8)$$

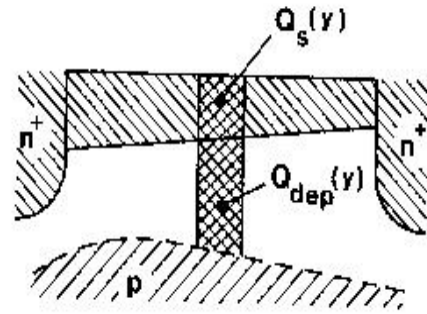
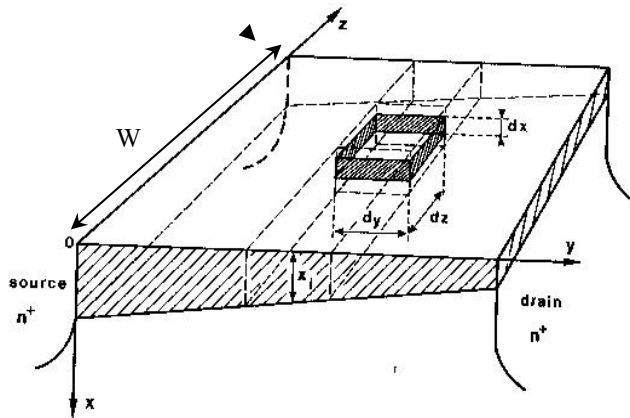


Figure (II.2) : Zone active du MOSFET. Figure (II.3) : Densité surfacique de charges.

En intégrant cette expression sur toute la section conductrice du canal, c'est-à-dire de $x=0$ à $x=x_i$, où x_i représente la limite de la zone d'inversion, on obtient :

$$dg = Z\mu \frac{\int_0^{x_i} en(xyz)dx}{dy} = -Z\mu \frac{Q_s(y)}{dy} \tag{2.9}$$

$Q_s(y)$ représente la charge associée aux électrons présents sur toute la profondeur x_i de zone d'inversion par unité de surface de structure, c'est la densité surfacique de charges d'inversion.

Cet élément de canal de longueur est étendu sur toute la section conductrice du barreau, il est donc parcouru par la totalité du courant de drain I_D . la loi d'ohm aux bornes de cet élément de canal s'écrit donc :

$$I_D = dg dV \tag{2.10}$$

Où le courant de drain I_D est conservatif c'est-à-dire constant avec y . En explicitant dg l'expression (2. 12) s'écrit :

$$I_D dy = -Z\mu Q_s(y) dV \tag{2.11}$$

On obtient le courant I_D en intégrant sur y de $y=0$ à $y=L$, et sur V de $V=V_s=0$ à $V=V_D$. Il faut au préalable expliciter la variation de $Q_s(y)$. En un point d'abscisse y de la structure (fig.II.3), la densité surfacique de charges du semiconducteur est donnée par :

$$Q_{sc}(y) = Q_{dep}(y) + Q_s(y) \tag{2.12}$$

Où $Q_{dep}(y)$ représente la charge de déplétion et $Q_s(y)$ la charge d'inversion.

La densité surfacique de charges participant au courant de drain, est par conséquent donnée par :

$$Q_s(y) = Q_{sc}(y) - Q_{dep}(y) \quad (2.13)$$

Si V_G est le potentiel de la grille et $V_s(y)$ le potentiel de surface du semiconducteur à l'abscisse y , les densités surfaciques de charges développées à cette abscisse, dans le métal et dans la semiconducteur, sont données par :

$$Q_m(y) = -Q_{sc}(y) = C_{ox}(V_G - V_s(y)) \quad (2.14)$$

L'étude de la structure MOS nous a montré qu'en régime forte inversion la différence entre la surface et le volume du semiconducteur restant sensiblement égale à $2\phi_{Fi}$ (potentiel de fermi). La relation qui relie $V_s(y)$ et $V(y)$ le potentiel résultant de la polarisation drain source est la suivante :

$$V_s(y) - V(y) = 2\phi_{Fi} + 2 \frac{kT}{e} \ln(V_g \approx 2\phi_{Fi}) \quad (2.15)$$

Où : V_g : tension de polarisation de la structure.

Alors : $Q_{sc}(y) = -C_{ox}(V_G - V(y) - 2\phi_{Fi})$

La charge de déplétion est donnée par :

$$Q_{dep}(y) = -eN_a W(y) = -(2eN_a \epsilon_s (V_s(y) - V_{substrat}))^{1/2} = -(2eN_a \epsilon_s V_s(y))^{1/2} \quad (2.16)$$

Avec :

W : la largeur de la zone de charge d'espace.

Soit en explicitant $V_s(y)$:

$$Q_{dep}(y) = -(2eN_a \epsilon_s (V(y) + 2\phi_{Fi}))^{1/2} \quad (2.17)$$

Ainsi, par différence, on obtient l'expression de la densité surfacique de charges d'inversion en un point d'abscisse y :

$$Q_s(y) = -C_{ox}(V_G - V(y) - 2\phi_{Fi}) + (2eN_a \epsilon_s)^{1/2} (V(y) + 2\phi_{Fi})^{1/2} \quad (2.18)$$

L'expression (2.13) s'écrit alors :

$$I_D dy = Z\mu C_{ox} \left[(V_G - V(y) - 2\phi_{Fi}) - \frac{(2eN_a \epsilon_s)^{1/2}}{C_{ox}} (V(y) + 2\phi_{Fi})^{1/2} \right] dV \quad (2.19)$$

En intégrant sur toute la longueur du canal, on obtient :

$$I_D = \frac{Z\mu C_{ox}}{L} \left(\left(V_G - \frac{V_D}{2} - 2\phi_{Fi} \right) V_D - \frac{2}{3} \frac{(2eN_a \epsilon_S)^{1/2}}{C_{ox}} \left((V_D + 2\phi_{Fi})^{3/2} - (2\phi_{Fi})^{3/2} \right) \right) \quad (2.20)$$

Cette expression peut se mettre sous la forme suivante :

$$I_D = K_p \left((V_G - 2\phi_{Fi}) V_D - \frac{V_D^2}{2} - \frac{2}{3} \frac{(2eN_a \epsilon_S)^{1/2}}{C_{ox}} (2\phi_{Fi})^{3/2} \left(\left(1 + \frac{V_D}{2\phi_{Fi}} \right)^{3/2} - 1 \right) \right) \quad (2.21)$$

K_p étant le facteur de pente donné par :

$$K_p = \frac{Z\mu C_{ox}}{L} \quad (2.22)$$

Cependant, cette équation qui détermine la variation du courant de drain en fonction des deux tensions de polarisation (V_D , V_G) se réécrit différemment, selon le régime de fonctionnement du transistor et qui dépend essentiellement de la valeur de la tension de drain V_D .

Ces régimes sont :

- Régime linéaire, où le courant de drain varie linéairement avec la tension de drain V_D .
- Régime de saturation, le courant se sature à la valeur I_{Dsat} .

II.3.1 Régime linéaire

La tension de drain dans ce régime obéit à la condition suivante :

$$V_D \leq V_G - V_T \quad (2.23)$$

On peut développer le terme en $(1+\epsilon)^{3/2} \approx 1+3\epsilon/2$, on obtient :

$$I_D = K_p \left((V_G - 2\phi_{Fi}) V_D - \frac{V_D^2}{2} - \frac{2}{3} \frac{(2eN_a \epsilon_S)^{1/2}}{C_{ox}} (2\phi_{Fi})^{3/2} \frac{3}{2} \frac{V_D}{2\phi_{Fi}} \right) \quad (2.24)$$

Soit :

$$I_D = K_p \left(\left((V_G - 2\phi_{Fi}) - \frac{(2eN_a \epsilon_S 2\phi_{Fi})^{1/2}}{C_{ox}} \right) V_D - \frac{V_D^2}{2} \right) \quad (2.25)$$

Ou en posant :

$$V_T = 2\phi_{Fi} + (4eN_a \epsilon_S \phi_{Fi})^{1/2} / C_{ox} \quad (2.26)$$

$$I_D = K_p \left((V_G - V_T) V_D - \frac{V_D^2}{2} \right) \quad (2.27)$$

V_T correspond à l'expression que nous avons déjà établie (2.5), c'est la tension de seuil du transistor. C'est la valeur de la tension de grille qui crée dans le semiconducteur un potentiel de surface $V_s=2\phi_{Fi}$, nécessaire à l'établissement du régime de forte inversion.

II.3.2 Régime saturé

Quand la tension drain-source augmente au-delà du régime linéaire ($V_D > V_G - V_T$), la densité surfacique de porteurs libres décroît au voisinage du drain et le courant présente une variation sous-linéaire avant d'atteindre un régime de saturation.

On obtient la tension de saturation V_{Dsat} en écrivant que pour $V_D = V_{Dsat}$, $Q_s(y)=0$ en $y=L$. l'expression (2.18) s'écrit alors :

$$0 = -C_{ox}(V_G - V_{Dsat} - 2\phi_{Fi}) + (2eN_a\epsilon_s)^{1/2}(V_{Dsat} + 2\phi_{Fi})^{1/2} \quad (2.28)$$

Soit

$$V_G = V_{Dsat} + 2\phi_{Fi} + \frac{(2eN_a\epsilon_s)^{1/2}}{C_{ox}}(V_{Dsat} + 2\phi_{Fi})^{1/2} \quad (2.29)$$

La tension de saturation correspondante est donnée par :

$$V_{Dsat} = V_G - 2\phi_{Fi} + \frac{2N_a\epsilon_s}{C_{ox}^2} \left(1 - \left(1 + \frac{2C_{ox}^2}{2N_a\epsilon_s} V_G \right)^{1/2} \right) \quad (2.30)$$

On obtient alors l'expression du courant de saturation en portant cette valeur de $V_D = V_{Dsat}$ dans l'expression (2.20).

On simplifier considérablement les expressions précédentes dans le cas réaliste où le semiconducteur est peu dopé et la couche d'oxyde très mince. Dans ces conditions N_a est petit et C_{ox} est grand, de sorte que la tension de seuil du transistor (2.26), la tension de saturation (2.30) et le courant de saturation s'écrivent simplement sous la forme :

$$V_T \approx 2\phi_{Fi} \quad (2.31)$$

$$V_{Dsat} \approx V_G - 2\phi_{Fi} \approx V_G - V_T \quad (2.32)$$

$$I_{Dsat} \approx \frac{Z\mu C_{ox}}{2L} (V_G - 2\phi_{Fi})^2 \approx \frac{K_p}{2} (V_G - V_T)^2 \approx \frac{K_p}{2} V_{Dsat}^2 \quad (2.33)$$

II.4 Transconductance g_m et conductance g_d

Le transistor à effet de champ à grille isolée est représenté par un schéma électrique équivalent petit signaux simplifier Figure (II.4). Les éléments principaux du schéma équivalent petit signal : la transconductance g_m et la conductance de sortie g_d .

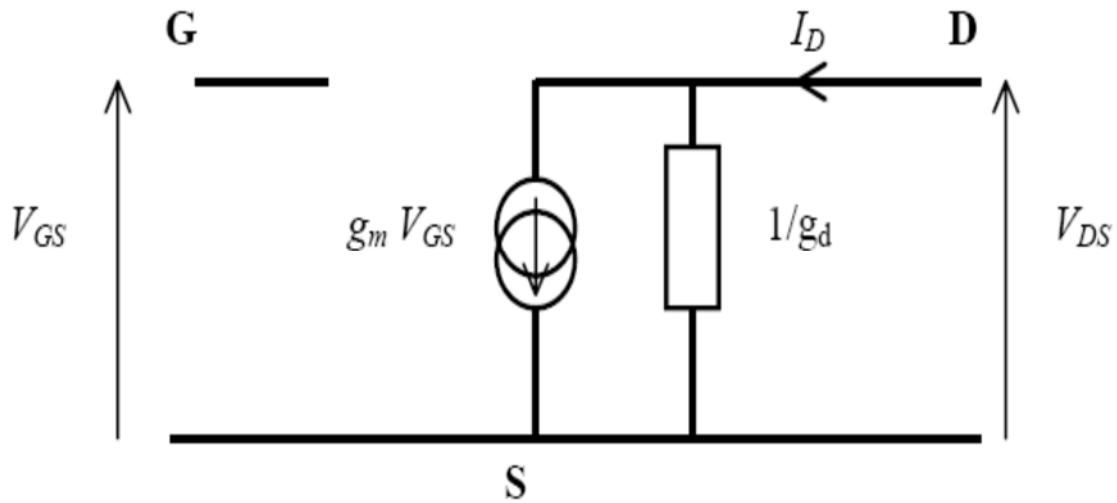


Figure (II.4) : Schéma électrique équivalent du MOSFET.

II.4.1. Transconductance g_m

Par définition, la transconductance ou pente du transistor, est le rapport entre la variation du courant de drain produite par une petite variation de la tension grille, à tension drain constante [22] :

$$g_m = \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D} \quad (2.34)$$

- Dans la région linéaire, g_m est obtenue à partir de l'équation (2.25) :

$$g_{m \text{ lin}} = \frac{Z\mu C_{ox}}{L} V_D = K_p \quad (2.35)$$

- Dans la région de saturation une dérivation de l'équation (2.33) permet d'obtenir :

$$g_{m \text{ sat}} = \frac{Z\mu C_{ox}}{L} (V_G - V_T) = K_p (V_G - V_T) \quad (2.36)$$

II.4.2. Conductance g_d

La conductance de sortie due à la variation du courant de drain induite par la variation de tension de drain, lorsque la tension de grille de grille est constante [22] :

$$g_d = \left. \frac{\partial I_D}{\partial V_D} \right|_{V_G} \quad (2.37)$$

➤ De l'équation (2.25) on trouve l'expression de la conductance dans la région linéaire :

$$g_{d \text{ lin}} = \frac{Z\mu C_{ox}}{L} (V_G - V_T) = K_p (V_G - V_T) \quad (2.38)$$

On voit clairement que :

$$g_{d \text{ lin}} = g_{m \text{ sat}} = K_p (V_G - V_T) \quad (2.39)$$

➤ La conductance du canal dans la région de saturation est parfaitement nulle, le courant $I_{D\text{sat}}$ ne dépend pas de la tension V_D :

$$g_{d \text{ sat}} = 0 \quad (2.40)$$

II.5 Effet des résistances parasites

Les résistances parasites se composent de résistances d'interconnexions, de résistances de contacts et de résistances série des diffusions source et drain. Soit R_S et R_D respectivement le total des résistances de côté source et drain ; on a [4] :

$$R_T = R_S + R_D \quad (2.41)$$

Les chutes de tension sur ces résistances diminuent les tensions effectivement appliquées aux bornes du canal, diminuant ainsi le courant du transistor.

La figure (II.5) présente l'impact des résistances parasites sur les polarisations du TMOS (les résistances parasites de la grille et du substrat sont toujours négligées dans le bilan ; cela est justifié tant que les courants de grille et de substrat sont négligeables).

Les tensions effectivement appliquées (V_g , V_d) du transistor intrinsèque sont plus faibles que les tensions extérieures (V_G , V_D) :

$$\begin{cases} I_d = I_D \\ V_g = V_G - R_S I_D \\ V_d = V_D - R_T I_D \end{cases} \quad (2.42)$$

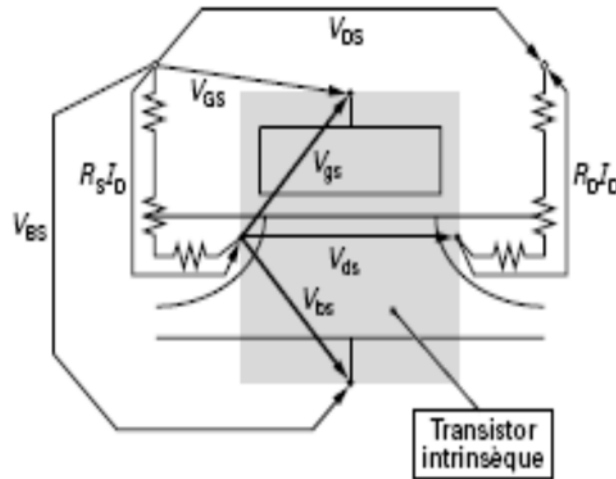


Figure (II.5) : impact des résistances parasites sur les polarisations du TMOS.

On peut déduire la caractéristique interne $I_d(V_d, V_g)$ de la caractéristique externe $I_D(V_D, V_G)$ en incluant l'effet des résistances d'accès de source R_S et de drain R_D .

Les expressions des courants se réécrivent de nouveau comme suit :

- **l'équation générale :**

$$I_d = K_p \left((V_g - 2\phi_{Fi})V_d - \frac{V_d^2}{2} - \frac{2(2eN_a\epsilon_s)^{1/2}}{3C_{ox}}(2\phi_{Fi})^{3/2} \left(\left(1 + \frac{V_d}{2\phi_{Fi}} \right)^{3/2} - 1 \right) \right) \quad (2.43)$$

Donc :

$$I_D = K_p \left((V_G - R_S I_D - 2\phi_{Fi})(V_D - (R_S + R_D)I_D) - \frac{(V_D - (R_S + R_D)I_D)^2}{2} - \frac{2(2eN_a\epsilon_s)^{1/2}}{3C_{ox}}(2\phi_{Fi})^{3/2} \left(\left(1 + \frac{V_D - (R_S + R_D)I_D}{2\phi_{Fi}} \right)^{3/2} - 1 \right) \right) \quad (2.44)$$

- **régime linéaire :**

$$I_d = K_p \left(V_g - V_T - \frac{V_d}{2} \right) V_d \quad (2.45)$$

Donc :

$$I_D = K_p \left(V_G - R_S I_D - V_T - \frac{(V_D - (R_S + R_D) I_D)}{2} \right) (V_D - (R_S + R_D) I_D) \quad (2.46)$$

• **régime saturé :**

$$I_{dsat} = \frac{K_p}{2} (V_g - V_T)^2 \quad (2.47)$$

$$I_{Dsat} = \frac{K_p}{2} (V_G - R_S I_D - V_T)^2 \quad (2.48)$$

La prise en compte des réductions de tensions conduites à des calculs implicites, itératifs, indésirables du point de vue de la vitesse de calcul.

II.6 Effet de la mobilité

La mobilité des porteurs est une grandeur physique définie comme étant le coefficient de proportionnalité entre la vitesse des porteurs et le champ électrique. Elle dépend de manière complexe de la nature et de la fréquence des collisions et interactions que subissent les porteurs durant leur déplacement dans le cristal.

A l'état passant, les mobilités sont des paramètres extrêmement importants dans les transistors MOS, car elles ont une influence de premier ordre sur les valeurs du courant de drain, par conséquent, de la résistance à l'état passant [23].

Nous avons étudié le fonctionnement du transistor, en idéalisant la structure à partir de certaines hypothèses. Nous avons en particulier supposé que la mobilité des porteurs libres dans le canal conducteur est constante. Cette hypothèse, justifiée au premier ordre, devient moins justifiée dans le cas du transistor à canal court dans la mesure où le champ longitudinal devient important. Les porteurs dans le canal sont alors caractérisés par une mobilité variable qui varie avec la tension grille-source.

Cependant, il n'existe pas une loi qui traduit correctement les variations de cette mobilité et plusieurs expressions analytiques approchées été proposées. Notre choix s'est porté sur les lois suivantes :

$$\left\{ \begin{array}{l} \mu_1 = \frac{\mu_0}{1 + \theta(V_G - V_T) + E/E_c} \quad [12] \end{array} \right. \quad (2.49)$$

$$\left\{ \begin{array}{l} \mu_2 = \frac{\mu_0}{[1 + \theta(V_G - V_T)] [1 + E/E_c]} \quad [4] \end{array} \right. \quad (2.50)$$

Avec :

μ_0 la mobilité des porteurs à faible champ, θ et E_c (champ critique) sont deux paramètres empiriques mesurés expérimentalement ($\theta[V^{-1}] = 1.5/d$, E_c est de l'ordre $5 \cdot 10^4 \text{V/cm}$).

Le terme E/E_c traduit la diminution de mobilité correspondant à la saturation de la vitesse de dérive des porteurs à fort champ longitudinal.

Le terme $\theta(V_G - V_T)$ traduit la variation de la mobilité associée à l'effet du champ transversal.

Dans le domaine des champs électriques faibles, les porteurs libres sont en équilibre thermodynamique avec le réseau et leur vitesse moyenne est proportionnelle au champ électrique :

$$V(E) = \mu_0 E. \quad (2.51)$$

Les lois de vitesse correspondantes à μ_1 et μ_2 sont :

$$\left\{ \begin{array}{l} v_1(E) = \mu_1(E)E = \frac{\mu_0 E}{1 + \theta(V_G - V_T) + E/E_c} \end{array} \right. \quad (2.52)$$

$$\left\{ \begin{array}{l} v_2(E) = \mu_2(E)E = \frac{\mu_0 E}{[1 + \theta(V_G - V_T)][1 + E/E_c]} \end{array} \right. \quad (2.53)$$

En reportant successivement ces lois de mobilité dans les équations (2.20), (2.27) et (2.33), nous obtenons :

Première loi :

- *Equation générale*

$$I_D = \frac{Z\mu_0 C_{ox}}{L \left(1 + \theta(V_G - V_T) + E/E_c \right)} \left(\left(V_G - \frac{V_D}{2} - 2\phi_{Fi} \right) V_D \right. \\ \left. - \frac{2}{3} \frac{(2eN_a \epsilon_S)^{1/2}}{C_{ox}} \left((V_D + 2\phi_{Fi})^{3/2} - (2\phi_{Fi})^{3/2} \right) \right) \quad (2.54)$$

- *Régime linéaire*

$$I_D = \frac{Z\mu_0 C_{ox}}{L \left(1 + \theta(V_G - V_T) + E/E_c \right)} (V_G - V_T) V_D \quad (2.55)$$

- **Régime saturé**

$$I_{Dsat} = \frac{Z\mu_0 C_{ox}}{L \left(1 + \theta(V_G - V_T) + \frac{E}{E_c} \right)} (V_G - V_T)^2 \quad (2.56)$$

Deuxième loi :

- **Equation générale**

$$I_D = \frac{Z\mu_0 C_{ox}}{L \left[1 + \theta(V_G - V_T) \right] \left[1 + \frac{E}{E_c} \right]} \left(\left(V_G - \frac{V_D}{2} - 2\phi_{Fi} \right) V_D - \frac{2}{3} \frac{(2eN_a \epsilon_S)^{1/2}}{C_{ox}} \left((V_D + 2\phi_{Fi})^{3/2} - (2\phi_{Fi})^{3/2} \right) \right) \quad (2.57)$$

- **Régime linéaire**

$$I_D = \frac{Z\mu_0 C_{ox}}{L \left[1 + \theta(V_G - V_T) \right] \left[1 + \frac{E}{E_c} \right]} (V_G - V_T) V_D \quad (2.58)$$

- **Régime saturé**

$$I_{Dsat} = \frac{Z\mu_0 C_{ox}}{L \left[1 + \theta(V_G - V_T) \right] \left[1 + \frac{E}{E_c} \right]} (V_G - V_T)^2 \quad (2.59)$$

II.7 Effet de la température

Les aspects thermiques dans la conception des circuits de puissance méritent souvent autant d'attention que les aspects purement électriques, car la température de fonctionnement des composants a une influence directe sur leurs caractéristiques statiques et dynamiques.

Le mode d'évolution avec la température des paramètres physiques des transistors MOS [24, 25], est déduit par des expressions analytiques applicable aux transistors MOS.

II.7.1 Paramètres thermiques

Les caractéristiques du transistor MOS sont très sensibles à la température. Cependant la majorité des simulations supposent que la température du composant est constante, usuellement égale à la température ambiante (300°k). Un modèle thermique rigoureux exige la résolution de l'équation d'échauffement suivante :

$$C_R \rho_R \frac{\partial T_R}{\partial t} = \nabla (K_R \nabla T_R) + H_S \quad (2.60)$$

Où :

C_R : chaleur spécifique du réseau.

ρ_R : densité du réseau.

T_R : température du réseau.

K_R : conductivité thermique du réseau.

H_S : génération thermique du réseau.

La dépendance de la mobilité des porteurs en fonction de la température joue un rôle fondamental dans la détermination du courant. Une loi simple pour modéliser la variation de la mobilité avec la température est la suivante [26, 27, 28] :

$$\mu(T) = \mu(T_0) \left[\frac{T}{T_0} \right]^{-k} \quad (2.61)$$

Avec :

$T = T_R$: température du réseau.

$T_0 = 300^\circ\text{K}$: température ambiante.

K : facteur compris 2.2 à 2.7.

La variation de la vitesse de saturation avec la température pour le MOSFET est donnée par [29] :

$$V_{\text{Sat}} = \frac{2.4 \cdot 10^5}{1 + 0.8 \exp\left[\frac{T}{600}\right]} \quad (2.62)$$

A température ambiante, la vitesse de saturation des électrons vaut : $V_{\text{sat}} = 10^7 \text{ cm/S}$.

Pour les trous, on a : $V_{\text{sat}} = 8 \cdot 10^6 \text{ cm/S}$.

Au niveau de la charge, l'augmentation de la température induit une baisse de la tension de seuil.

Une variation linéaire de V_T avec la température T est suffisante pour modéliser cet effet [30, 31, 32] :

$$V_T(T) = V_T(T_0) [1 - \gamma(T - T_0)] \quad (2.63)$$

Où : γ est un coefficient empirique proche de 2 à 3 mV/K.

II.7.2 Dissipation thermique

La circulation d'un courant dans le semi-conducteur provoque un échauffement par effet Joule. A l'équilibre, la quantité de chaleur reçue est égale à celle dissipée à travers le boîtier dans l'air ambiant et le semi-conducteur atteint alors une température d'équilibre. Cette température ne devra pas dépasser une valeur limite T_{jmax} , sous peine de perturber les performances du dispositif, de réduire sa fiabilité ou plus grave encore de le détruire. Cette température ne devra pas excéder $175^{\circ}C$. En générale, on la spécifie à $150^{\circ}C$ et parfois même à $125^{\circ}C$. Plus elle est basse, meilleure est la fiabilité du dispositif en fonctionnement [33].

Par analogie avec la loi d'Ohm, on écrit une équation linéaire reliant l'écart de température à la puissance dissipée, de la forme [33] :

$$T_j - T_a = R_{thja} P_d \quad (2.64)$$

Avec :

T_j : Température de la jonction.

T_a : Température ambiante.

R_{thja} : Résistance thermique jonction-ambiante.

P_d : Puissance dissipée.

On décompose, généralement, la résistance thermique en trois termes [33] :

$$R_{thja} = R_{thjc} + R_{thcs} + R_{thsa} \quad (2.65)$$

Avec :

R_{thjc} : Résistance thermique jonction-boîtier.

R_{thcs} : Résistance thermique boîtier-dissipateur.

R_{thsa} : Résistance thermique dissipateur-ambiante.

Ordre de grandeur :

$R_{thjc} = 0.5$ à $3^{\circ}C/W$ pour un transistor de puissance

$R_{thjc} = 100$ à $500^{\circ}C/W$ pour un transistor de faible puissance.

$R_{thcs} = 0.1$ à $0.5^{\circ}C/W$.

$R_{thsa} = 0.5$ à $0^{\circ}C/W$.

CHAPITRE III

Propriétés Dynamiques du MOSFET

III.1 Introduction

La course vers la miniaturisation des transistors MOS conduit à l'apparition des nouveaux effets ; plus précisément, certains effets jusqu'alors négligeables doivent maintenant être pris en compte. L'étude des propriétés dynamiques constitue un atout majeur dans l'application des MOSFET, et surtout pour l'adaptation de ces transistors au niveau des composants électroniques.

Parmi les nouveaux phénomènes à prendre en compte, deux types sont à distinguer : d'une part, il y a les effets liés au fonctionnement propre du transistor, dits effets intrinsèques, et d'autre part les effets extrinsèques, liés à l'impact résistif et capacitif de l'environnement du transistor. L'analyse d'un schéma équivalent est nécessaire pour décrire le comportement dynamique du MOSFET.

III.2 Schéma équivalent électrique du transistor MOSFET

Historiquement la notion des schémas équivalents était largement utilisée par les ingénieurs des composants et circuits électroniques. L'approche des circuits équivalents a prouvé son efficacité, elle a permis de simplifier plusieurs phénomènes physiques qui sont associés au comportement électronique du composant. Et de ce fait elle a permis la description des réseaux complexes de circuits électroniques par des expressions mathématiques simples, d'où la nécessité d'un schéma équivalent simple.

Le schéma électrique équivalent en régime petit signal est représenté à la Figure (III-1), comprend une partie intrinsèque et une partie extrinsèque. Que ce soit pour l'une ou l'autre partie, le schéma équivalent repose sur l'hypothèse que ses éléments sont indépendants de la fréquence jusqu'à la fréquence de coupure du transistor. En d'autres termes, le schéma équivalent utilisé est suffisant pour décrire le comportement du transistor tant que ses éléments sont constants en fonction de la fréquence. Cette hypothèse est primordiale pour l'extraction des éléments du schéma équivalent à partir des mesures.

Une analyse de la structure électrique du composant permet de caractériser les éléments intrinsèques et extrinsèques du transistor [34, 35] :

- ✓ Les éléments intrinsèques représentent la partie responsable de l'effet transistor, décrite par la physique du composant (partie comprenant le canal).
- ✓ Les éléments extrinsèques sont constitués de tout ce qui entoure et permet d'accéder aux éléments intrinsèques [36, 37,38].

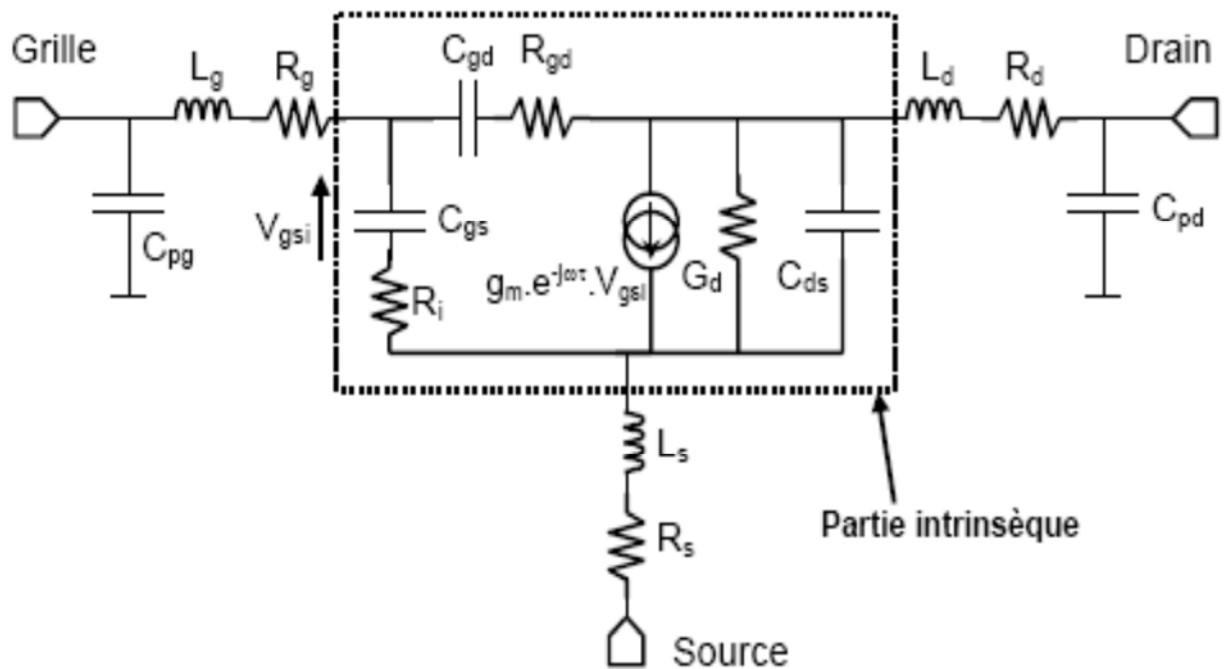


Figure (III-1) : Schéma électrique équivalent petit signal.

III.2.1 Éléments intrinsèques

La partie intrinsèque correspond à la zone active sous la grille où l'effet transistor se produit. Le courant I_{ds} qui circule dans le canal est modulé par la tension intrinsèque V_{gsi} appliquée aux bornes de la capacité grille-source C_{gs} sur la grille.

Chaque élément du schéma équivalent intrinsèque (Figure III.1) reflète un mécanisme physique ou une propriété électrique du transistor. Ces éléments sont des fonctions de la polarisation et de la longueur de grille. L'extraction de la partie intrinsèque du transistor peut se faire directement à partir des paramètres $[Y]$ de la mesure [39, 40].

III.2.1.1 Transconductance g_m

L'effet transistor est modélisé par une source de courant $(g_m \cdot V_{gsi})$ où g_m est la transconductance traduisant le mécanisme d'amplification de la commande du canal par la tension V_{gsi} . Cette tension V_{gs} est le signal appliqué aux bornes de la capacité C_{gs} . La transconductance g_m est l'expression du mécanisme de la commande du transistor MOS. Elle est définie par :

$$g_m = \left. \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} \quad (3.1)$$

III.2.1.2 Conductance g_d

Puisque les transistors MOSFET ne sont pas des sources de courant idéales, il est nécessaire d'ajouter une conductance de drain g_d définie :

$$g_d = \left. \frac{\partial I_{ds}(V_{ds}, V_{gs})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (3.2)$$

III.2.1.3 Capacités grille-source / grille-drain

Les capacités C_{gs} et C_{gd} sont liées respectivement à la variation de la charge emmagasinée sous la grille en fonction des tensions grille-source et grille-drain. Elles sont définies par :

$$C_{gs} = \left. \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gs}} \right|_{V_{gd}=cte} \quad (3.3)$$

$$C_{gd} = \left. \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gd}} \right|_{V_{gs}=cte} \quad (3.4)$$

Q_g est la charge totale stockée dans la grille et dépend aussi des potentiels V_{gs} et V_{ds} .

Dans (3.18) et (3.19), C_{gs} et C_{gd} sont définies par rapport aux potentiels V_{gs} et V_{gd} .

Néanmoins, dans la topologie source commune, les potentiels de contrôle usuels sont V_{gs} et V_{ds} . A partir de la relation entre les trois potentiels ($V_{gd}=V_{gs}-V_{ds}$), C_{gs} et C_{gd} peuvent être exprimées sous la forme :

$$C_{gs} = \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} + \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (3.5)$$

$$C_{gd} = \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (3.6)$$

L'expression de la capacité vue de la grille s'écrit comme suit :

$$C_{gg} = C_{gd}(\text{grille} / \text{drain}) + C_{gs}(\text{grille} / \text{source}) + C_{gb}(\text{grille} / \text{substrat}) \quad (3.7)$$

III.2.1.4 Capacité drain-source

L'origine de la capacité C_{ds} correspond aux capacités en série sous les contacts ohmiques de drain et de source.

Les éléments R_i et R_{gd} sont liés aux effets non-quasi statiques.

III.2.2 Eléments extrinsèques

La partie extrinsèque est liée aux éléments parasites des zones d'accès entre la partie intrinsèque et les contacts métalliques reliant le transistor au reste du circuit. Ces éléments sont considérés comme étant indépendants des polarisations et du régime de fonctionnement du composant [41].

III.2.2.1 Résistances

Les résistances R_s et R_d représentent les résistances parasites dues aux contacts ohmiques et aux zones conductrices inactives du canal entre les métallisations drain et source et la limite de la zone déserte. R_g est la résistance de la grille ; elle est proportionnelle à la largeur totale.

III.2.2.2 Capacités et inductances

Les inductances L_g , L_s et L_d matérialisent les inductances parasites, respectivement de grille, de source et de drain liées aux connexions du transistor avec le reste du circuit.

Les capacités C_{pg} et C_{pd} sont de l'ordre de quelques dizaines de femtofarads dans le cas où le transistor est alimenté par une ligne de transmission ou des 'via', elles apparaissent à l'extrémité du conducteur central dans le plan d'entrée de la partie active du transistor.

Ces dernières ne dépendent que de la largeur du transistor.

III.3 Paramètres dynamiques

III.3.1 Paramètres S

Les paramètres S permettent de déterminer différents critères dynamiques du transistor. La première représentation électrique équivalente des composants hyperfréquences a été réalisée au milieu des années 80. Cette représentation avait pour objectif d'évaluer les caractéristiques hyperfréquences des composants avec des paramètres S.

Pour déterminer les éléments parasites, le transistor est assimilé à un quadripôle (Figure III.2) avec une entrée et une sortie. En régime hyperfréquence, les courants et les tensions sont difficiles à utiliser. Pour cela, le quadripôle est caractérisé par ses paramètres S [42, 43, 44].

Ensuite, à partir des paramètres S, on peut calculer les différents éléments du schéma équivalent du transistor Figure (III-1).

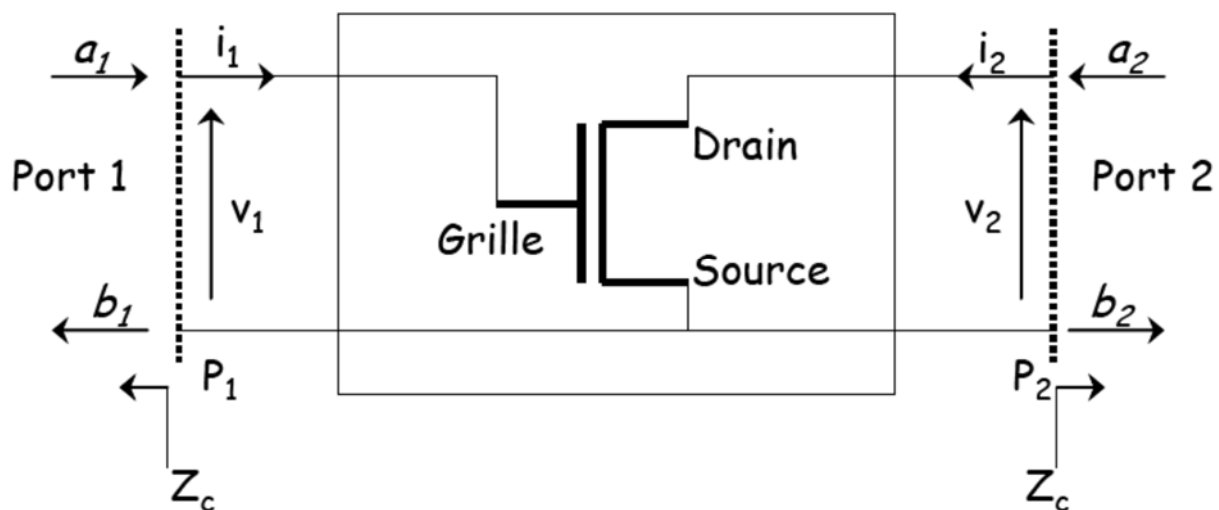


Figure (III.2) : Présentation du transistor par un quadripôle.

La mesure des paramètres S consiste en la détermination des rapports d'onde aux accès du transistor pour un point de fonctionnement linéaire (petit signal) autour du point de polarisation. Les paramètres S sont définis en petit signal par des équations reliant les ondes réfléchies (b_1 et b_2), incidentes (a_1 et a_2).

Les équations reliant les ondes émergentes b_1 et b_2 aux ondes incidentes a_1 et a_2 s'écrivent de la façon suivante :

$$\begin{cases} b_1 = S_{11}a_1 + S_{12}a_2 \\ b_2 = S_{21}a_1 + S_{22}a_2 \end{cases} \quad (3.8)$$

Alors

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \cdot \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (3.9)$$

En conséquence, si $a_2 = 0$, ce qui signifie que la sortie du quadripôle est adaptée, nous pouvons définir :

$S_{11} = b_1/a_1$: coefficient de réflexion à l'entrée quand la sortie est adaptée.

$S_{21} = b_2/a_1$: coefficient de transmission direct quand la sortie est adaptée.

De même si $a_1 = 0$, ce qui signifie que l'entrée du quadripôle est adaptée, alors :

$S_{22} = b_2/a_2$ représente le coefficient de réflexion à la sortie quand l'entrée est adaptée.

$S_{12} = b_1/a_2$ représente le coefficient de transmission inverse quand l'entrée est adaptée.

La connaissance des paramètres S permet en outre de calculer simplement les grandeurs les plus communément recherchées : puissance, gain ou atténuation, facteur de réflexion sur un accès, impédance d'entrée.

De plus, nous pouvons déduire les valeurs des paramètres S_{ij} connaissant celles des paramètres admittances Y_{ij} .

$$[S] = \begin{pmatrix} \frac{(1 - Y_{11}^*)(1 + Y_{22}^*) + Y_{12}^*Y_{21}^*}{\Delta} & \frac{-2Y_{12}^*}{\Delta} \\ \frac{-2Y_{21}^*}{\Delta} & \frac{(1 + Y_{11}^*)(1 - Y_{22}^*) + Y_{12}^*Y_{21}^*}{\Delta} \end{pmatrix} \quad (3.10)$$

Avec [45] :

$$Y_{11} = \frac{jC_{gs}\omega}{1 + jR_C C_{gs}\omega} + jC_{gd}\omega \quad (3.11)$$

$$Y_{12} = -jC_{gd}\omega \quad (3.12)$$

$$Y_{21} = \frac{g_m}{1 + jR_C C_{gs}\omega} - jC_{gd}\omega \quad (3.13)$$

$$Y_{22} = g_d - jC_{ds}\omega + jC_{gd}\omega \quad (3.14)$$

$$Y^* = Y \cdot Z_0 \quad (3.15)$$

Où Z_0 représente l'impédance de référence.

Ces paramètres permettent de caractériser complètement un quadripôle en petit signal et aussi l'extraction des figures de mérites f_T et f_{max} ainsi que des éléments extrinsèques d'un modèle.

III.3.2 Fréquence de transition f_T

Une des figures de mérite les plus couramment utilisées est celle de la fréquence de transition f_T d'un transistor. Elle est déterminée comme étant la fréquence à laquelle le gain en courant du composant est égal à 1 (ou 0dB). Elle reflète les performances dynamiques du transistor (en régime de fonctionnement petit signal) et permet d'estimer la gamme de fréquence dans laquelle le dispositif peut être utilisé. La fréquence de transition est définie par l'intermédiaire des paramètres [S] et paramètres [Y] définis comme il suit [47] :

$$f_T = \frac{\text{fréquence}}{\text{Im} \left[\frac{1}{h_{21}(\text{fréquence})} \right]} \quad (3.16)$$

Avec :

$$h_{21} = \frac{y_{21}}{y_{11}} \quad (3.17)$$

Où h_{21} est défini comme le gain en courant.

$$y_{11} = \frac{(1 - S_{11}) \cdot (1 + S_{22}) + S_{12} \cdot S_{21}}{(1 + S_{11}) \cdot (1 + S_{22}) - S_{12} \cdot S_{21}} \quad (3.18)$$

$$y_{12} = \frac{-2S_{12}}{(1 + S_{11}) \cdot (1 + S_{22}) - S_{12} \cdot S_{21}} \quad (3.19)$$

$$y_{21} = \frac{-2S_{21}}{(1 + S_{11}) \cdot (1 + S_{22}) - S_{12} \cdot S_{21}} \quad (3.20)$$

$$y_{22} = \frac{(1 + S_{11}) \cdot (1 - S_{22}) + S_{12} \cdot S_{21}}{(1 + S_{11}) \cdot (1 + S_{22}) - S_{12} \cdot S_{21}} \quad (3.21)$$

h_{21} est calculé en fonction des paramètres S_{ij} par la relation :

$$|h_{21}|^2 = \left| \frac{-2S_{21}}{(1-S_{11}) \cdot (1+S_{22}) + S_{12} \cdot S_{21}} \right|^2 \quad (3.22)$$

La valeur de la fréquence de transition peut être calculée alors analytiquement à partir de l'expression (3.21) en utilisant le schéma équivalent du transistor MOS en hyper fréquences [47], si on pose $|h_{21}(f_T)=1|$.

L'expression analytique de la fréquence de transition est alors :

$$f_T = \frac{g_m}{2\pi[(C_{gs} + C_{gd})(1 + g_d(R_s + R_d)) + C_{gd}g_m(R_s + R_d)]} \quad (3.23)$$

La fréquence de transition est extraite par la mesure de paramètres [S] en fréquence. Pour chaque fréquence le gain en courant est calculé à partir des expressions définies précédemment et tracées comme l'illustre la Figure (III.3) [47].

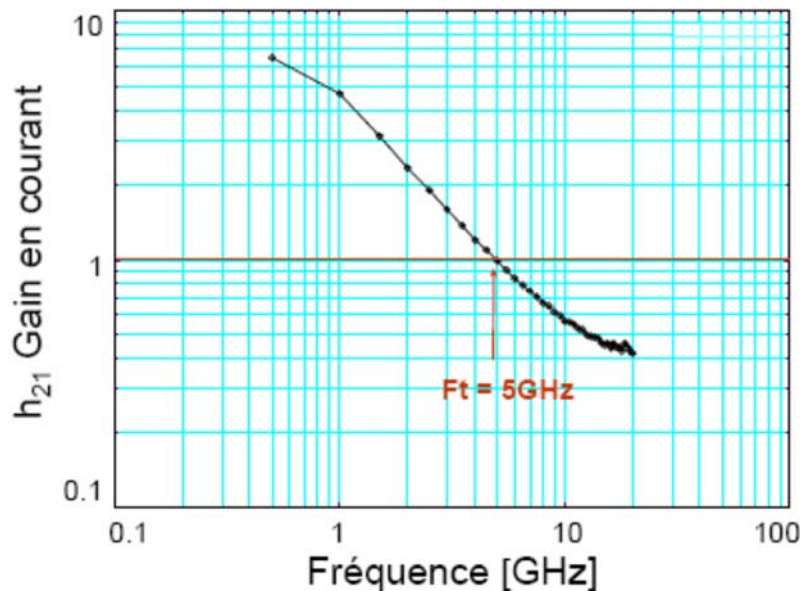


Figure (III-3) : Gain en courant (dB) en fonction de la fréquence pour V_d et V_g constants. Illustration de la détermination de la fréquence de transition f_T (Fréquence pour laquelle le gain en courant est 1 dB).

III.3.3 Fréquence maximale d'oscillation f_{max}

La fréquence maximale d'oscillation f_{max} caractérise en général la qualité de la technologie. Au-delà de f_{max} , le transistor devient passif.

Le gain unilatéral du composant permet de définir la fréquence maximale d'oscillation f_{max} .

L'expression du gain unilatéral en fonction des paramètres S du composant est donnée par [48] :

$$U = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2 \left(k \cdot \left| \frac{S_{21}}{S_{12}} \right| - \operatorname{Re} \left(\frac{S_{21}}{S_{12}} \right) \right)} \quad (3.24)$$

Où k représente le facteur de stabilité du transistor.

La fréquence maximale d'oscillation du composant correspond à la fréquence pour laquelle ($U=1$) le gain en puissance est égal à 1.

L'expression proposée dans littérature pour f_{max} est [34] :

$$f_{max} = \frac{f_c}{\left(4g_d(R_g + R_i + R_s) + 2 \frac{C_{gd}}{C_{gs}} \left(\frac{C_{gd}}{C_{gs}} + g_m(R_s + R_i) \right) \right)^{1/2}} \quad (3.25)$$

Avec :

$$f_c = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (3.26)$$

f_c représente la fréquence de coupure intrinsèque du gain en courant.

De façon analogue la fréquence maximale d'oscillation f_{max} est définie à partir de l'expression du Gain de Mason Gu comme il suit [47] :

$$GU_{dB} = 10 \log \left\{ 0.25 \frac{[\operatorname{Re}(y_{21}) - \operatorname{Re}(y_{12})]^2 + [\operatorname{Im}(y_{21}) - \operatorname{Im}(y_{12})]^2}{\operatorname{Re}(y_{11})\operatorname{Re}(y_{22}) - \operatorname{Re}(y_{21})\operatorname{Re}(y_{12})} \right\} \quad (3.27)$$

f_{max} correspond à la fréquence pour laquelle le Gain de Mason est nul. La détermination de la fréquence f_{max} est illustrée par la Figure (III.4) où le Gain de Mason est tracé en fonction de la fréquence de mesure pour un point de polarisation défini [47].

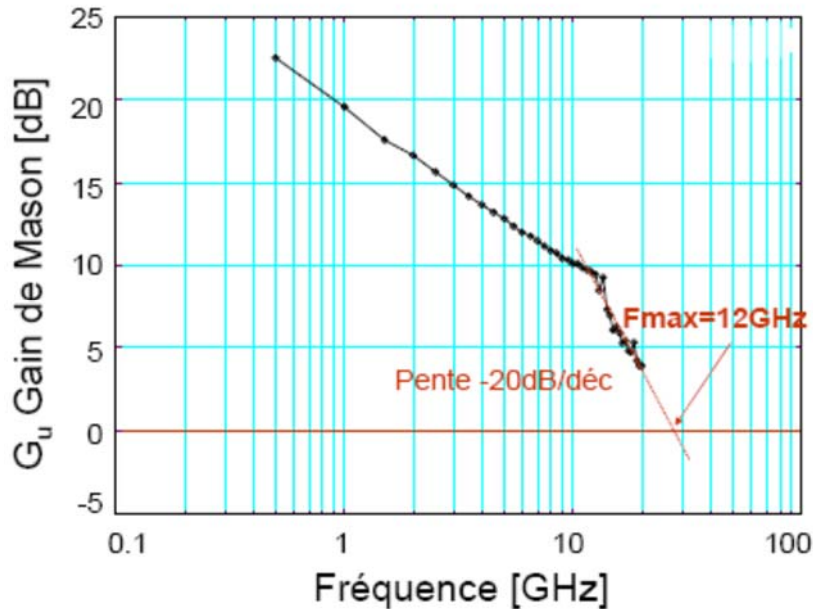


Figure (III-4) : Gain de Mason en fonction de la fréquence. Illustration de la détermination expérimentale du F_{max} pour un point de polarisation donnée. (Extrapolation de la pente à -20dB/décade jusqu'à son interprétation avec l'origine des abscisses).

III.3.4 Facteur de stabilité du transistor

L'étude de la stabilité d'un transistor est un point essentiel pour la conception d'un amplificateur. En effet, le bon fonctionnement d'un circuit peut être perturbé par la présence d'oscillations. Ces oscillations sont d'autant plus gênantes qu'elles peuvent apparaître en dehors de la bande de fonctionnement de l'amplificateur. C'est pourquoi, il est nécessaire de le rendre stable à toutes les fréquences de travail.

La définition du critère de stabilité k est donnée par [45] :

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{21}S_{12}|^2}{2|S_{21}||S_{12}|} \quad (3.28)$$

Pour qu'un circuit soit stable, il faut qu'il remplisse les conditions suivantes :

$$\bullet \quad K > 1 \quad (3.29)$$

$$\bullet \quad 1 - |S_{11}|^2 - |S_{12} \cdot S_{21}| > 0 \quad (3.30)$$

$$\bullet \quad 1 - |S_{22}|^2 - |S_{12} \cdot S_{21}| > 0 \quad (3.31)$$

III.4 Bruit dans les transistors MOSFET

Les applications modernes de la technologie MOSFET imposent la modélisation du bruit afin d'assurer un bon fonctionnement des circuits à technologie MOSFET. Les deux principales sources de bruit dans un transistor MOS sont le bruit en $1/f$ (basse fréquence) et le bruit thermique. En radiofréquence le bruit en $1/f$ est négligeable, le bruit thermique devient alors le principale source de bruit [49] :

III.4.1 Bruit en $1/f$ ou bruit basse fréquence

Appelé encore bruit de Flicker ou bruit en $1/f$ à cause de sa courbe de densité spectrale inversement proportionnelle à la fréquence. Ce bruit est en fait un bruit qui se manifeste en basse fréquence, et combien même ce bruit est omniprésent, aucun mécanisme universel n'a été prouvé définitivement comme étant sa cause. Ce bruit est plus grand dans les transistors MOS en comparaison avec les bipolaires.

Ce bruit est clairement associé à la variation de la conductivité du canal $\sigma = q \mu_n$, causée par la variation du nombre de porteurs, ou par celle de leur mobilité ou par les deux [50, 51]. Le bruit en $1/f$ est, de plus, inversement proportionnel aux dimensions L et Z des composants, ce qui rend ce phénomène plus significatif avec la réduction constante des dimensions des composants en microélectronique [50, 52].

L'origine du bruit en $1/f$ est expliquée par les théories suivantes :

III.4.1.1 Fluctuations du nombre de porteurs de charge

Cette théorie a été proposée par Mc Worther [53]. Ce bruit est dû au piégeage des porteurs de charge au-dessous du diélectrique au niveau de la grille. La densité spectrale du courant qui circule au niveau du drain, notée S_{ID} et donnée par [53, 54, 55] :

$$S_{ID} = \frac{K_F q^4 I_D^2}{n^2 K T W L f} \frac{N_{ST}}{(C_{OX} + C_{SS} + C_I)^2} \left(\frac{\mu_{Eff}}{\mu_0} \right)^2 \quad (3.32)$$

Avec :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta(V_{GS} - V_T)} \quad (3.33)$$

Où :

K_F : constante dépendant de la technologie utilisée

n : concentration des électrons

q : la charge de l'électron

I_D : le courant du drain

k : la constante de Boltzmann

W : la largeur du canal

L : la longueur du canal

T : la température en degré Kelvin

N_{ST} : la densité des porteurs piégés en surface

C_{SS} : la capacité d'interface

C_I : la capacité d'inversion

C_{OX} : la capacité de l'oxyde

V_{GS} : la tension entre la grille et la source

V_T : la tension de seuil (Thershold voltage)

μ_{eff} : la mobilité effective des porteurs de charge

μ_0 : la mobilité des porteurs de charge à faible champ

θ : le facteur d'atténuation de la mobilité des porteurs de charges dans le canal.

III.4.1.2 Fluctuation de la mobilité

Hooge [56, 57, 58] attribue le bruit en $1/f$ à la fluctuation de la mobilité des porteurs de charge. Il développa une formule empirique déterminant le bruit en $1/f$ en fonction de la variation de la résistance du canal. La densité spectrale du bruit est alors donnée par la relation suivante :

$$R_n^2 = \frac{\alpha_H}{N} \frac{R^2}{f} \quad (3.34)$$

Avec N le nombre de porteurs de charges libres au niveau du « bulk », et α_H la constante de Hooge ($\alpha_H = 2 \cdot 10^3$).

III.4.2 Bruit thermique

Appelé encore bruit de diffusion ou bruit de Johnson est dû principalement à l'agitation thermique des porteurs de charge.

Il est caractérisé par une densité spectrale qui augmente avec l'accroissement de la conductance de sortie g_d observée quand la longueur de grille diminue ou quand la tension V_{gs} augmente.

Dans un transistor MOSFET ce bruit est modélisé par la densité spectrale du courant circulant dans le canal du drain vers la source.

La densité spectrale du bruit thermique est donnée par [53, 59] :

$$S_{th_{id}} = \frac{4K_B T}{I_{DS} L^2} \int_{V_{SB}}^{V_{DB}} g^2(V) dv \quad (3.35)$$

Où $g(V)$ représente la conductance à chaque point du canal.

CHAPITRE IV

Résultats et interprétations

IV.1 Introduction

La modélisation des composants et des systèmes électroniques a été longtemps basée sur l'aspect analytique [60, 61], mais avec l'évolution et la miniaturisation des composants, la solution analytique est devenue très difficile pour prendre en compte les effets de second ordre de plus en plus prédominants. Notons spécialement : les réponses temporelles et fréquentielle, les profils de dopage, les modèles de mobilité et de génération-recombinaison, etc. Afin de prendre en compte des effets secondaires, la modélisation des composants électroniques est tournée de plus en plus vers la résolution numérique des équations fondamentales du semiconducteur.

Dans le deuxième et le troisième chapitre, nous avons déterminé les différentes expressions des caractéristiques statiques et les principaux paramètres dynamiques du transistor MOSFET. Pour vérifier la validité de cette étude, ce dernier chapitre présente l'ensemble des résultats de la simulation des caractéristiques statiques et dynamiques des transistors MOSFET.

IV.2 Caractéristiques statiques

Afin de valider le modèle des caractéristiques statiques du transistor MOSFET établies au deuxième chapitre, un logiciel de simulation basé sur les diverses formules et équations est exposés, ainsi que les résultats obtenus et leurs discussions.

IV.2.1 Logiciel de simulation

A partir des expressions établies précédemment (chapitre II), nous avons réalisé un logiciel de simulation en langage « FORTRAN 95 LF95 » [62, 63, 64], dont l'algorithme de calcul est représenté dans la figure (IV.1). Ce logiciel permet la résolution des systèmes des équations et l'édition des courbes dans des fichiers spécifiques.

Avec ce logiciel nous pouvons déterminer :

- Caractéristiques courant tension I-V dans les différents régimes de fonctionnement du transistor.
- Effet de la mobilité.
- Effet des résistances parasites.
- Effet des paramètres physiques et géométriques (L , Z , N_D , a).
- Effet de la température.

Les valeurs obtenues sont groupées et stockées dans des fichiers spécifiques que nous utilisons par la suite avec l'aide du logiciel « ORIGIN, version 8.0 » pour tracer les différentes séries de courbes.

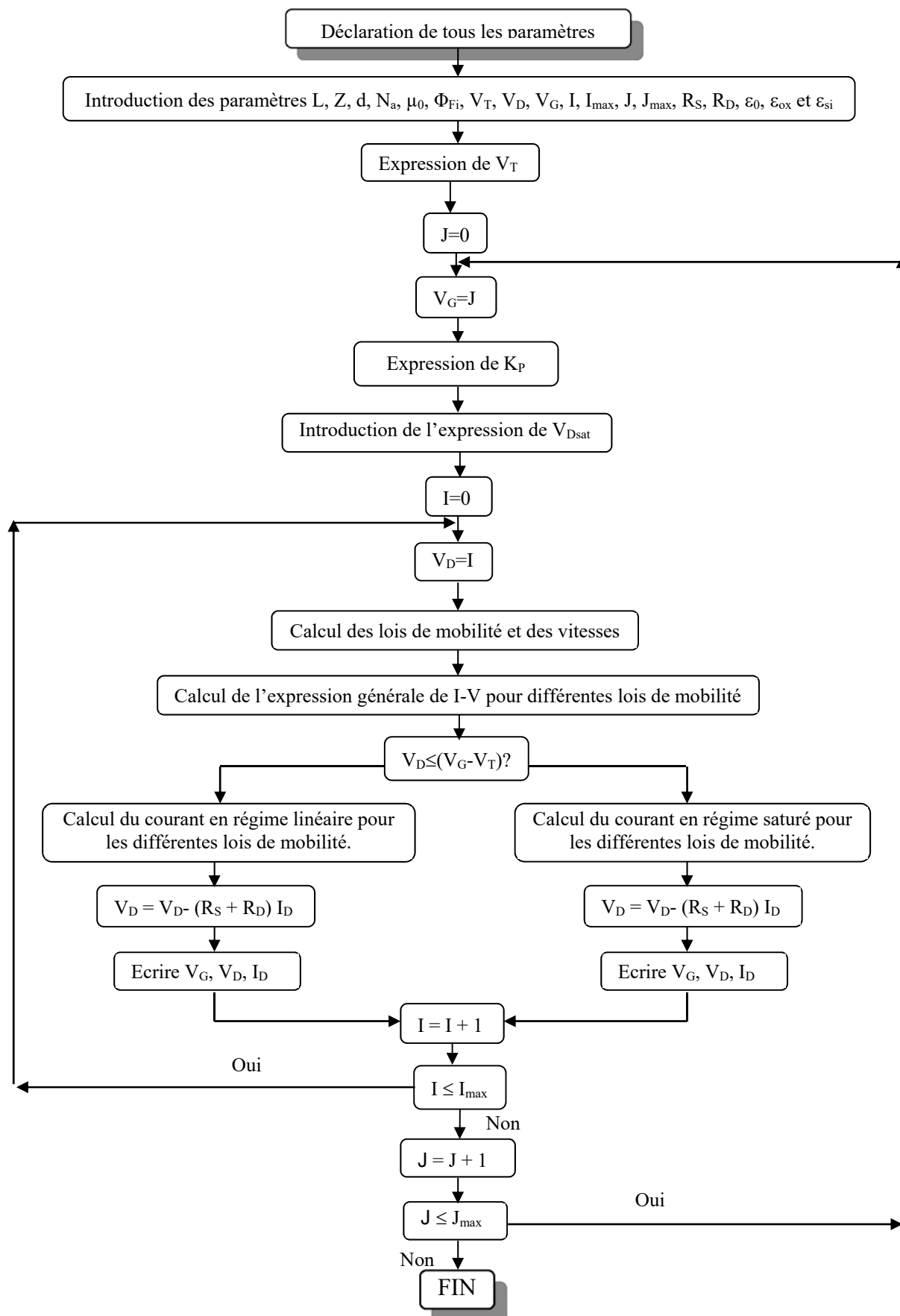


Figure (IV.1) : Organigramme de calcul du courant de drain.

IV.2.2 Caractéristiques courant tension I-V

La simulation numérique du courant de drain en fonction des tensions de polarisations dans les différents régimes de fonctionnement [65], fait appel aux expressions analytiques de $I_D(V_D, V_G)$ (2.21), (2.27) et (2.33) établies dans le chapitre II.

L'étude a été effectuée sur deux échantillons de transistors MOSFET1 ($L=1.5\mu\text{m}$) ; MOSFET2 ($L=2.5\mu\text{m}$) [54] dont les paramètres sont regroupés dans le tableau 1.

MOSFET	$L(\mu\text{m})$	$d_{\text{ox}}(\text{\AA})$	$Z(\mu\text{m})$	$N_a(\text{cm}^{-3})$	$\mu_0(\text{cm}^2 \cdot \text{s}^{-1} \cdot \text{V}^{-1})$	$\Phi_{\text{Fi}}(\text{V})$
MOSFET1 (SESCOSEM VIERGE)	1.5	1500	353	10^{16}	277	0.35
MOSFET2 (SILICONIX 2N6657)	2.5	1000	281	10^{16}	360	0.35

Tableau (IV.1) : Paramètres géométriques et technologiques des transistors MOSFET 1 et MOSFET 2

Les figures (IV.2) et (IV.3) présentent la variation du courant de drain I_D en fonction de V_D pour des différentes valeurs de V_G obtenue pour le MOSFET1 et le MOSFET2 respectivement.

On constate que le courant de drain I_D augmente avec la tension V_D , puis il se sature en régime de pincement pour laquelle la Z.C.E couvre tout le canal dans le cas MOSFET1 et MOSFET2. En particulier pour le MOSFET1 le courant I_D se sature avant le pincement du canal, ceci est dû au fait que la longueur du canal est courte, ce qui est clair consolidé dans la figure (IV.4).

Ce fait permet au champ électrique d'atteindre des valeurs appréciables rapidement et par conséquent, la saturation rapide de la vitesse des porteurs dans le canal. Ceci veut dire que la saturation du courant de drain dans ce cas est liée à la saturation de la vitesse des porteurs.

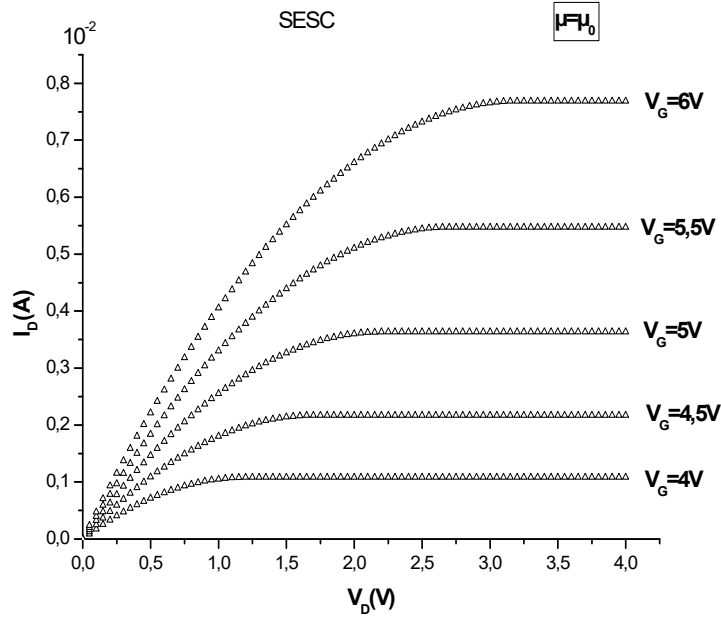


Figure (IV.2) : Variation de I_D en fonction de V_D pour différentes valeurs de V_G pour le MOSFET1.

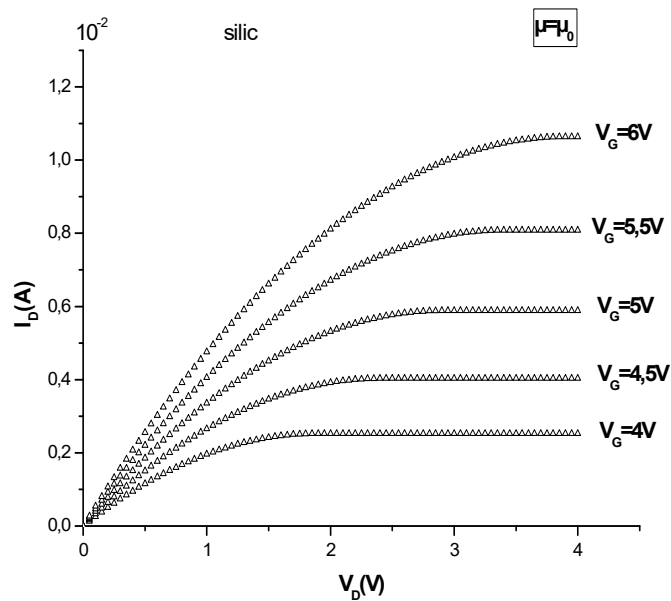


Figure (IV.3) : Variation de I_D en fonction de V_D pour différentes valeurs de V_G pour le MOSFET2.

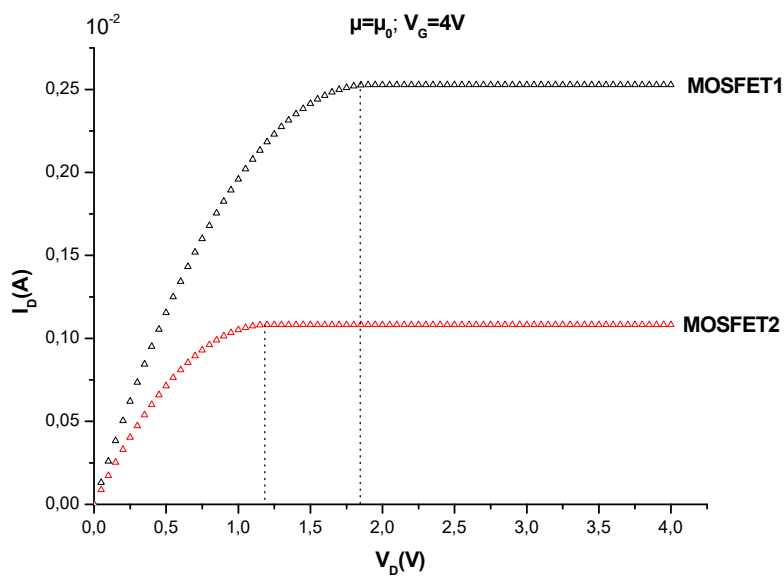


Figure (IV.4) : Variation de I_D en fonction de V_D pour la valeur de $V_G = 4V$ pour le MOSFET1 et le MOSFET2.

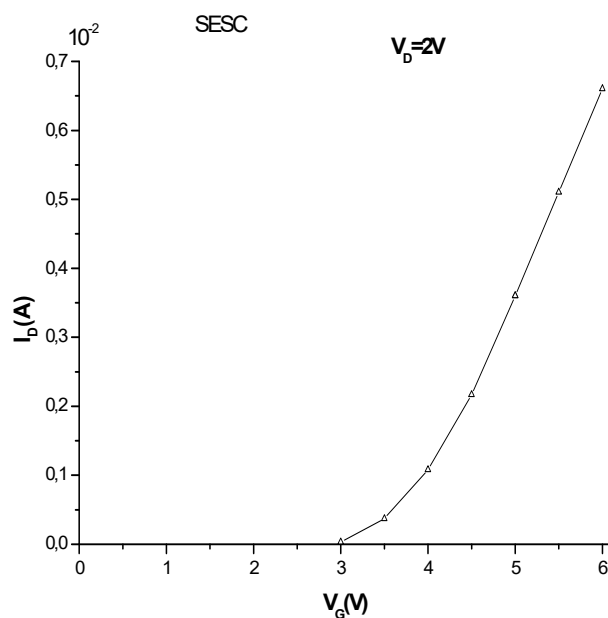


Figure (IV.5) : Variation de I_D en fonction de V_G pour la valeur de $V_D = 2V$ pour le MOSFET1.

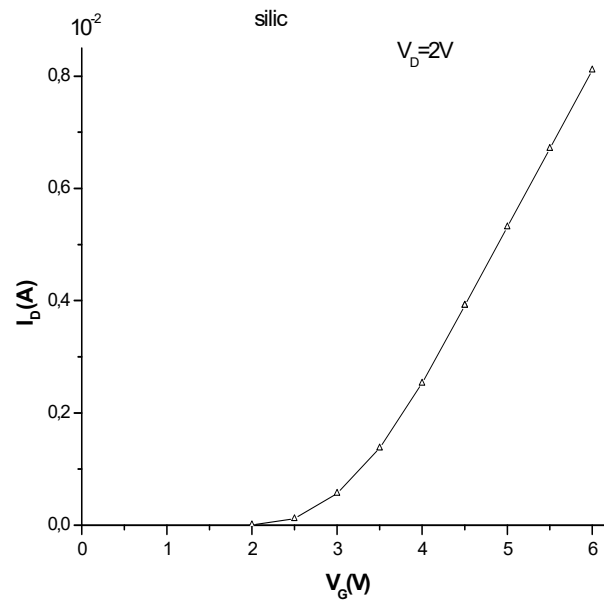


Figure (IV.6) : Variation de I_D en fonction de V_G pour la valeur de $V_D=2V$ pour le MOSFET2.

Les figures (IV.5) et (IV.6) montrent la variation du courant de drain I_D avec V_G pour la valeur de $V_D=2V$ obtenue pour les transistors MOSFET1 et MOSFET2 respectivement.

On remarque que I_D diminue avec V_G , jusqu'à son annulation pour la valeur de V_G dite tension de seuil V_T . Pour le MOSFET1 $I_D=0$ à $V_T=3V$, pour le MOSFET2 $I_D=0$ à $V_T=2V$. Alors on peut dire que le MOSFET2 est mis en conduction pour des faibles valeurs que le MOSFET1.

IV.2.3 Effet de la mobilité

Pour illustrer l'effet de la mobilité sur les caractéristiques I-V du MOSFET [66], on utilise les expressions (2.49) et (2.50) qui correspondent successivement aux lois de mobilité suivantes :

$$\left\{ \begin{array}{l} \mu_1 = \frac{\mu_0}{1 + \theta(V_G - V_T) + E/E_c} \quad [12] \quad (2.49) \\ \mu_2 = \frac{\mu_0}{[1 + \theta(V_G - V_T)][1 + E/E_c]} \quad [4] \quad (2.50) \end{array} \right.$$

Avec :

μ_0 la mobilité des porteurs à faible champ, θ et E_c (champ critique) sont deux paramètres empiriques mesurés expérimentalement ($\theta[V^{-1}]=1.5/d$, d : épaisseur de l'oxyde ; E_c est de l'ordre $5 \cdot 10^4$ v/cm).

En fait, l'utilisation de ces expressions pour les transistors MOSFET1 et MOSFET2, nous permet d'obtenir les figures (IV.7), (IV.8), (IV.9) et (IV.10) sur lesquelles on constate que les variations du courant de drain sont maximales dans le cas de la mobilité μ_1 . Le courant subit une diminution en régime de saturation qui est remarquable dans le cas de μ_2 . Cette décroissance est due au fait que le phénomène d'accumulation des porteurs qui se produit dans le canal n'est pas pris en considération.

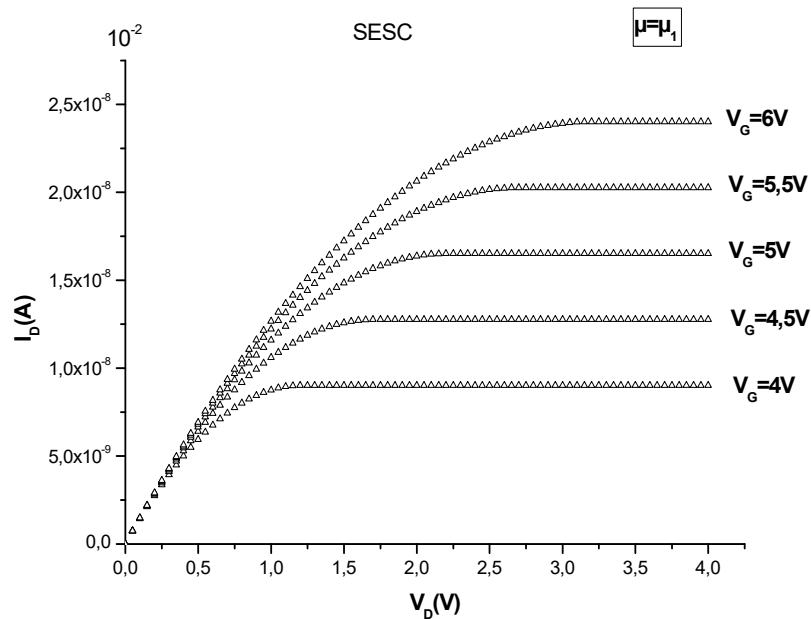


Figure (IV.7) : Variation de I_D en fonction de V_D pour différentes valeurs de V_G pour le transistor MOSFET1 obtenue en utilisant l'expression de la mobilité μ_1 .

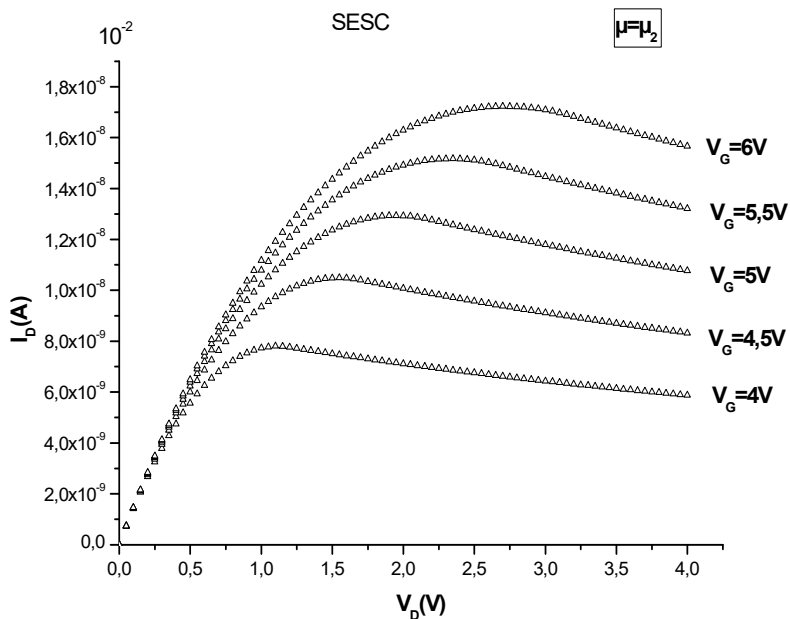


Figure (IV.8) : Variation de I_D en fonction de V_D pour différentes valeurs de V_G pour le transistor MOSFET1 obtenue en utilisant l'expression de la mobilité μ_2 .

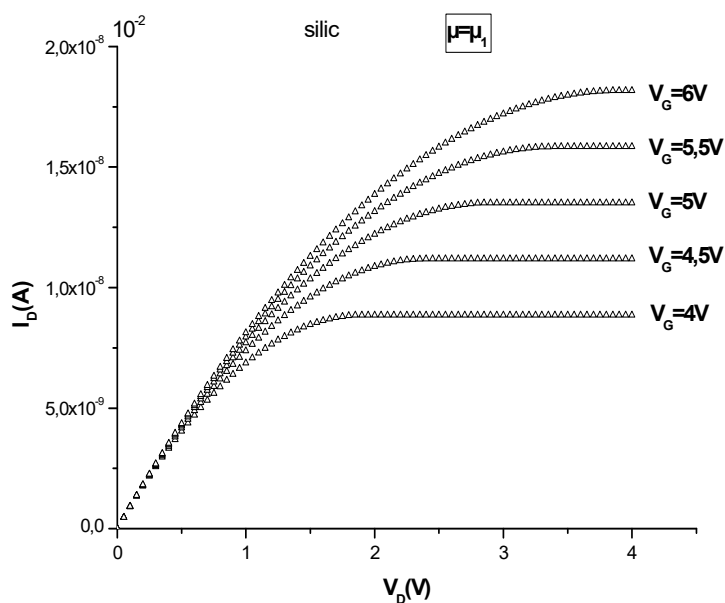


Figure (IV.9) : Variation de I_D en fonction de V_D pour différentes valeurs de V_G pour le transistor MOSFET2 obtenue en utilisant l'expression de la mobilité μ_1 .

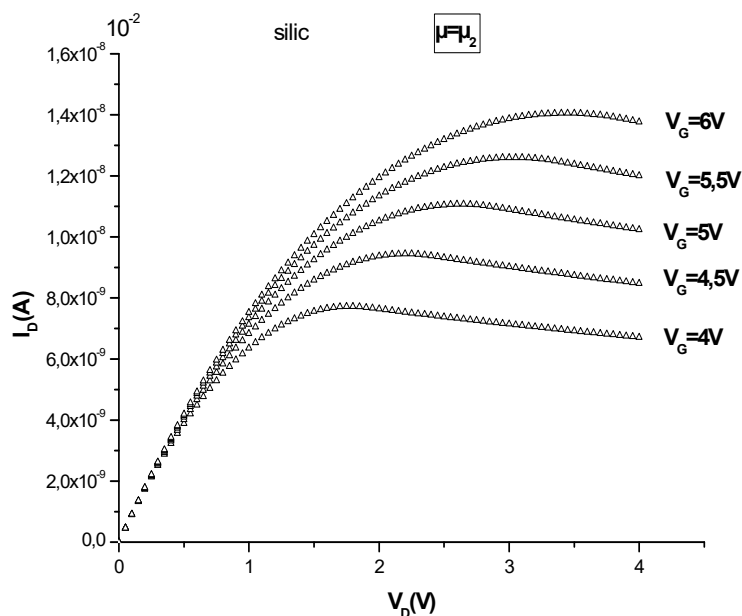


Figure (IV.10) : Variation de I_D en fonction de V_D pour différentes valeurs de V_G pour le transistor MOSFET2 obtenue en utilisant l'expression de la mobilité μ_2 .

Ces deux lois de mobilité sont représentées sur les figures (IV.11) et (IV.12) on constate que la mobilité μ_1 décroît lentement par rapport à μ_2 au fur et à mesure que le champ électrique croît. Ceci est bien montré sur la figure (IV.13).

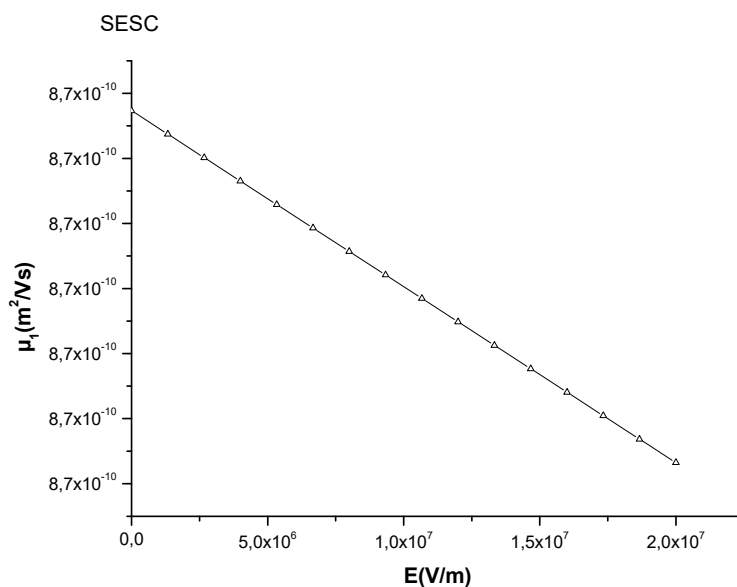


Figure (IV.11) : Variation de la mobilité μ_1 en fonction du champ électrique pour le transistor MOSFET1.

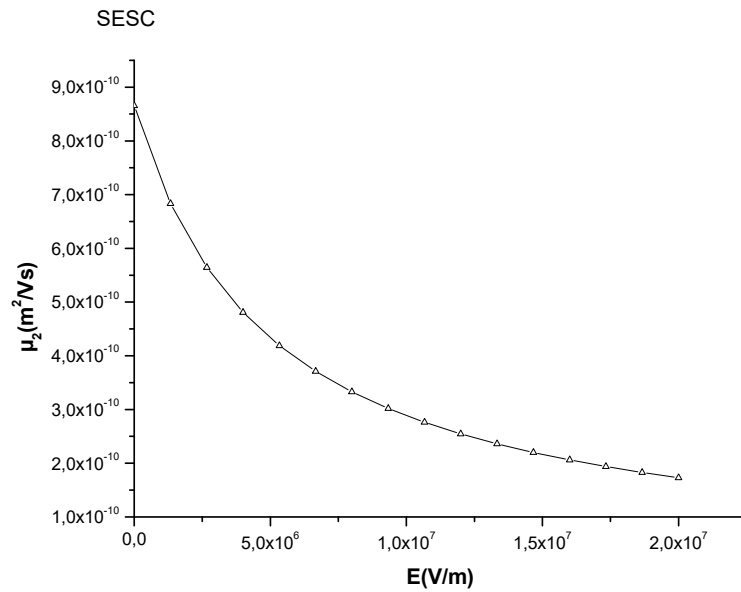


Figure (IV.12) : Variation de la mobilité μ_2 en fonction du champ électrique pour le transistor MOSFET1.

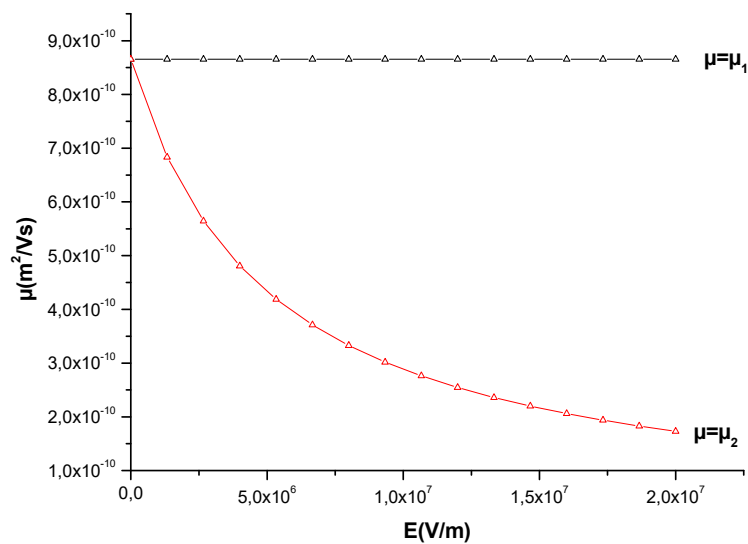


Figure (IV.13) : Variation de la mobilité en fonction du champ électrique pour le transistor MOSFET1.

Les lois de vitesse correspondantes à μ_1 et μ_2 sont :

$$v_1(E) = \mu_1(E)E = \frac{\mu_0 E}{1 + \theta(V_G - V_T) + E/E_c} \quad (2.52)$$

$$v_2(E) = \mu_2(E)E = \frac{\mu_0 E}{[1 + \theta(V_G - V_T)] \left[1 + \frac{E}{E_c}\right]} \quad (2.53)$$

La variation de ces lois de vitesse sont représentées sur la figure (IV.14), on voit clairement que V_1 augmente rapidement avec le champ électrique par rapport à V_2 contrairement de ce qu'on a vu précédemment dans le cas des mobilités.

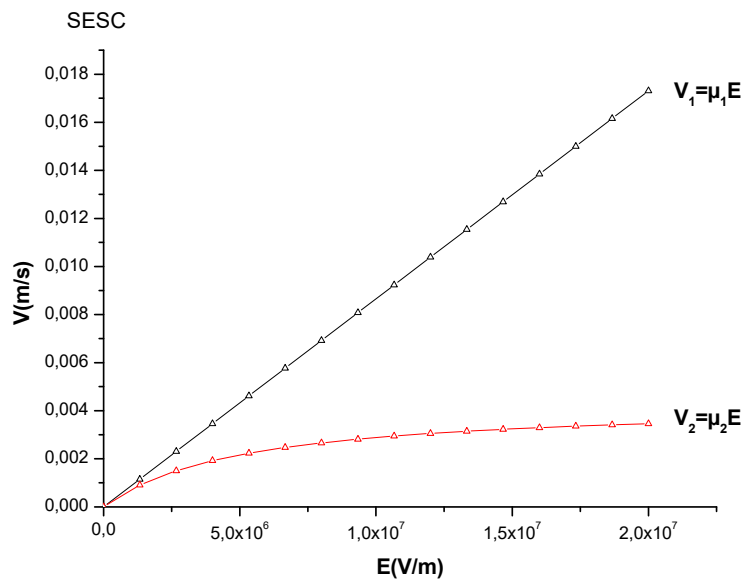


Figure (IV.14) : Variation de la vitesse en fonction du champ électrique pour le transistor MOSFET1.

IV.2.4 Effet des résistances parasites

Dans le but de mettre en évidence les effets des résistances parasites R_S et R_D sur les caractéristiques I-V du MOSFET, les résultats obtenus avec et sans les résistances parasites sont comparés pour le MOSFET1, comme le montre la figure (IV.15).

On voit clairement que les effets des résistances parasites ne peuvent pas être négligés. Cette figure montre également que les effets de R_S , et R_D sont d'autant plus remarquables que V_G est grande. Ceci est prévisible parce que la résistance du canal augmente quand V_G diminue et par conséquent, les effets de R_S et R_D sont d'autant plus négligeables devant la résistance du canal que V_G diminue.

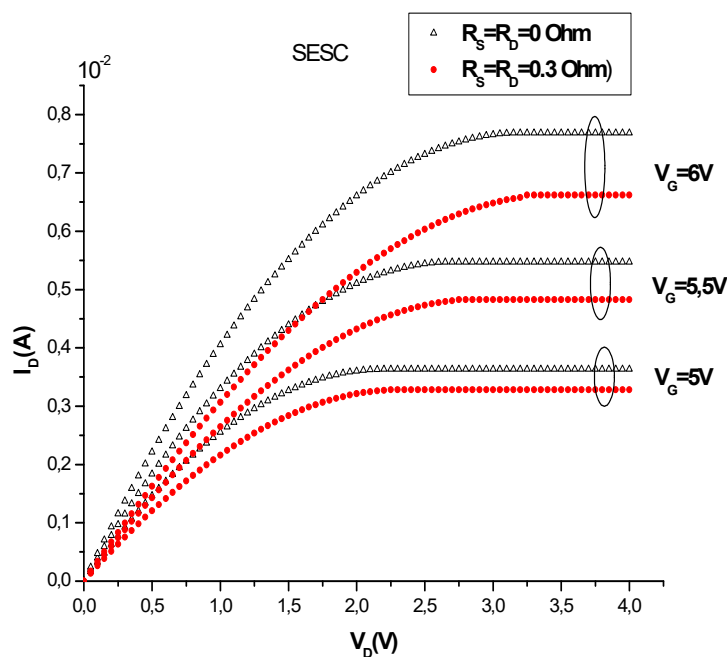


Figure (IV.15) : Comparaison de la variation de $I_D(V_D)$ dans les deux cas $R_S=R_D=0\Omega$ et $R_S=R_D=0,3\Omega$ pour le MOSFET1.

IV.2.5 Effet des paramètres géométriques et physiques

Dans notre simulation numérique, nous avons tenu compte de l'effet des paramètres L , d , Z et N_a sur les caractéristiques I-V [67].

Pour cela, on a utilisé plusieurs échantillons dont leurs paramètres sont donnés dans le tableau (IV.2).

<i>Transistor</i>	L	d (Å°)	Z (μm)	N_a (cm^{-3})	μ_0 ($\text{cm}^2 \cdot \text{s}^{-1} \cdot \text{v}^{-1}$)	Φ_{Fi} (V)
MOSFET3	1...4	1500	353	10^{16}	277	0.35
MOSFET4	1	600...1500	353	10^{16}	277	0.35
MOSFET5	1	600	200...600	10^{16}	277	0.35
MOSFET6	1	600	600	$10^{16} \dots 3 \cdot 10^{16}$	277	0.35

TABLEAU (IV.2) : Paramètres des composants MOSFET 3, MOSFET 4, MOSFET 5 et MOSFET 6

L'organigramme de calcul est représenté sur la figure (IV.16).

Théoriquement, d'après l'équation (II.20) l'augmentation du courant de drain correspond à une diminution de la longueur L car ils sont inversement proportionnels.

La figure (IV.17) obtenue correspond bien aux prédictions théoriques, on remarque que l'augmentation du courant de drain correspond à une diminution de la longueur L car ils sont inversement proportionnels.

Entre autre les figures (IV.18) et (IV.19) montrent que le courant de drain croît au fur et à mesure qu'il y a une décroissance de l'épaisseur d'oxyde d et du dopage N_a .

En revanche la figure (IV.20) présente la variation du courant de drain en fonction de V_D pour différents paramètres de Z . On constate que l'augmentation de ce paramètre accroît le courant de drain.

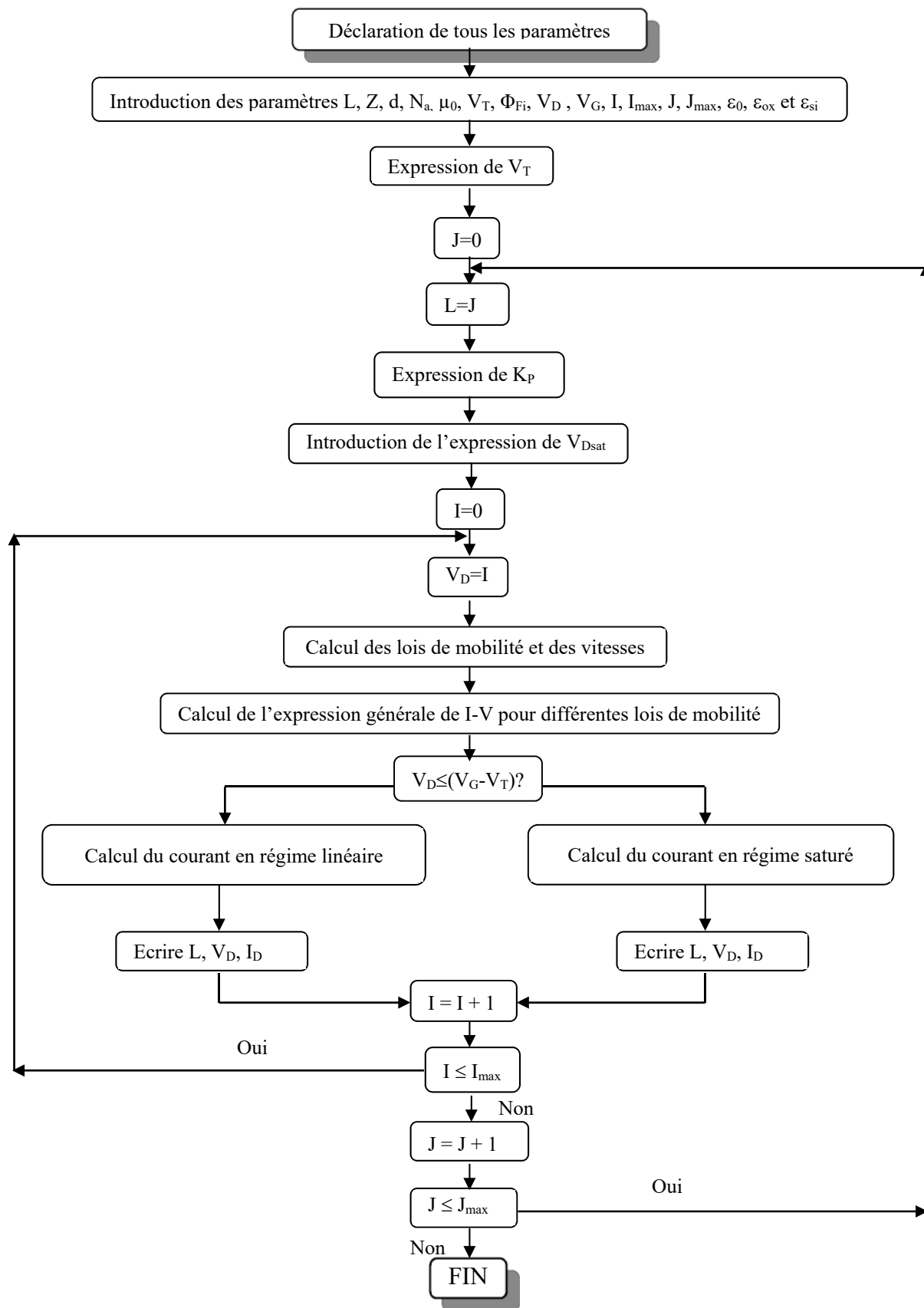


Figure (IV.16) : Organigramme de calcul du courant de drain en tenant compte de l'effet des paramètres géométriques et physiques.

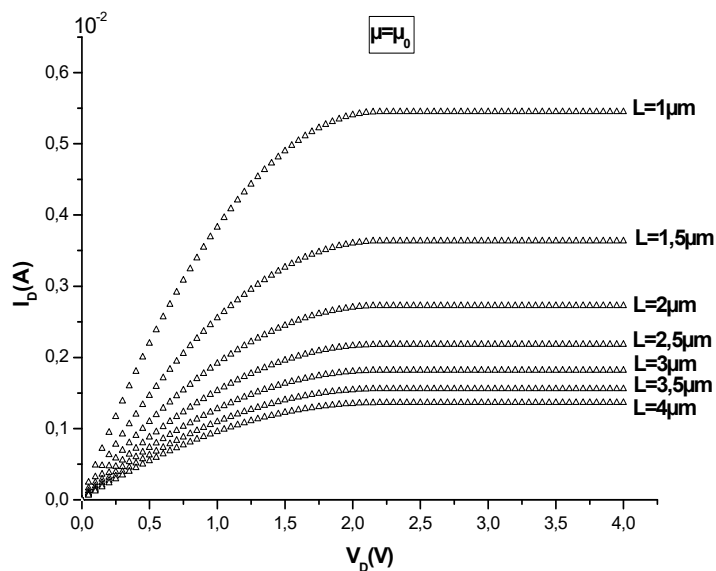


Figure (IV.17) : Variation de I_D en fonction de V_D pour différentes valeurs de « L » pour le transistor MOSFET3.

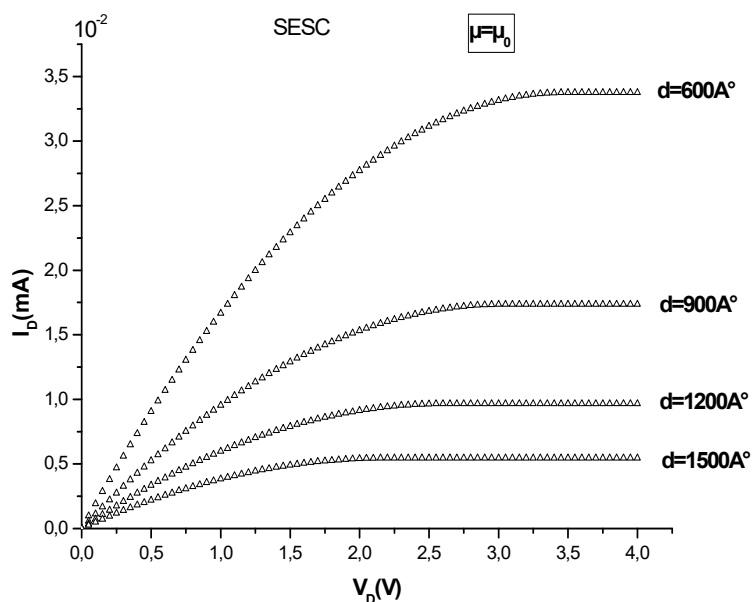


Figure (IV.18) : Variation de I_D en fonction de V_D pour différentes valeurs de « d » pour le transistor MOSFET4.

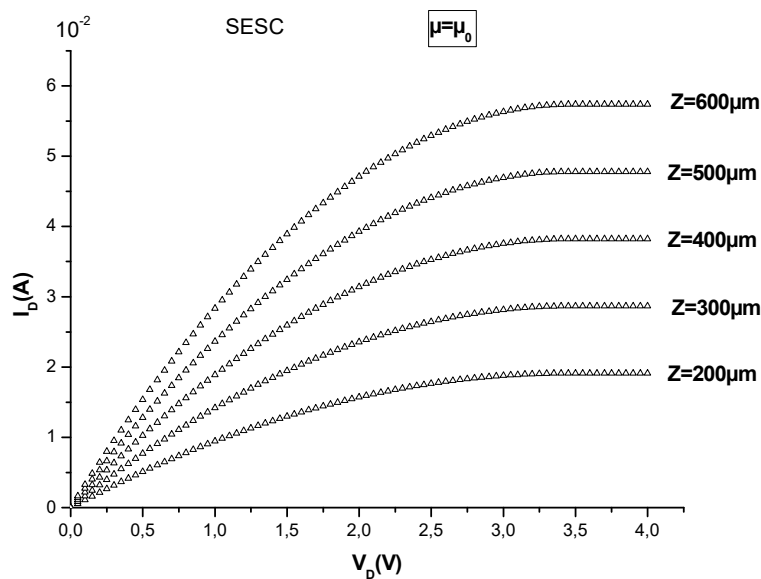


Figure (IV.19) : Variation de I_D en fonction de V_D pour différentes valeurs de « Z » pour le transistor MOSFET5.

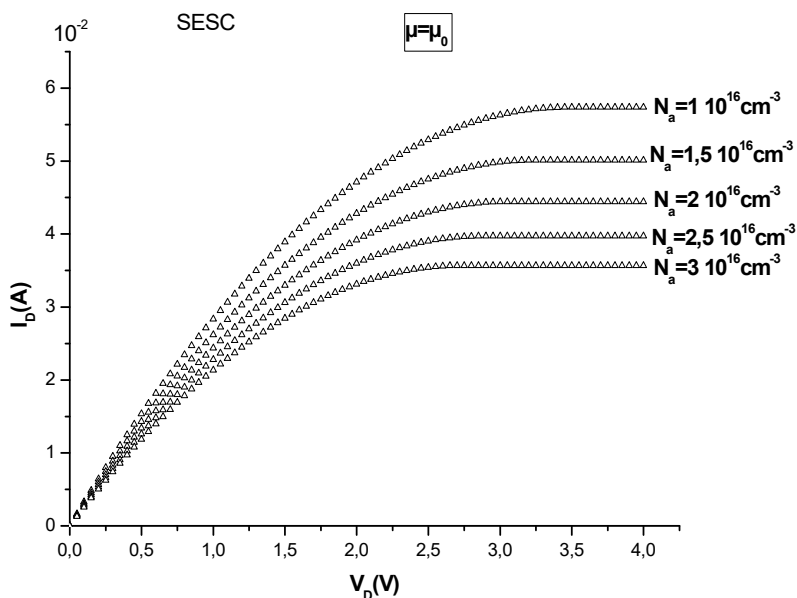


Figure (IV.20) : Variation de I_D en fonction de V_D pour différentes valeurs de « N_a » pour le transistor MOSFET6.

IV.2.6 Effet de la température

Dans la simulation précédente, on a supposé que la température du composant est constante et égale à la température ambiante 300°K.

La température influe sur les performances du dispositif. Plus elle est basse, meilleure est la fiabilité du dispositif en fonctionnement.

Nous avons étudié l'effet de la température sur les caractéristiques statiques du composant, par simulation numérique, en utilisant les lois suivantes de mobilité et de la vitesse de saturation ainsi la tension de seuil en fonction de la température :

$$\mu(T) = \mu(T_0) \left[\frac{T}{T_0} \right]^{-k} \quad (2.61)$$

$$V_{\text{Sat}} = \frac{2.4 \cdot 10^5}{1 + 0.8 \exp\left[\frac{T}{600}\right]} \quad (2.62)$$

$$V_T(T) = V_T(T_0) [1 - \gamma(T - T_0)] \quad (2.63)$$

Avec : T : la température.

T_0 : la température ambiante égale 300k.

K : facteur compris 2.2 à 2.7.

γ : coefficient empirique proche de 2 à 3 mv/k.

Sur la base de ces expressions, nous avons établi un programme dont l'organigramme de calcul est représenté sur la figure (IV.21).

Le calcul a été effectué pour le transistor MOSFET1 (SESCOSEM VIERGE). La figure (IV.22) présente la variation du courant de drain I_D en fonction de V_D pour différentes températures. On remarque que le courant de drain diminue avec l'augmentation de la température. Ceci est une conséquence immédiate de la réduction de la mobilité et de la vitesse de saturation ce qui est illustrées respectivement par les figures (IV.23) et (IV.24).

Il est à noter que l'élévation de la température induit une intensité de l'interaction des porteurs avec les phonons optique du réseau entraînant la décroissance de la mobilité et la limitation de la vitesse de saturation des porteurs pour une valeur critique du champ latérale E_c ce dernier est constamment en augmentation avec la température voir figure (IV.25).

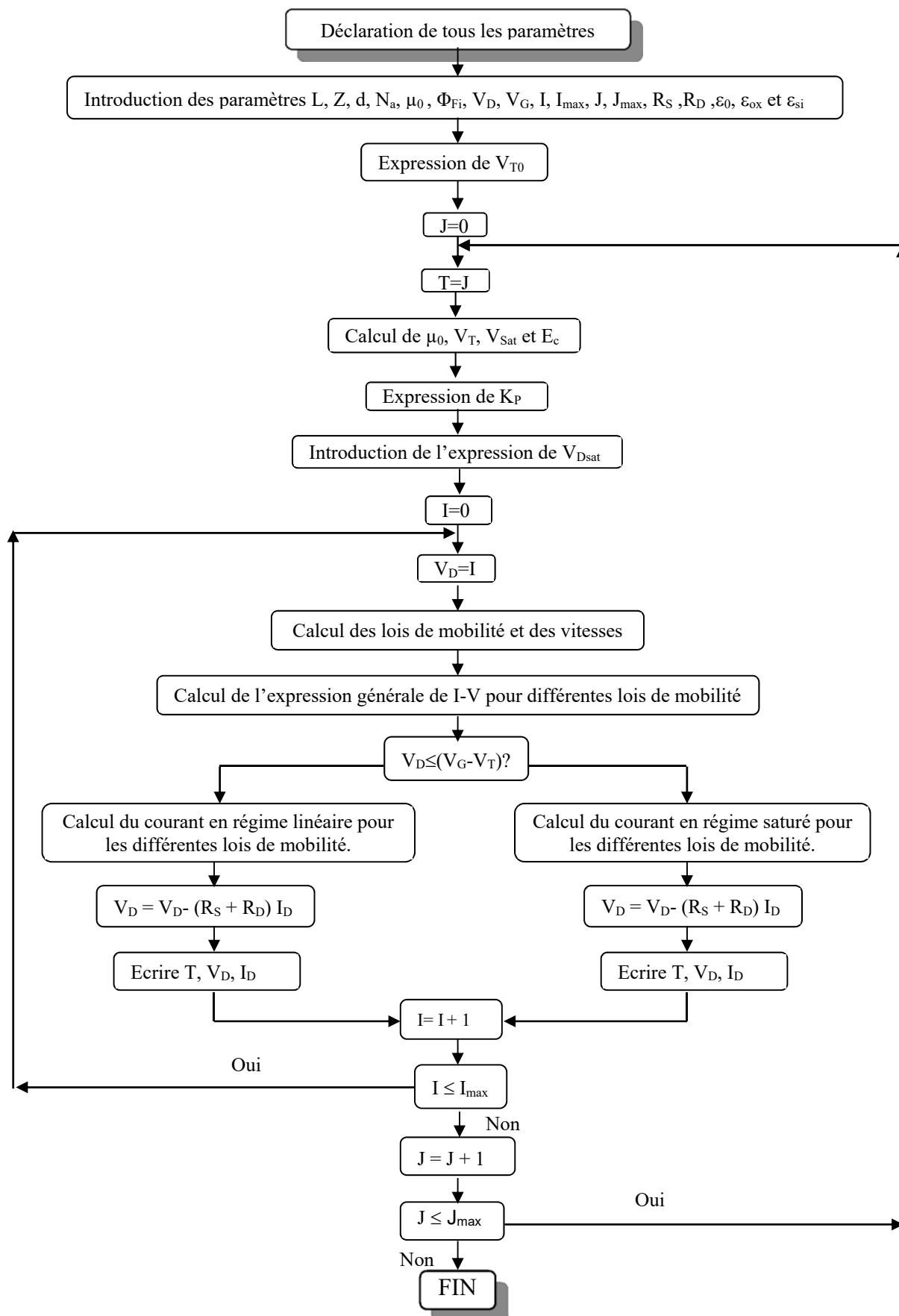


Figure (IV.21) : Organigramme de calcul du courant de drain en tenant compte de l'effet de température.

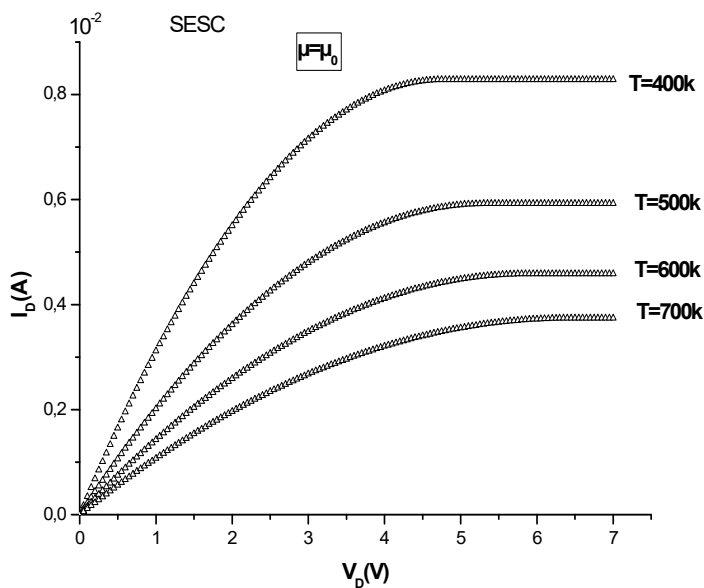


Figure (IV.22) : Variation de I_D en fonction de V_D pour différentes valeurs de températures pour le transistor MOSFET1.

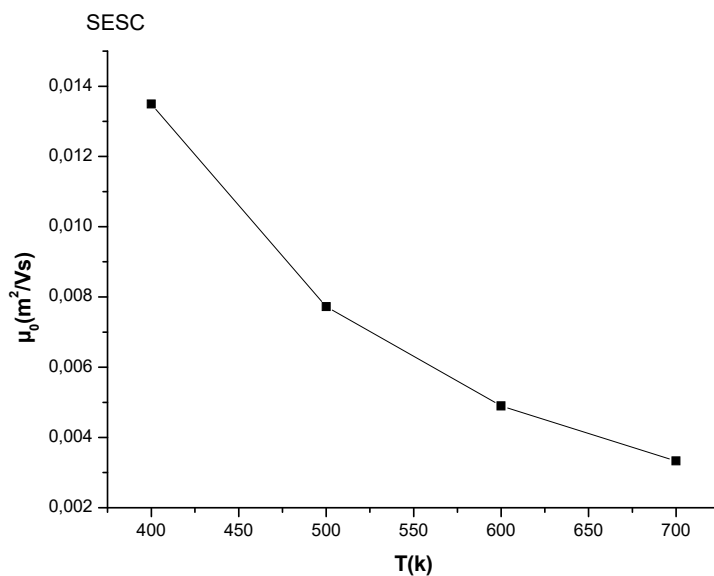


Figure (IV.23) : Variation de la mobilité μ_0 en fonction de la température T .

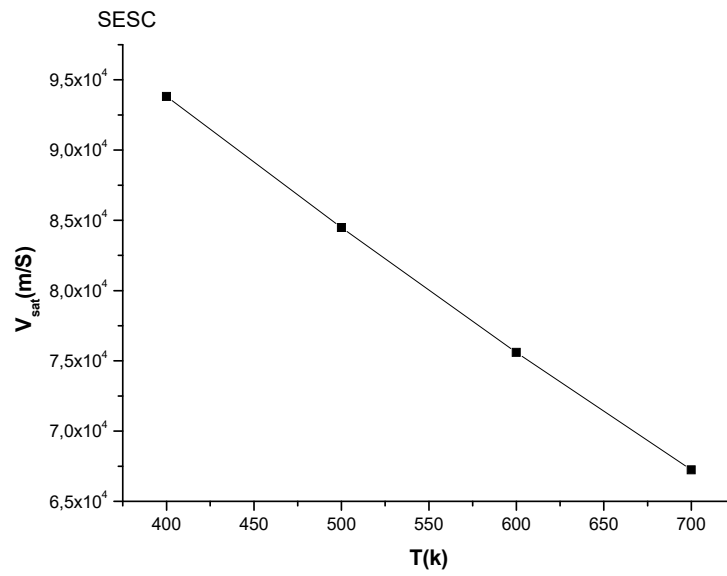


Figure (IV.24) : Variation de la vitesse de saturation V_s en fonction de la température.

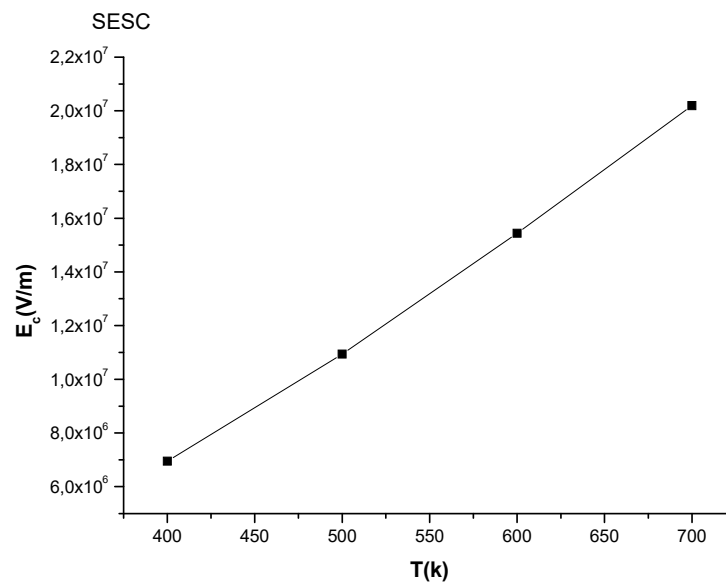


Figure (IV.25) : Variation du champ électrique de saturation E_s en fonction de la température.

Sur les figures (IV.26) et (IV.27), nous avons présenté les caractéristiques I-V dans le cas de la mobilité variable μ_1 et μ_2 . On peut donner à ces figures la même explication que la précédente dans le cas de la mobilité constante μ_0 , le courant de drain est meilleur à basse température.

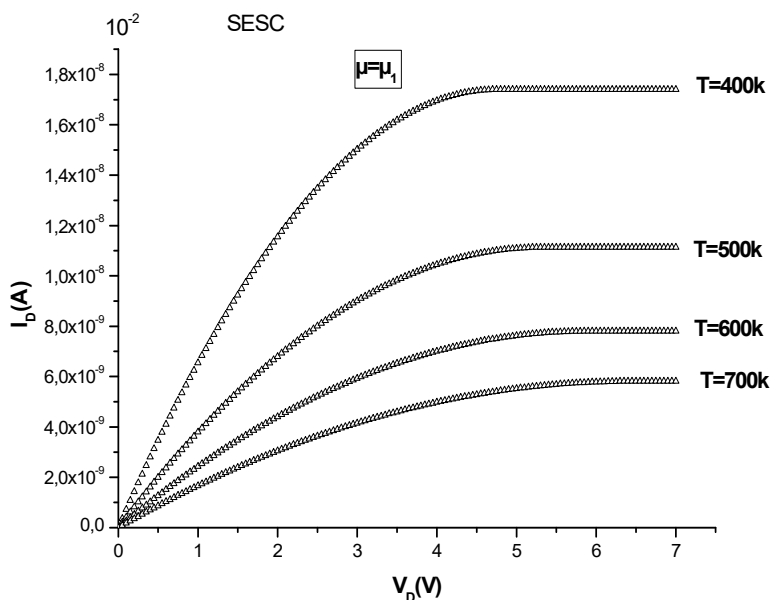


Figure (IV.26) : Variation de I_D en fonction de V_D pour différentes valeurs de températures pour le transistor MOSFET1 obtenue en utilisant l'expression de la mobilité μ_1 .

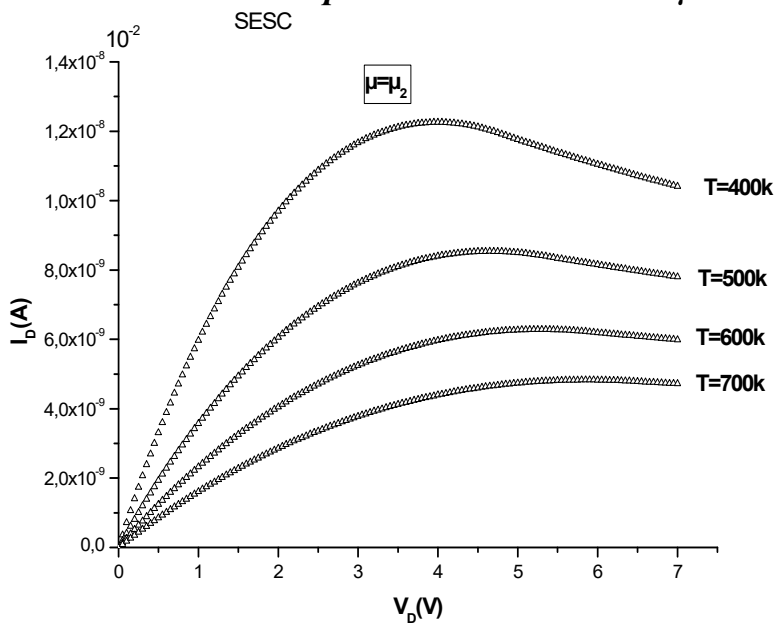


Figure (IV.27) : Variation de I_D en fonction de V_D pour différentes valeurs de températures pour le transistor MOSFET1 obtenue en utilisant l'expression de la mobilité μ_2 .

Les variations des mobilités μ_1 et μ_2 en fonction de la température sont présentées sur la figure (IV.28), elles décroissent au fur et à mesure que la température augmente.

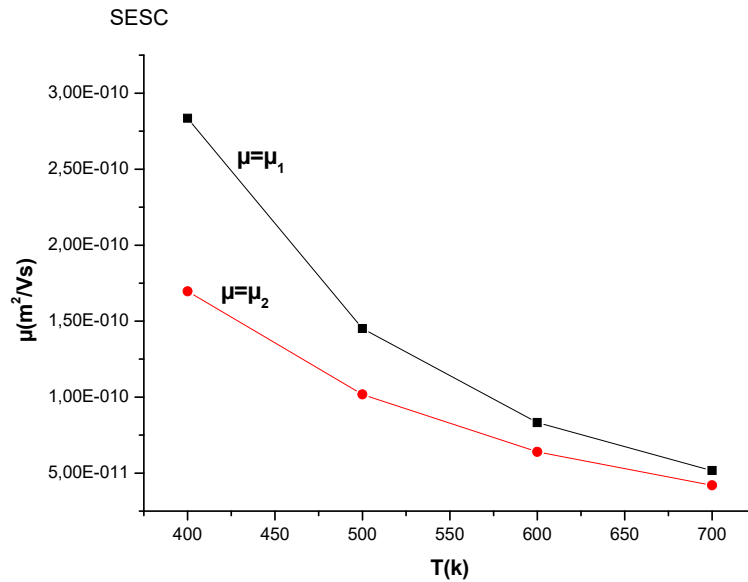


Figure (IV.28) : Variation de la mobilité μ en fonction de la température T .

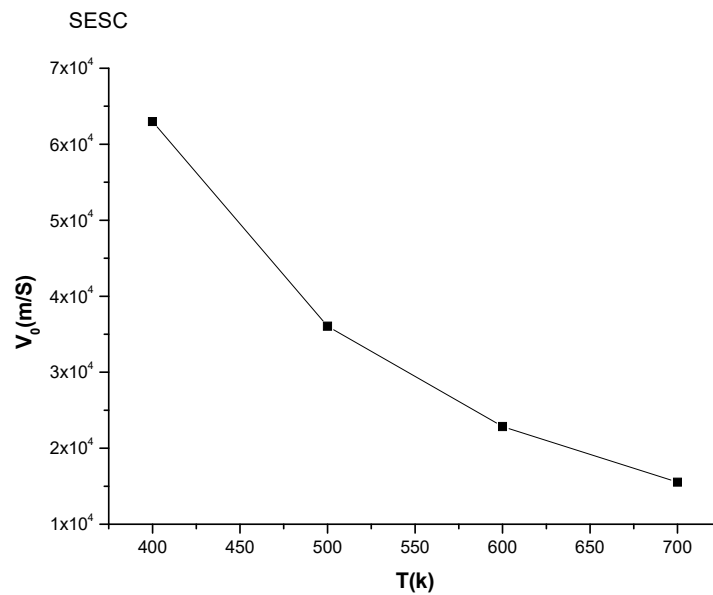


Figure (IV.29) : Variation de la vitesse V_0 en fonction de la température.

Sur les figures (IV.29), (IV.30) et (IV.31), nous avons présenté les variations des vitesses V_0 , V_1 et V_2 en fonction de la température respectivement. On constate que la vitesse est élevée à température très basse.

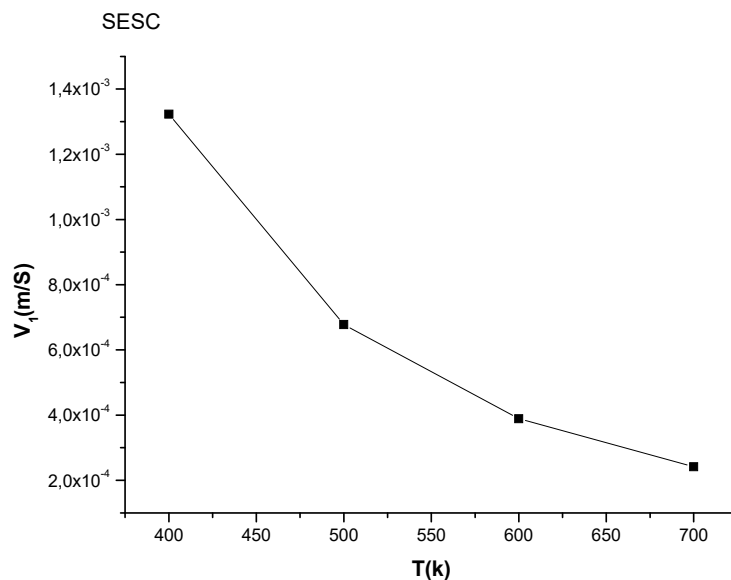


Figure (IV.30) : Variation de la vitesse V_1 en fonction de la température.

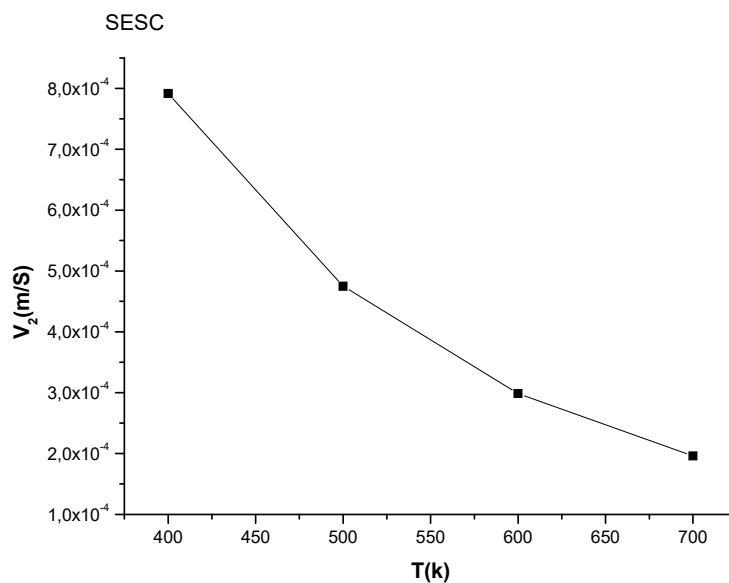


Figure (IV.31) : Variation de la vitesse V_2 en fonction de la température.

Les figures (IV.32), (IV.33) et (IV.34) montrent les variations des vitesses V_0 , V_1 et V_2 en fonction du champ électrique pour différentes températures. On voit clairement que la vitesse est meilleure à température élevée.

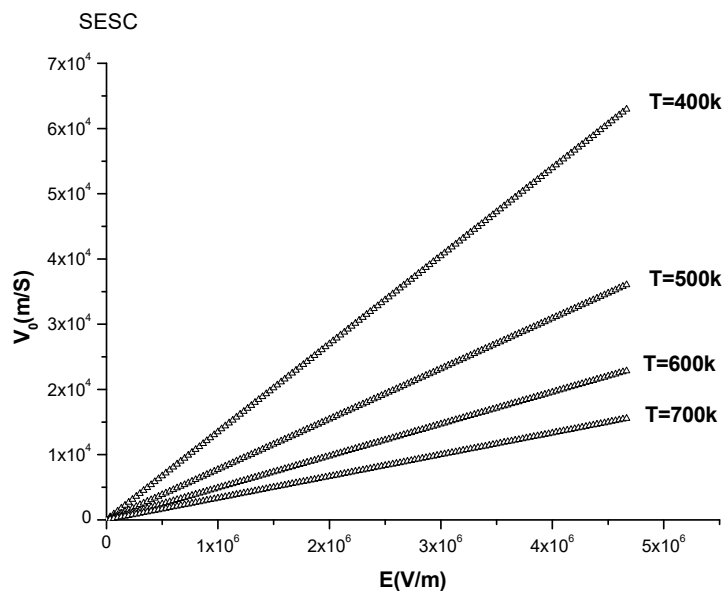


Figure (IV.32) : Variation de la vitesse V_0 en fonction du champ électrique E pour différentes températures.

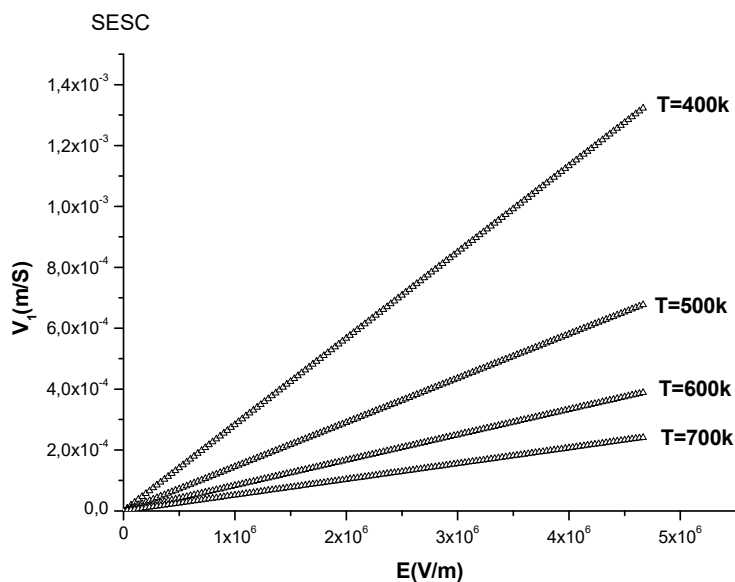


Figure (IV.33) : Variation de la vitesse V_1 en fonction du champ électrique E pour différentes températures.

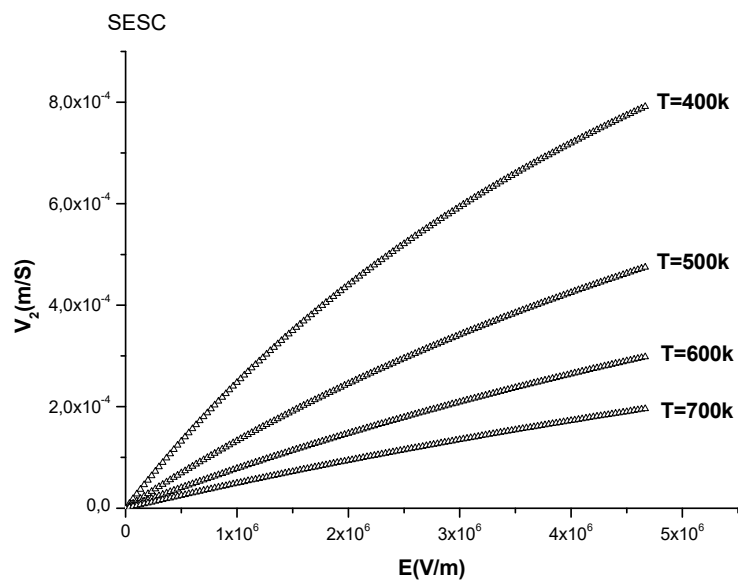


Figure (IV.34) : Variation de la vitesse V_2 en fonction du champ électrique E pour différentes températures.

IV.3 Caractéristiques dynamiques

Après avoir pu déterminer les principaux paramètres du transistor MOS en régime statique dans la partie précédente, nous allons étudier dans cette partie, son comportement en régime dynamique en utilisant le logiciel HFSS (High Frequency Structure Simulator).

IV.3.1. Logiciel de simulation HFSS

Le simulateur utilisé est appelé HFSS (High Frequency Structure Simulator) qui est un simulateur 3D développé par ANSYS (ex Ansoft) dans le but d'étudier le comportement électromagnétique de structures. Il utilise la méthode des éléments finis. Nous présenterons une brève introduction de la Méthode des Eléments Finis (MEF).

IV.3.1.1 Méthode des Eléments Finis (MEF)

La méthode des éléments finis est une méthode numérique permettant de découper une structure en éléments de petites dimensions (opération appelée maillage) puis de réaliser les calculs sur les éléments du maillage. Cette méthode numérique est utilisée pour des calculs électromagnétiques comme le cas du simulateur HFSS, ainsi que pour des applications dans les domaines thermique, mécanique... Les structures sous HFSS sont découpées en tétraèdres pour des objets 3D et des triangles pour des objets 2D. Ce découpage en objets de petites dimensions permettra au simulateur de réaliser le calcul des champs électromagnétiques sur ces derniers et de faire l'interpolation sur l'ensemble de la structure.

IV.3.1.2 Paramètres de maillage du simulateur HFSS

HFSS calcule les paramètres S du dispositif. Ce calcul des paramètres S est contrôlé par quelques paramètres que l'utilisateur doit définir préalablement, à savoir [70] :

- Le Maximum Delta S.
- Nombre maximum d'itération (Maximum number of pass).
- La fréquence adaptative (solution frequency).
- Le maximum raffinement Per Pass.
- La convergence.

IV.3.1.2.1 Maximum Delta S et convergence

C'est un paramètre défini par l'utilisateur. Le simulateur calcule les valeurs des paramètres S entre deux itérations consécutives (n) et (n+1) et ensuite compare le module de la différence entre ces deux valeurs avec le paramètre Maximum Delta S. Si ce module est inférieur au paramètre Maximum Delta S, le maillage est terminé et on dit que l'opération de maillage a convergée vers une solution satisfaisante. Sinon le maillage augmente son maillage puis recalcule les paramètres S aux itérations suivantes (n+1) et (n+2) et refait la même comparaison jusqu'à vérifier la condition de convergence. Le schéma synoptique de la figure (IV.35) résume les principales opérations effectuées par HFSS depuis le maillage jusqu'à l'étape de convergence.

IV.3.1.2.2 Nombre maximum d'itération ou nombre de passe

Ce nombre définit le nombre maximum de passes autorisé avant de terminer l'opération de maillage. C'est un critère qui stoppe la procédure de maillage lorsque le nombre de cycle atteint la valeur définie par l'utilisateur.

IV.3.1.2.3 Fréquence adaptative

La fréquence adaptative est la fréquence définie par l'utilisateur et qui permettra au simulateur de réaliser son maillage adapté à la fréquence retenue.

IV.3.1.2.4 Maximum raffinement Per Pass

Comme nous l'avons déjà précisé au paragraphe précédent, le simulateur découpe la structure en tétraèdres et réalise le calcul des champs H et E. Comme le maillage est itératif, cela revient à redécouper la structure en des tétraèdres et à chaque itération à rajouter un certain pourcentage du nombre des tétraèdres calculé d'une itération à une autre. C'est ce pourcentage qu'on appelle maximum raffinement Per Pass.

Les principaux avantages et inconvénients que présente ce simulateur sont :

- Sa facilité d'utilisation.
- Son large domaine d'action (électromagnétique, mécanique, thermique...)
- La nécessité des outils informatiques performants.

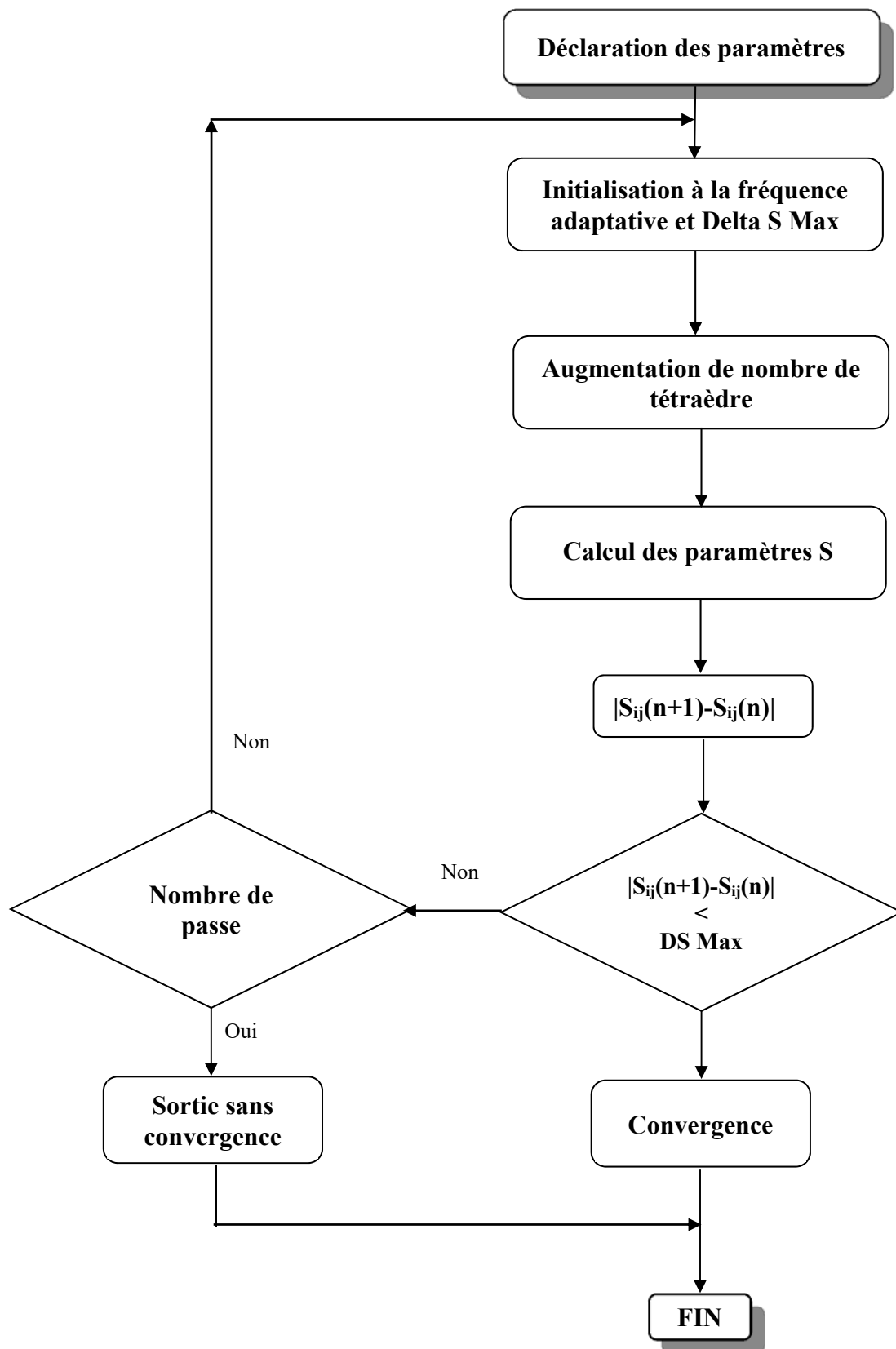


Figure (IV.35) : Schéma synoptique des opérations réalisées par HFSS.

Avec ce logiciel nous pouvons déterminer :

- Paramètres S.
- Capacités.
- Fréquence de transition f_T .
- Fréquence d'oscillation maximale f_{max} .
- Facteur de stabilité k .

Les graphes obtenus sont exportés à logiciel « ORIGINE, version 8.0 » pour tracer les différentes séries de courbes.

Dans notre simulation numérique les paramètres du transistor MOS utilisés sont regroupés dans le tableau (IV.3).

L(μm)	d_{ox} (\AA)	Z(μm)	X_j (μm)	N_a (cm^{-3})	μ_0 ($\text{cm}^2/\text{s.v}$)	V_G (V)	V_D (V)
0.6	50	300	0.05	$20 \cdot 10^{15}$	1400	0.8	1

TABLEAU (IV.3) : Paramètres du transistor MOS

IV.3.2 Paramètres S

L'utilisation des paramètres S du transistor MOS présente de nombreux avantages, en effet ils décrivent directement les principales grandeurs utilisables en hyperfréquences telles que les facteurs de réflexion. Ils permettent ainsi de décrire précisément les caractéristiques et les performances hyperfréquences.

Une simulation numérique des paramètres S est effectuée sur une plage de fréquences de 0.1GHz jusqu'à 50GHz.

Les figures (IV.36) et (IV.37) présentent les coefficients de réflexion S_{11} et S_{22} à l'entrée et à la sortie (grille et drain) du transistor MOS. On remarque que les coefficients de réflexion S_{11} et S_{22} décroît au fur et à mesure que la fréquence croît.

Les coefficients de transmission S_{12} et S_{21} sont présentés sur les figures (IV.38) et (IV.39).

On peut voir que le facteur de transmission S_{12} subit une petite croissance jusqu'à 10GHz puis varie linéairement en fonction de la fréquence.

Le facteur de transmission S_{21} est supérieur à 0 dB pour des fréquences basses (<20GHz), cela se traduit par la présence de l'effet d'amplification dans le composant. D'autre part, on note une décroissance de S_{21} où la fréquence de transition devient importante.

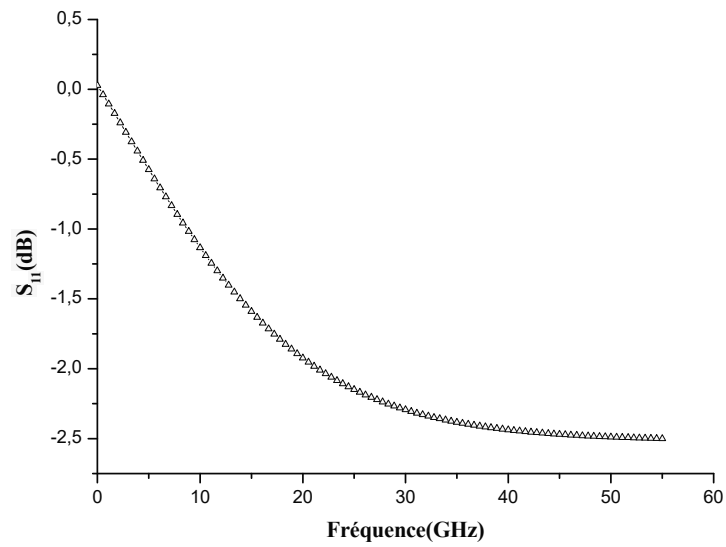


Figure (IV.36) : Coefficient de réflexion S_{11} du transistor MOS en fonction de la fréquence.

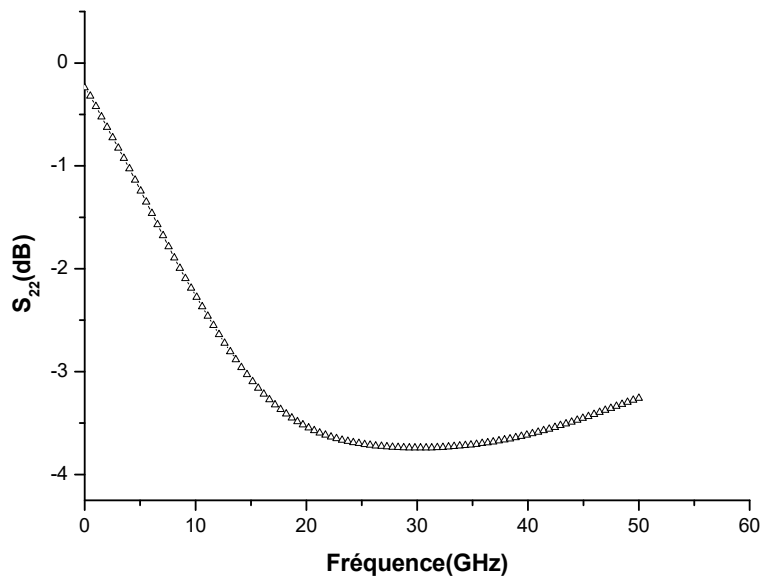


Figure (IV.37) : Coefficient de réflexion S_{22} du transistor MOS en fonction de la fréquence.

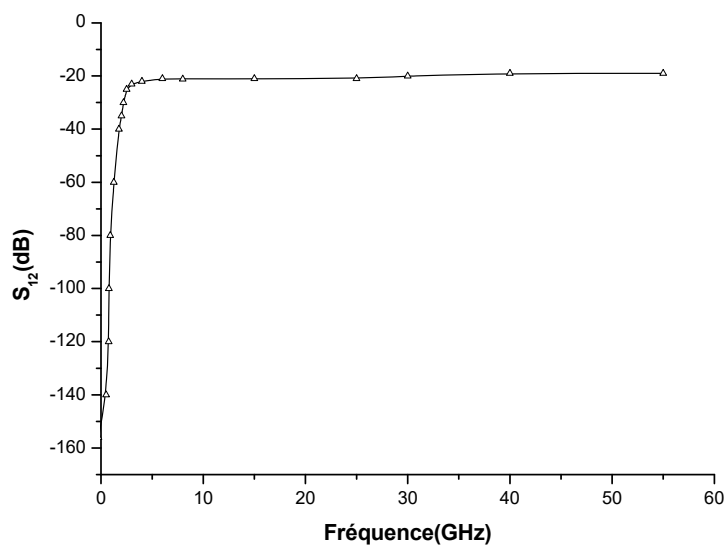


Figure (IV.38) : Coefficient de réflexion S_{12} du transistor MOS en fonction de la fréquence.

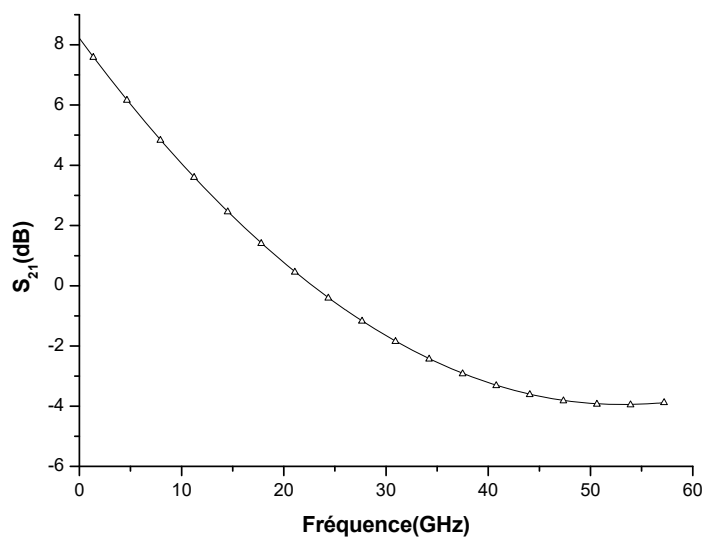


Figure (IV.39) : Coefficient de transmission S_{21} du transistor MOS en fonction de la fréquence.

IV.3.3 Capacités

Les performances RF du transistor MOS peuvent être dégradées par les éléments passifs des parties intrinsèques (§ Chapitre III) tels que les capacités [71, 72, 73]. Ces capacités sont responsables d'une perte de vitesse du composant ainsi qu'une modification des performances du composant en hyperfréquences [74].

Nous avons effectué une simulation des capacités C_{gg} (grille/grille), C_{gb} (grille/substrat), C_{gs} (grille/source) et C_{gd} (grille/drain) sur une plage de fréquences de 0.1GHz jusqu'à 50GHz.

Les figures (IV.40), (IV.41), (IV.42) et (IV.43) montrent la variation des différentes capacités internes du transistor MOS en fonction de la fréquence. On constate que les capacités C_{gg} , C_{gs} et C_{gd} diminuent au fur et à mesure que la fréquence augmente, contrairement pour la capacité C_{gb} subit une augmentation avec la fréquence.

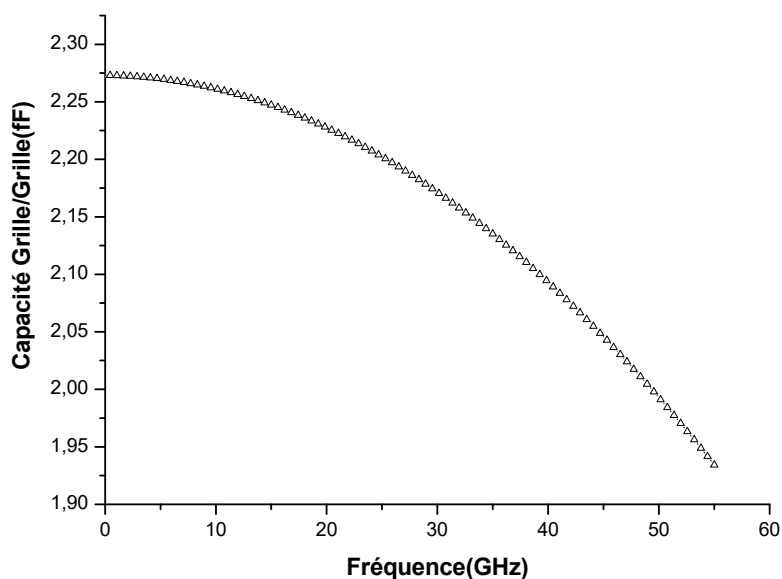


Figure (IV.40) : Variation de la capacité C_{gg} du transistor MOS en fonction de la fréquence.

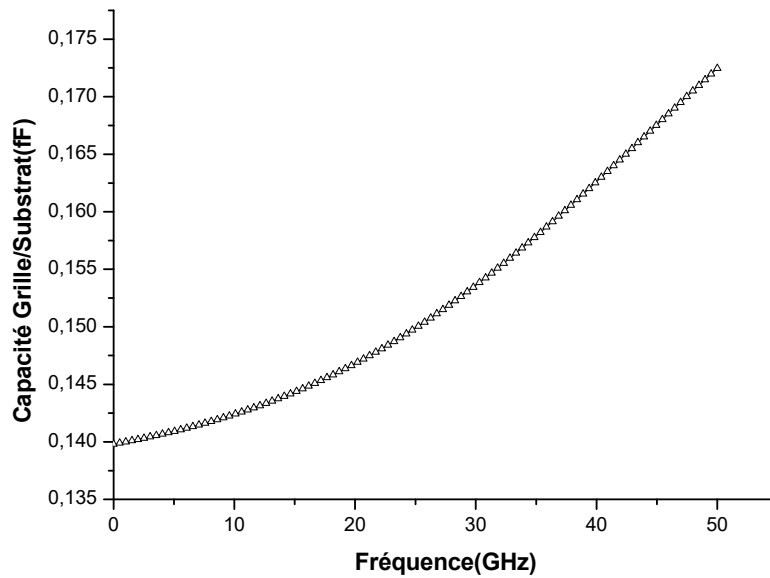


Figure (IV.41) : Variation de la capacité C_{gb} du transistor MOS en fonction de la fréquence.

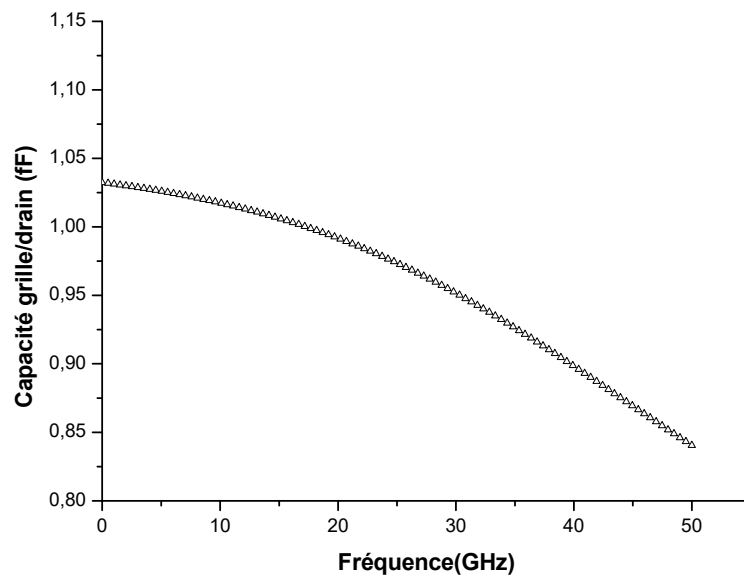


Figure (IV.42) : Variation de la capacité C_{gd} du transistor MOS en fonction de la fréquence.

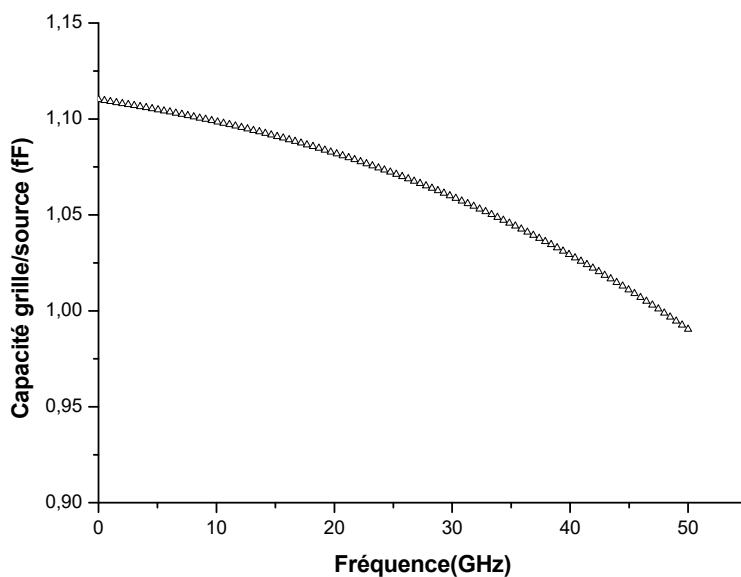


Figure (IV.43) : Variation de la capacité C_{gs} du transistor MOS en fonction de la fréquence.

IV.3.4 Fréquence de transition f_T

Le gain fourni par un quadripôle est l'une des caractéristiques la plus importante que l'on peut déduire à partir des paramètres S . Il est l'un des paramètres fondamentaux pour caractériser les transistors.

La figure (IV.44) présente l'évolution du gain en courant avec la fréquence en utilisant l'expression (3.22) (§ chapitre III) qui a été calculé à partir des paramètres S .

A faible fréquence, le gain en courant est élevé puis chute pour les hautes fréquences ($>20GHz$). Nous remarquons qu'il y a deux plages de fréquences, où le transistor MOS fonctionne d'une manière différente. Sur l'intervalle de fréquences ($0.1GHz-18.476GHz$) le transistor MOS présente une meilleure amplification, au-delà il se comporte comme un abaisseur. Le point de la fréquence qui sépare ces deux différents fonctionnements s'appelle f_T .

Alors la valeur de la fréquence de transition est extraite à partir de la figure (IV.44) pour le gain en courant est nul ($f_T=18.476 GHz$).

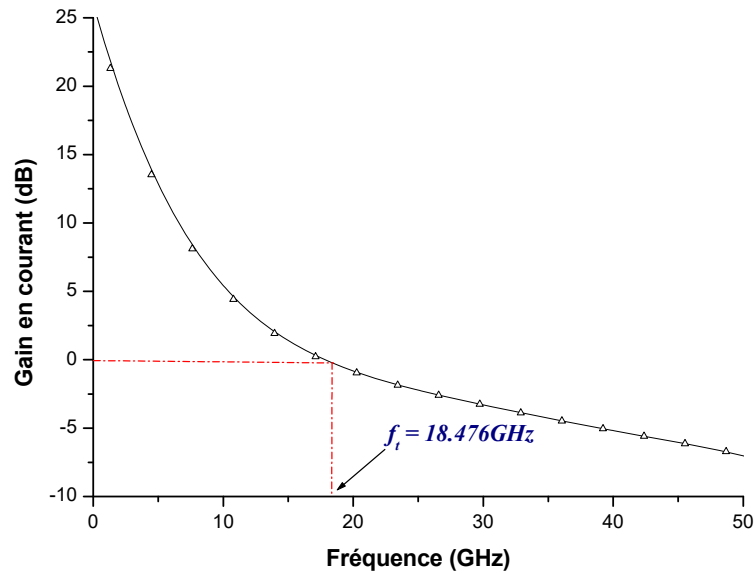


Figure (IV.44) : Evolution du gain en courant du transistor MOS en fonction de la fréquence.

IV.3.5 Fréquence d'oscillation maximale f_{max}

La fréquence maximale d'oscillation f_{max} est définie à partir du gain unilatéral de Mason du composant est nul.

La détermination de la fréquence f_{max} est illustrée par la figure (IV.45) où le Gain de Mason est tracé en fonction de la fréquence en utilisant l'expression (3.24) (§ chapitre III).

On note que le transistor MOS devient passif à partir de la fréquence $f_{max} = 129.338 \text{ GHz}$ ce qui représente la fréquence d'oscillation maximale.

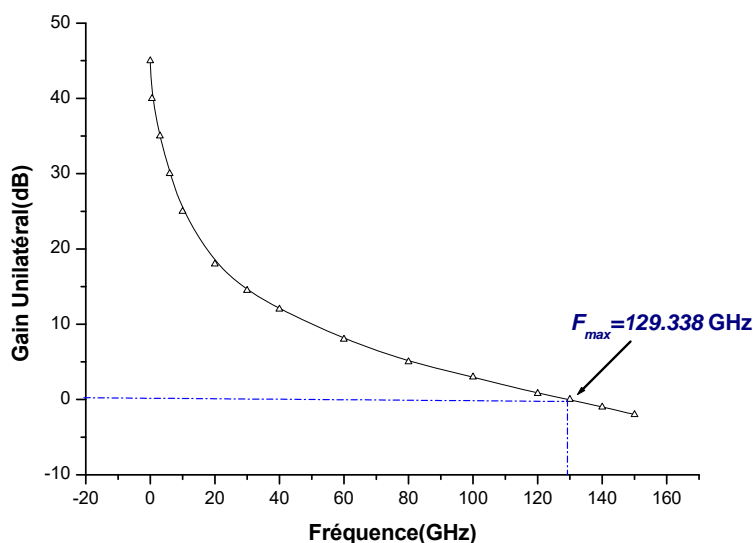


Figure (IV.45) : Evolution du gain en courant du transistor MOS en fonction de la fréquence.

IV.3.6 Facteur de stabilité k

Le bon fonctionnement d'un circuit peut être perturbé par la présence d'oscillations qui sont gênantes, ce qui est bien évidemment à éviter. Pour juger l'efficacité de ce transistor en stabilité, il faut étudier sa stabilité dans toute la gamme de fréquences (0.1-100 GHz).

Le facteur de stabilité est représenté sur la figure (IV.46) en utilisant l'expression (3.24) (§ chapitre III).

Nous remarquons que le transistor est inconditionnellement stable ($k > 1$) à partir de 55.541 GHz ce qui peut engendrer des oscillations indésirables. Pour améliorer la stabilité du transistor, nous devons charger le transistor de façon à diminuer son gain et donc augmenter le facteur de stabilité k .

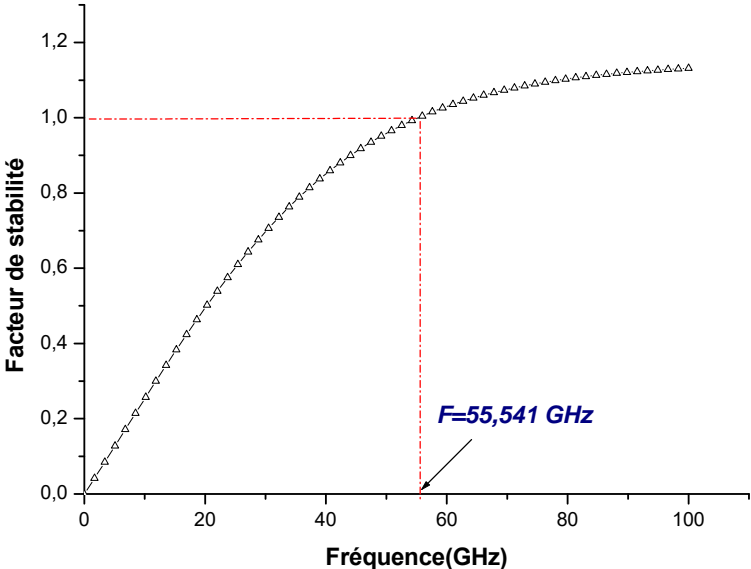


Figure (IV.46) : Facteur de stabilité du transistor MOS sur l'intervalle de fréquences (0.1 GHz-100GHz).

Conclusion générale

Conclusion générale

L'évolution de l'industrie de la microélectronique doit une grande partie de son succès à l'existence de l'oxyde thermique de silicium, en particulier au dioxyde de silicium, SiO_2 . Cela a rendu possible le développement de la technologie CMOS (Complementary Metal-Oxide-Semiconductor) qui, du fait de sa faible consommation en régime statique et de sa forte densité d'intégration, est à la base de nombreux circuits intégrés. La miniaturisation de plus en plus poussée a permis la réalisation de circuits complexes utilisés dans le traitement du signal, mais aussi l'accroissement considérable de la capacité des mémoires ainsi que l'augmentation de la fréquence d'horloge des microprocesseurs.

Le transistor MOSFET a évolué à grande vitesse cette dernière décennie grâce à l'industrie de la microélectronique qui a su faire évoluer ce dispositif ainsi que les circuits dans lesquelles ce dernier est intégré.

Au cours de ce travail, nous avons effectué une étude sur des propriétés statiques et dynamiques du transistor à grille isolée MOSFET en vue de son optimisation à partir de sa structure, de ses dimensions géométriques, des propriétés intrinsèques de ses constituants et des phénomènes physiques sur ses performances du MOSFET.

Pour conclure le bilan de ce travail nous citons les principales étapes de notre contribution développées dans quatre chapitres :

Dans le premier chapitre, nous avons présenté une synthèse bibliographique des composants à effet de champ. Après avoir rappelé la structure MOSFET, on a étudié le principe de fonctionnement du transistor MOSFET, ainsi que les phénomènes physiques internes au composant qui régit son fonctionnement. Enfin, les propriétés physiques et électriques du Silicium « Si » ont été aussi présentées en détaille.

Dans le deuxième chapitre, nous avons développé un modèle analytique unidimensionnel pour décrire les caractéristiques statiques du MOSFET. Nous avons établi les expressions mathématiques de la source de courant de drain en fonction des tensions de polarisation grille et de drain I-V, en incluant les effets des résistances parasite et l'effet de mobilité, ainsi l'effet de la température.

Dans le troisième chapitre nous sommes préoccupés à étudier les propriétés dynamiques en hautes fréquences des MOSFET. Pour cela un schéma équivalent électrique petit signal a été proposé. Nous avons décrit les principaux paramètres du comportement dynamique du transistor.

Dans le quatrième chapitre, nous avons présenté l'étude numérique du composant. Les caractéristiques statiques courant-tension « I-V » ont été obtenues pour différentes structures de

MOSFET avec la mise au point d'un logiciel de simulation. Les caractéristiques dynamiques du transistor ont été aussi présentées en utilisant le logiciel HFSS (High Frequency Structure Simulator).

En conclusion l'étude des propriétés statiques et dynamique du transistor à grille isolé MOSFET est une étude importante qui prend en compte les phénomènes physiques spécifiques à ce composant et permet d'avoir des expressions mathématiques simplifiées, ces dernières sont bien adaptées au traitement numérique et seront utilisées pour la conception assistée par ordinateur des circuits logiques et analogiques à base de ce composant.

Perspectives

Il serait assez intéressant de continuer ce travail en étudiant d'autres structures du transistor MOSFET plan bien plus complexes mais plus performantes telle que les structures verticales ou des transistors à grilles multiples et d'examiner l'amélioration des performances de telles transistors présentant de bien meilleurs performances que leur ancêtre le MOSFET sur bulk (substrat) à canal long.

Références bibliographiques

Références bibliographiques

- [1] H. Lilen, “Une brève histoire de l’électronique”, Edition Vuibert, 2003 ISBN 2-7117-5336-0.
- [2] D. Kahng and M.M. Attala, “Silicon-Silicon Dioxide Field Induced Surface Devices”, IRE-AIEE Solid-State Device Research Conference, Carnegie Institute of Technology, Pittsburgh, 1960.
- [3] J-P. Colinge, “Silicon-on-Insulator Technology: Materials to VLSI”, Kluwer Academics Publisher, 1997.
- [4] T. Skotniki, Transistor MOS et sa technologie de fabrication”, technique de l’ingénieur, traité Electronique, E2430, 2001.
- [5] P. Leturcq, “Semi-conducteurs de puissance unipolaire et mixte (partiel)”, technique de l’ingénieur, traité Electronique, D3108, 2001.
- [6] L. Geppert, “Solid State, IEEE Spectrum, Jan. 1999.
- [7] C. Hernalsteens, la maîtrise du Silicium : une étape clé dans l’essor de l’électronique, Travail de fin d’études, Univ. Libre, Bruxelles, Chap10, 2003-2004.
- [8] A.P. Malvino, Principes d’électronique”, 6ème édition, Paris, Dunod, 2002.
- [9] S.M. Sze, “Physics of Semiconductor Devices”, 2nd Edition, 1981, ISBN 0-471-09837-X.
- [10] <http://www.polytech-lille.fr/cours-atome-circuit-integre/sc00a.htm>
- [11] G. Larrieu, “Elaboration et caractérisation de transistors MOS Schottky en régime nanométrique”, Thèse doctorat, Univ. Sciences et Technologies de Lille, 2004.
- [12] H. Mathieu, “Physique des semi-conducteurs et des composants électroniques”, 4eme édition Masson & Cie, 1998.
- [13] O’Mara, C. William, Semiconductor Silicon Technology”, Handbook, 1990, ISBN-0815512376.
- [14] P. Munster, “Silicium intrinsèque et dopé I situ déposé amorphe par SAPCVD puis cristallisé en phase solide”, Thèse doctorat, Univ. Rennes1, 2001.
- [15] S.M. Sze, “Semiconductor Devices - Physics and Technology”, ISBN0-471-87424-8. 1985.
- [16] P. Baranski, V. Klotchlov, I. Potykevitch, “Electronique des semi-conducteurs”. Edition Masson, 1978.

- [17] C. Charbonniaud, “Caractérisation et modélisation électrique non linéaire de transistors à effet de champ GaN pour l’amplification de puissance micro-onde”, Thèse Doctorat, Univ. Limoge, 2005.
- [18] O. Ambacher, “Growth and applications of group III-nitrides”, *Journal of Physics D (Applied Physics)*, vol.31, pp. 2653-2710, 1998.
- [19] D. Chanemougame, “Conception et fabrication de nouvelles architectures CMOS et étude du transport dans les canaux de conduction ultra minces obtenus avec la technologie SON”, thèse doctorat, Institut national des Sciences Appliquées de Lyon, 2005.
- [20] G.G. Shahidi, D. A. Antoniadis, H. I. Smith, “Electron velocity overshoot at room and liquid nitrogen temperatures in silicon inversion layers”, *IEEE Electron Devices Letters*, vol.9, n°2, p94-96, 1988.
- [21] S. Duguay, “Propriétés de stockage de charges de nano cristaux de germanium incorporés dans des couches de silice par implantation ionique”, Thèse Doctorat, Univ. Louis Pasteur – Strasbourg I, 2006.
- [22] A. Cappy, “Semiconducteurs pour hyperfréquences”, *Technique de l’ingénieur, traité Electronique*, E2490, 1993.
- [23] F. Morancho, “Le transistor MOS de puissance à tranchées : Modélisation et limites de performances”, Thèse Doctorat, Univ. Paul Sabatier, Toulouse, 1996.
- [24] P. Granadel, “Evolution des structures des transistors MOS de puissance vers le domaine des petites dimensions”, Thèse de 3^{ème} Cycle, Univ. Paul Sabatier, Toulouse, 1987.
- [25] H. Tranduc, E. Caquot, G. Guegan, P. Rossel, “M.A.A.C.S.I.M : Méthodes Automatiques d’Acquisition des Caractéristiques Statiques et d’Identification des Paramètres des transistors Métal-Oxyde-Semiconducteur”, note technique LAAS N° 80121, 1980.
- [26] N.D. Arora, J.R. Hauser, D.J. Roulston, “Electron and hole mobilities in silicon as a function of concentration and temperature”, *IEEE Transaction on Electron Devices*, Vol. 30 N°6, p. 658-663, 1983.
- [27] D.B.M. Klaassen, “A united mobility model for device simulation: II. Temperature dependence of carrier mobility and lifetime”, *Solid-State Electronics*, Vol. 35, p. 961-967, 1992.
- [28] J.M. Dorkel, P. Leturq, “Carrier mobilities in Silicon semi-empirically related to temperature, doping and injection level”, *Solid-State Electronics*, Vol. 24, p. 821-824, 1981.

- [29] C.Jacobini, C. Canali, G. Ottaviani, A. Alberigi Quaranta, “A review of some charge transport properties of Silicon”, *Solid-State Electronics*, Vol. 20, p. 77-89, 1977.
- [30] N.D. Arora, “MOSFET models for VLSI circuit simulation- theory and practice”, Editions Springer Verlag, 1993.
- [31] B. Fatemizadeh, D. Silber, “Modeling of LDMOST and LIGBT structures at high temperature”, *Proc. ISPSD & IC’s*, Suisse, 1994.
- [32] Z. Pavlovic, Z. Prijic, S. Dimitrijiev, N. Stojadinovic, “Temperature dependence of On-Resistance in low-voltage power VDMOS transistors”, *Microelectronics Journal*, Vol. 24, p. 115-124, 1993.
- [33] J.Encinas, “Diodes et transistors bipolaires discrets”, *Technique de l’ingénieur, traité Electronique*, E2465, 1993.
- [34] A. Siligaris, “Modélisation grand signal de MOSFET en hyperfréquences : Application à l’étude des non linéarités des filières SOI ”, Thèse Doctorat, Univ. Sciences et Technologies, Lille, 2004.
- [35] B. Moez, “Extraction des paramètres intrinsèques des transistors à effet de champ en tenant compte des phénomènes de propagations”, Thèse Doctorat, Univ. Cergy-Pontoise, 2005.
- [36] G. Dambrine et al, “What are the limiting parameters of deep submicron MOSFETs for high frequency applications?”, *IEEE Electron Device Letters*, vol. 24, N°3, p. 189-191, 2003.
- [37] C. Enz et Y. Cheng, “MOS transistor modeling for RF IC design”, *IEEE Journal of Solid-State Circuits*, vol. 35, N°2, p. 186-201, 2000.
- [38] M. Trivedi, K. Shenai, “Comparison of RF performance of vertical and lateral DMOSFET ”, *The 11th International Symposium on Power Semiconductor Devices and ICs*, Toronto, p. 245-248, 1999.
- [39] M. Berroth and R. Bosch, “Broad-Band Determination of the FET Small- Signal Equivalent Circuit”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 38, N°7, p. 891-895, 1990.
- [40] D. Lovelace et al, “Extracting small-signal model parameters of silicon MOSFET transistors”, *IEEE MTT-S International Microwave Symposium Digest*, vol. 2, p. 865-868, 1994.
- [41] A. Bracale, “Caractérisation et modélisation des transistors MOS sur substrat SOI pour des applications micro-ondes”, Thèse Doctorat, Univ. Pierre et Marie Curie (Paris VI), 2001.

- [42] J. K. Hunton, "Analysis of Microwave Measurement by Means of Signals Flow Graphs", IRE Transactions on Microwave Theory and Techniques, vol.8, p.2, 1960.
- [43] D.C. Youla, "On Scattering Matrices Normalized to Complex Port Numbers", Proceeding of the IRE, vol.49, p. 7, 1961.
- [44] K. Kurokawa, "Power Waves and the Scattering Matrix", IEEE Transactions on Microwave Theory and Techniques, vol. pp. 194-202, 1965.
- [45] C. Pavageau, "Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques", Thèse Doctorat, Univ. Sciences et Technologies, Lille, 2005.
- [46] G. Le Coustre, "Contribution au développement d'une filière de transistors de forte puissance à base de technologie HEMT GaN pour applications télécoms et radar", Thèse Doctorat, Univ. Sciences et Technologies de Lille, 2009.
- [47] D. Muller, "Optimisation des potentialités d'un transistor LDMOS pour l'intégration d'amplificateur de puissance RF sur Silicium", Thèse Doctorat, Univ. Limoges, 2006.
- [48] P. Mans, "Optimisation de transistor bipolaire à hétérojonctions Si/SiGe en technologie BiCMOS 0.25 μm pour les applications d'amplification de puissance", Thèse Doctorat, Univ. Bordeaux1, 2008.
- [49] A. Guen Bouazza, H. Sahraoui, B. Bouazza, K. E. Ghaffour et N. E. Chabane Sari, "Modélisation des sources de bruit dans les dispositifs MOS", Afrique SCIENCE 01(2), pp.189 – 207, 2005.
- [50] M. Valenza, A. Hoffmann, A. Laigle, A. Rigaud, and M. Marin, "Impact of Downscaling on 1/f noise in MOSFETs", Proceedings of SPIE, 2003.
- [51] Y. Cheng, "Flicker Noise Characterization and Modeling of MOSFETs for RF IC Design (Invited Paper)", Proceedings of SPIE, 2003.
- [52] S. Porret and C. C. Enz, "Non-Quasi-Static (NQS) Thermal Noise Modeling of the MOS Transistor", Proceeding of SPIE, 2003.
- [53] A. L. Mc Worther, "1/f noise and Germanium surface properties", Semiconductor Surface Physics, Edited by R.H Kingston, Univ. of Pennsylvania Press, Philadelphia, pp.207, 1957.
- [54] L.K.J Vandamme, "Criteria of low-noise thick-film resistors", Electrocomponent Science and technology, Vol 4, pp 171-177, 1997.
- [55] R.van Langevelde, A.J. Scholten & D.B.M KLasseen, "Physical background of MOS model 11", 2003.
-

- [56] F.N. Hooge, “1/f noise is no surface effect”, Physics Letters, vol. 29a, iss.3, pp. 139, 1969.
- [57] Andries J. Scholten, Luuk F. Tiemeijer. "Noise modeling for RF CMOS circuit simulation". IEEE Trans Electron Devices, Vol. 50 No. 3, 2003.
- [58] M. Tacano, “Hooge fluctuation parameter of semiconductor microstructures”, Electron Devices, IEEE Transactions on, vol. 40, p. 2060–2064, Nov 1993.
- [59] Y. BENHAMIDA, “Etude des caractéristiques physiques et électriques d'un MOSFET nanométrique”, Thèse Magister, Univ. Abou-Bakr Belkaïd-Tlemcen, 2012.
- [60] N. Arora, “MOSFET Modeling For VLSI Simulation Theory And Practice”, First Edition, World Scientific Printers (S) Pte Ltd, ISBN: 978-981-256-862-5, 2007.
- [61] Y. Cheng, C. Hu, “Mosfet Modeling & Bsim3 User’s Guide”, First Edition, Kluwer Academic Publishers, New York, ISBN: 0-792-38575-6, 2002.
- [62] Fujitsu Limited 1995 “LF95”, Copyright © 1994-2004 Lahey Computer Systems, Inc.
- [63] M. Ain “Savez vous parler Fortran ?”, Edition Boeck Wesmael Bruxelles 1993.
- [64] N. Taibi, S. Taibi, “Pratique Fortran”, Edition Berti 1991.
- [65] O. Benzaoui and C. Azizi, “Study of the Static Properties I-V of Mosfet”, Journal of Materials Science and Engineering B, Vol. 3, pp. 504-509, 2013.
- [66] O. Benzaoui and C. Azizi, “Effect of the mobility on (I-V) characteristics of the MOSFET”, AIP Conference Proceedings 1569, doi: 10.1063/1.4849237, p. 100-104, 2013.
- [67] O. Benzaoui and C. Azizi, “Influence of Technological Parameters on Properties of MOSFETs”, International Journal of Applied Engineering Research IJAER, Vol.11, N.11, pp. 7288-729, 2016.
- [68] HFSS. [Online]. Available : <http://www.ansoft.com/products/ansys-hfss/>
- [69] User’s guide – High Frequency Structure Simulato, Edition: REV1.0, June 2005, Software Version: 10.0 (© 2005 Ansoft Corporation, 225 West Station Square Drive, Suite 200, Pittsburgh, PA 15219, USA).
- [70] Khamis Khamis Youssouf, “Modélisation de transformateurs planaires intègres”, Thèse doctorat, Univ. Jean Monnet - Saint-Etienne, France, 2014.
- [71] S. Hung-Min Jen, C. C. Enz, D. R. Pehlke, M. Schröter and B. J. Sheu, “Accurate Modeling And Parameter Extraction For MOS Transistors Valid Up To 10 GHz”, IEEE Transactions on Electron Devices, vol. 46, no. 11, pp. 2217-2227, 1999.

- [72] E. San Andrés, L. Pantisano and J. Ramos, “RF Split Capacitance–Voltage Measurements of Short-Channel and Leaky MOSFET Devices”, IEEE electron device letters, Vol. 27, No. 9, pp.772- 774, 2006.
- [73] G. Dambrine, C. Raynaud, D. Lederer, M. Dehan, O. Rozeaux, M. Vanmackelberg, F.Danneville, S. Lepilliet, and J.-P. Raskin, “What are the Limiting Parameters of Deep-Submicron MOSFETs for High Frequency Applications?”, IEEE Electron Device Letters, vol. 24, no. 3, 2003.
- [74] G. Dambrine, “Caractérisation Des Composants Hyperfréquences En Régime De Fonctionnement Linéaire”, Habilitation à diriger des recherches en sciences, Univ. LilleI, 1996.

TITRE : ETUDE DES PROPRIETES STATIQUES ET DYNAMIQUES DU TRANSISTOR A GRILLE ISOLEE MOSFET

Résumé :

Cette thèse présente l'étude des propriétés statiques et dynamiques du transistor à grille isolée MOSFET.

Après avoir rappelé brièvement les propriétés du matériau semiconducteur « Si », nous présentons la structure et le principe de fonctionnement du composant MOSFET, ainsi que les phénomènes physiques qui régissent leurs performances.

Pour un transistor MOSFET, nous avons élaboré un modèle analytique des propriétés statiques du composant, en prenant en compte l'effet des éléments parasites et des paramètres physique spécifiques à ce composant.

Ensuite nous avons étudié les propriétés dynamiques en hautes fréquences du MOSFET, ainsi on a proposé un schéma équivalent électrique petit signal et déterminé les principaux paramètres dynamiques.

Enfin, nous terminons ce travail par une présentation et discussion de l'ensemble des résultats de la simulation numérique des caractéristiques statiques et dynamiques du transistor MOSFET.

Cette étude est importante au vu des résultats obtenus, la simplicité des expressions mathématiques, et sera utilisée dans l'étude de la conception assistée par ordinateur des circuits logiques et analogiques à base du MOSFET.

Mots clés : MOSFET, Propriétés statiques, Propriétés dynamiques, Caractérisation, Simulation.

**TITLE : STUDY OF STATIC AND DYNAMIC PROPERTIES OF THE
TRANSISTOR INSULATED GATE MOSFET**

Abstract:

This thesis deals the study of static and dynamic properties of the transistor gate isolated MOSFET.

After having briefly recalled properties of the semiconductor material « Si », we have presented the structure and operating principle of the MOSFET component, as well as the physical phenomena that govern their performance.

For MOSFET transistor we have developed an analytical model of the static properties of the component, taking into account the effect of parasitic elements and physical parameters specific of component.

Then we studied the dynamic properties of high frequency MOSFET, and we offered an electrical equivalent circuit diagram small signal and determined the mains dynamic parameters.

Finally, we have concluded this work by a presentation and discussion of all the results of the numerical simulation of static and dynamic characteristics of the MOSFET.

This study is important given the obtained results, the simplicity of mathematical expressions, and it will be used in the study of computer-aided design “CAD” of logic and analogical circuits based on MOSFET.

Keywords: MOSFET, Static properties, Dynamic properties, Characterization, Simulation.

العنوان: دراسة الخصائص السكونية والديناميكية لترانزيستور MOSFET

ملخص:

هذه الأطروحة تتضمن دراسة الخصائص السكونية والديناميكية لترانزيستور MOSFET. بعد تذكير بخصائص المعدن السيليسيوم «Si»، استعرضنا مبدأ تشغيل المركب MOSFET، كما تطرقنا إلى أهم الظواهر الفيزيائية المتحكممة في عملها.

قمنا بصياغة نموذج للخصائص الساكنة لصمام العبور MOSFET مع إدراج أثار العناصر الطفيلية وكذلك مختلف الأبعاد الفيزيائية والتكنولوجية للمركب.

بعد ذلك قمنا بدراسة الخصائص الديناميكية لترانزيستور MOSFET من أجل التطبيقات ذات الترددات العالية. كما قمنا بتقديم الدارة الكهربائية المكافئة وتحديد العناصر الرئيسية الديناميكية لتركيبية ذات الإشارة الصغيرة.

في الأخير قدمت ونوقشت النتائج المتحصل عليها للخصائص السكونية والديناميكية لترانزيستور MOSFET اعتمادا على برنامج محاكاة.

أهمية هذه الدراسة تتمثل في الجمع بين التفسير المقبول لظواهر الفيزيائية وبساطة العبارات الرياضية، مما يسهل استعمالها في دراسة مختلف الدارات الإلكترونية التي تعتمد على مثل هذه المركبات.

الكلمات المفتاحية: MOSFET، الخصائص السكونية، الخصائص الديناميكية.

Résumé :

Cette thèse présente l'étude des propriétés statiques et dynamiques du transistor à grille isolée MOSFET.

Après avoir rappelé brièvement les propriétés du matériau semiconducteur « Si », nous présentons la structure et le principe de fonctionnement du composant MOSFET, ainsi que les phénomènes physiques qui régissent leurs performances.

Pour un transistor MOSFET, nous avons élaboré un modèle analytique des propriétés statiques du composant, en prenant en compte l'effet des éléments parasites et des paramètres physique spécifiques à ce composant.

Ensuite nous avons étudié les propriétés dynamiques en hautes fréquences du MOSFET, ainsi on a proposé un schéma équivalent électrique petit signal et déterminé les principaux paramètres dynamiques.

Enfin, nous terminons ce travail par une présentation et discussion de l'ensemble des résultats de la simulation numérique des caractéristiques statiques et dynamiques du transistor MOSFET.

Cette étude est importante au vu des résultats obtenus, la simplicité des expressions mathématiques, et sera utilisée dans l'étude de la conception assistée par ordinateur des circuits logiques et analogiques à base du MOSFET.

Mots clés : MOSFET, Propriétés statiques, Propriétés dynamiques, Caractérisation, Simulation.