

5

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE**

**MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA  
RECHERCHE SCIENTIFIQUE**

**UNIVERSITE DE CONSTANTINE  
INSTITUT D'ELECTRONIQUE**

**THESE DE MAGISTER**

Présentée par : Mr **RAHMANI SLIMANE**

RAH  
2935

**THEME**

**MODELISATION DU TRANSISTOR MOS  
AVEC SUBSTRAT ISOLANT**

Soutenue le 26/10/1996

,devant le jury:

Président	M.REMRAM	MC-univ de Constantine
Directeur de thèse	Y.BOUTERFA	Prof-univ catholique de Louvain
Rapporteur	F.HOBAR	MC-univ de Constantine
Examineur	F.DJAHLI	MC-univ de Sétif
Examineur	M.BOUCHEMAT	MC-univ de Constantine

5

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE**

MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA  
RECHERCHE SCIENTIFIQUE

UNIVERSITE DE CONSTANTINE  
INSTITUT D'ELECTRONIQUE

**THESE DE MAGISTER**

Présentée par : Mr **RAHMANI SLIMANE**

RAH  
2935

THEME

**MODELISATION DU TRANSISTOR MOS  
AVEC SUBSTRAT ISOLANT**

Soutenue le 26/10/1996

,devant le jury:

Président	M.REMRAM	MC-univ de Constantine
Directeur de thèse	Y.BOUTERFA	Prof-univ catholique de Louvain
Rapporteur	F.HOBAR	MC-univ de Constantine
Examineur	F.DJAHLI	MC-univ de Sétif
Examineur	M.BOUCHEMAT	MC-univ de Constantine

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA  
RECHERCHE SCIENTIFIQUE

UNIVERSITE DE CONSTANTINE  
INSTITUT D'ELECTRONIQUE

**THESE DE MAGISTER**

Présentée par : Mr RAHMANI SLIMANE

THEME

**MODELISATION DU TRANSISTOR MOS  
AVEC SUBSTRAT ISOLANT**

Soutenu le 1996 ,devant le jury :

Président	M.REMRAM	MC-univ de Constantine
Directeur de thèse	Y.BOUTERFA	Prof-univ catholique de Louvain
Rapporteur	F.HOBAR	MC-univ de Constantine
Examineur	F.DJAHLI	MC-univ de Sétif
Examineur	M.BOUCHEMAT	MC-univ de Constantine

*Al la mémoire de nos martyrs*

*Al mes très chers parents*

*Al mes grands parents*

*Al mes frères et soeurs*

*Alimane*

## REMERCIEMENTS

Je tiens à remercier Monsieur **M REMRAM**, maître de conférence à l'institut d'Electronique de Constantine, pour l'intérêt qu'il a porté à mon travail et pour l'honneur qu'il m'a fait en présidant le jury de cette thèse.

Je tiens à remercier, tout particulièrement, M<sup>r</sup> **YOUCEF BOUTERFA**, Professeur associé à l'Université de Louvain, pour la confiance qu'il a manifestée à mon égard en me proposant ce sujet de thèse, pour m'avoir initié à la recherche et pour m'avoir fait découvrir le monde de la simulation. Qu'il trouve ici l'expression de ma parfaite gratitude.

Mes plus vifs remerciements ainsi que ma profonde reconnaissance vont à Madame **F.HOBAR**, maître de conférence à l'institut d'électronique de Constantine qui a accepté d'être rapporteur de ce travail. Je la remercie profondément pour ses remarques, ses conseils et ses directives.

Je suis également très sensible à l'intérêt que Monsieur **M.BOUCHEMAT**, maître de conférence à l'institut d'électronique de Constantine, et Monsieur **F.DJAHLI**, maître de conférence à l'université de Sétif, ont accordé à mon travail en acceptant de se porter juges de celui-ci.. Qu'il me soit permis de leurs exprimer mes sincères remerciements.

Je ne saurais oublier d'adresser mes vifs remerciements à Monsieur **R.REMMOUCHE** pour son aide précieuse dans la rédaction de ce manuscrit et pour m'avoir initié au logiciel **SPICE**. Qu'il trouve ici, l'expression de ma profonde reconnaissance.

Mes remerciements vont également à M<sup>r</sup> **A.CHADLI, S.BELMAHDI, A.HBIA, M.KAHOUADJI, B.OSMANI, N.KHOUALDIA, B.SOUALHI, H.KHOUNI, S.BENBETKA, A.GOUTEL, Y.KIHAL, H.SEGHIR, A.MEGUELATI, R.TOUABET** et **MILOUD** pour leur aide précieuse et leur encouragement. Qu'ils trouvent ici l'expression de ma profonde gratitude.

La liste serait encore longue à énumérer et devant l'évidence d'un oubli, je remercie tous ceux qui ont contribué techniquement ou moralement à l'avancement de mes travaux.

## RESUME

La rapidité d'évolution de la technologie de fabrication des circuits intégrés a entraîné la nécessité de remettre en cause la physique même des dispositifs, puisque certains phénomènes négligés autrefois, sont devenus prépondérants. En effet, la course aux performances et la production de systèmes électroniques à des prix décroissants ont engendré un essor important de la simulation électrique. Cependant, le développement des technologies actuelles contraint à modéliser le plus finement possible le comportement des composants.

Un des problèmes qui se posent actuellement, c'est que les modèles ne sont pas assez précis pour traiter les effets de réduction de géométrie des composants, qui entraîne une dégradation globale des paramètres déterminant les performances des dispositifs: Tension de seuil, transconductance, mobilité des porteurs...etc.

Notre étude consiste à mettre en oeuvre un modèle physique du **TMOS SOI** à enrichissement et à canal court, en accord avec les performances technologiques et qui prend en compte la majorité des effets physiques décrivant le comportement réel du dispositif. Ce modèle statique pour les **TMOS SOI** à film mince a été implanté dans le simulateur **SPICE3**.

Après quelques rappels sur le principe de fonctionnement du transistor MOS à substrat, nous effectuons une étude détaillée sur le dispositif MOS SOI, afin de dégager les avantages de la technologie SOI par le biais d'une étude comparative du comportement des deux dispositifs. Nous décrivons ensuite notre modèle statique, son implantation dans **SPICE3** et sa validation en statique.

# SOMMAIRE

INTRODUCTION	1
CHAPITRE I : LE TRANSISTOR MOS	2
I.1. INTRODUCTION	2
I.2. DESCRIPTION	2
I.3. REGIME DE FONCTIONNEMENT	3
I.4. EQUATIONS DE BASE	6
I.5. TYPES DE TMOS	8
I.6. TENSION DE SEUIL	10
I.7. EFFET CANAL COURT	11
I.8. TENSION DE PERCAGE ET COURANT LIMITE PAR LA CHARGE	11
I.9. REDUCTION DE LA MOBILITE	12
I.10. CONCLUSION	13
CHAPITRE II : LE TRANSISTOR MOS SOI	14
II.1. INTRODUCTION	14
II.2. DESCRIPTION	14
II.3. TYPES DE TMOS SOI	16
II.4. REGIMES DE FONCTIONNEMENT	18
II.5. TENSION DE SEUIL	19
II.6. CARACTERISTIQUE DE SORTIE $I_D$ ( $V_D$ )	23
II.7. MOBILITE DES PORTEURS	27
II.7. EFFET CANAL COURT	27
II.9. EFFETS PARASITES	30
II.10. CONCLUSION	34
CHAPITRE III : ETUDE COMPARATIVE DES TMOS BULK ET SOI	35
III.1. INTRODUCTION	35
III.2. PHENOMENE DE LATCH-UP	35
III.3. COURANT DE FUITE	36
III.4. TENSION DE SEUIL	37
III.5. TRANSPORT DE COURANT	39
III.6. CAPACITES PARASITES	42
III.7. PENTE SOUS LE SEUIL	42
III.8. PHENOMENE AVALANCHE ET CLAQUAGE DU DRAIN	44
III.9. CONCLUSION	45
CHAPITRE IV : MODELE STATIQUE DU TMOS SOI	47
IV.1. INTRODUCTION	47
IV.2. EXPRESSION DE CHARGE ET TENSION DE SEUIL	47
IV.3. CONDITION DE CHARGE DE L'INTERFACE INFERIEURE	49

IV.4. EFFET DICE	50
IV.5. MOBILITE DES PORTEURS	52
IV.6. COURANT DRAIN	53
IV.7. TABLEAU RESUMANT LES PARAMETRES DU MODELE	59
IV.8. CALCUL DES PARAMETRES PAR DEFAUT	60
IV.9. CONCLUSION	62
CHAPITRE .V. IMPLANTATION & VALIDATION	63
V.1. INTRODUCTION	63
V.2.IMPLANTATION	64
V.3. VALIDATION	76
V.4. CONCLUSION	89
CONCLUSION	90
BIBLIOGRAPHIE	92

# INTRODUCTION

# INTRODUCTION

La technologie de fabrication des circuits intégrés a connu un remarquable essor généré par une évolution tout aussi remarquable en matière de processus technologique. A vrai dire ce développement technologique n'est pas fortuit, il est essentiellement dû à la nécessité vitale pour chaque fabricant de mettre sur le marché un produit le plus performant qu'il soit et à moindre coût.

La concurrence que se livrent les différents fabricants a engendré un essor important de la simulation électrique. Cependant, il y a lieu de souligner la contrainte liée au développement même des technologies et qui se matérialise dans la tendance à modéliser le plus finement possible le comportement des composants. D'où l'imprécision qui caractérise les modèles rendant difficile le traitement des effets de réduction de géométrie des dispositifs débouchant ainsi sur une dégradation globale des paramètres déterminant les performances des dispositifs: Tension de seuil, transconductance, mobilité des porteurs...

Afin de pallier à toutes ces insuffisances, la mise en oeuvre d'un modèle physique du TMOS SOI à enrichissement et à canal court, s'avère nécessaire. C'est l'objet de notre présente étude. Il reste entendu que ce modèle intègre les performances technologiques, tout en tenant compte des effets physiques qui décrivent le comportement réel du dispositif.

Le modèle statique pour le TMOS SOI à filme mince, objet de notre étude, a été implanté dans le simulateur SPICE3.

Avant d'aborder notre sujet, nous avons estimé nécessaire de faire quelques rappels sur le principe de fonctionnement du transistor MOS à substrat. Puis nous effectuons une étude détaillée sur le dispositif MOS SOI, en vue de dégager les avantages de la technologie SOI par le biais d'une étude comparative. En fin nous décrivons notre modèle statique, son implantation dans SPICE3 et sa validation en statique.

# CHAPITRE I

# I. LE TRANSISTOR MOS

## I.1 INTRODUCTION

En 1930, **J.LILIENFELD** de l'université de **LEIPZIG** déposa un brevet dans lequel il décrit un élément ressemblant au transistor **MOS (Métal-Oxyde-Semiconducteur)** actuel. Cependant, ce n'est que vers 1960, la technologie ayant suffisamment évolué, que de tels transistors ont pu être réalisés avec succès. Aujourd'hui le transistor MOS constitue, par sa simplicité de fabrication et ses petites dimensions, l'élément fondamental des circuits intégrés à très large échelle (**VLSI**).[1]

## I.2 DESCRIPTION

Le transistor MOS est réalisé à partir d'un substrat de silicium de type N ou P de forte résistivité, dans lequel sont diffusées deux zones (source et drain) de type opposé à celui du substrat et fortement dopées. L'espace entre ces deux zones est alors recouvert d'une couche mince isolante puis d'une couche conductrice de polysilicium et/ou de métal pour former la structure MOS.[2]

Il existe deux types de TMOS : Le TMOS à enrichissement et le TMOS à appauvrissement (§ I.5).

Dans ce chapitre, on étudie le fonctionnement d'un TMOS à canal N à enrichissement représenté par la figure I.1 où l'on distingue les principaux paramètres du transistor : La longueur du canal  $L$ , sa largeur  $W$  et l'épaisseur de l'oxyde  $T_{ox}$ . Les parties pleines représentent la métallisation qui sert à réaliser les contacts ohmiques donnant accès à la source, la grille, le drain et le substrat [2]

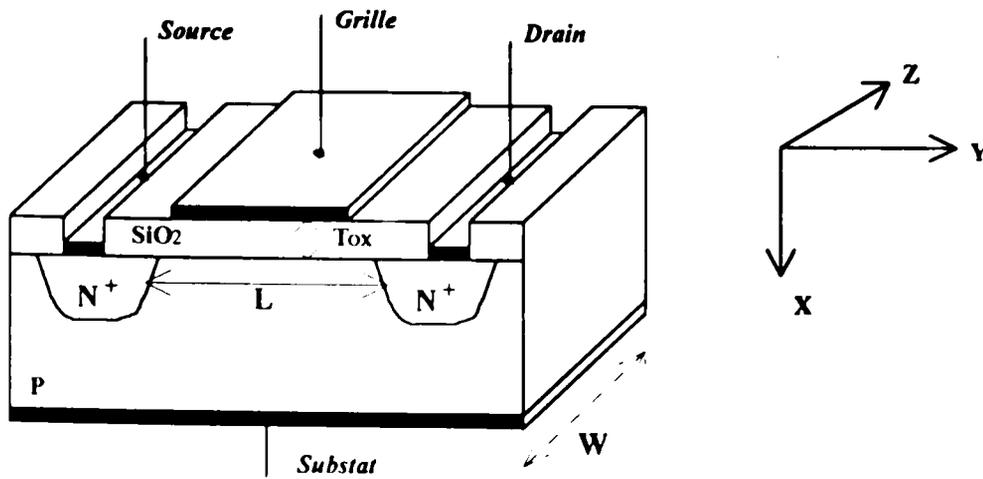


Fig I-1 Structure d'un transistor MOS

### I.3 REGIMES DE FONCTIONNEMENT [2]

Pour un TMOS idéal à enrichissement, si la tension de grille  $V_G$  est nulle, le transistor est équivalent à deux jonctions  $PN^+$ . Aucun courant ne passe entre la source et le drain tant qu'il n'y a pas inversion du type du canal. L'application d'une tension positive sur la grille fait passer le transistor par ses différents régimes de fonctionnement, à mesure que cette tension augmente. En effet, le transistor commence à conduire à partir du moment où la tension de grille est supérieure à la tension de "bandes plates"  $V_{FB}$ ; puisque l'inversion du canal s'amorce et celui-ci devient conducteur.

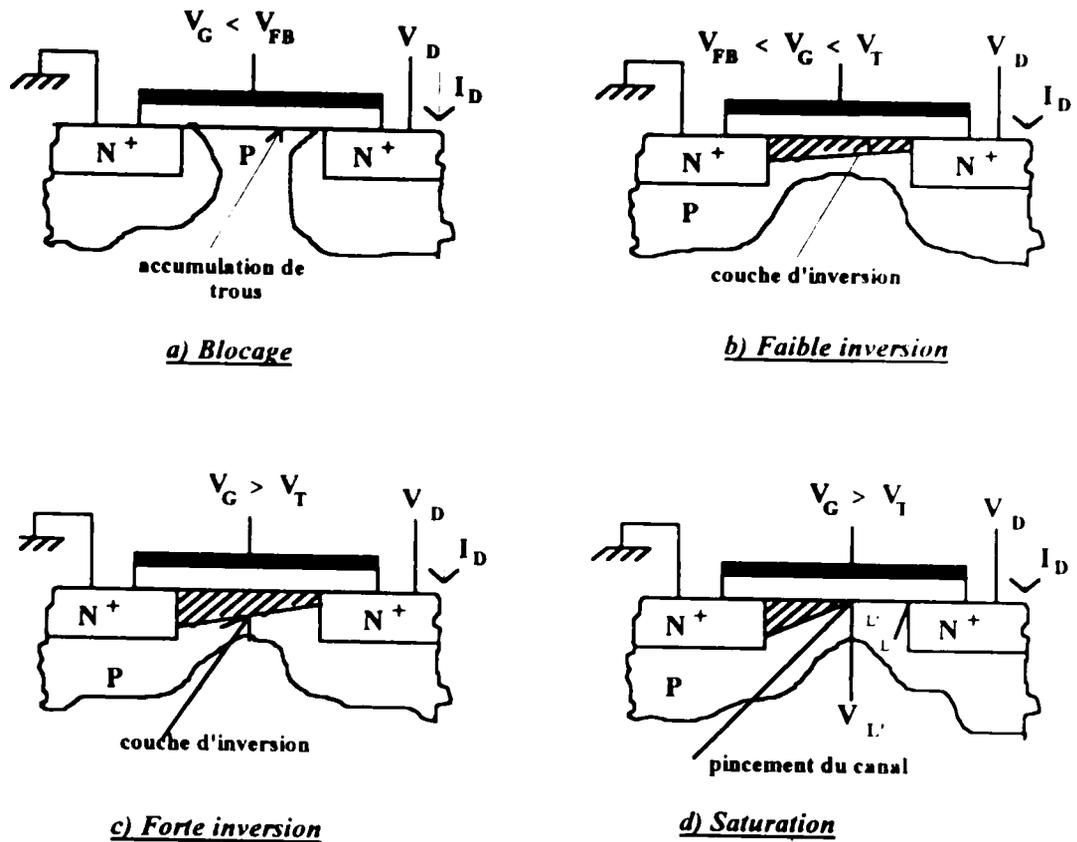


Fig I-2 Régimes de fonctionnement d'un TMOS à canal N

**I.3.1 Transistor bloqué: ( $V_G < V_{FB}$ )**

Lorsque la tension de grille est positive, une charge d'espace se constitue à l'interface Si-SiO<sub>2</sub>. Mais tant que cette tension reste inférieure à la tension de bandes plates  $V_{FB}$ , aucun courant significatif ne circule entre la source et le drain. Le transistor est à l'état bloqué (Fig I.2.a)

**I.3.2 Faible inversion : ( $V_{FB} < V_G < V_T$ )**

Quand  $V_G$  augmente, le potentiel à la surface du substrat croît jusqu'à atteindre une valeur suffisante pour déplacer les électrons de la source vers le substrat. Ces électrons sont alors collectés par le drain et participent au courant de drain pour  $V_G < V_T$ . Le canal est alors en faible inversion (Fig I.2.b). Le dispositif se comporte comme un transistor bipolaire.

### 1.3.3 Forte inversion : ( $V_G > V_T$ )

Dès que la tension de grille dépasse la tension de seuil, le canal est en forte inversion. Cependant, selon la valeur de la tension de drain, nous pouvons avoir trois modes de fonctionnement :

#### a)- Mode linéaire : (Fig I.2.c)

Tant que la tension drain-source est petite, le canal induit se comporte comme une simple résistance ohmique. Il en résulte que le courant drain est proportionnel à la tension drain-source [3].

#### b)- Zone de transition : (Fig I.2.c)

Si la tension drain-source augmente sensiblement, le potentiel du canal s'accroît, si bien que la différence de potentiel entre la grille équipotentielle et le canal diminue tout le long de ce dernier (de la source vers le drain) [4]. Il en résulte que la charge dans la couche d'inversion décroît corrélativement et que la résistance du canal augmente. Les caractéristiques  $I_D(V_D)$  s'infléchissent vers le bas [3].

#### c)- Mode saturé : (Fig I.2.d)

Si on accroît  $V_{DS}$  suffisamment, la tension de drain approchant celle de la grille finie par n'être distante que de  $V_T$ . A ce moment, au voisinage immédiat du drain, la charge d'inversion ne peut se maintenir, il y a pincement du canal au niveau du drain. On définit ainsi une tension de drain particulière  $V_{DSAT}$  appelée limite de tension drain à partir de laquelle le courant drain quitte la zone linéaire pour entrer en saturation.

En continuant à accroître  $V_{DS}$  au-delà de  $V_{DSAT}$ , le point de pincement remonte légèrement vers la source de  $L$  à  $L'$ . La longueur effective de la couche d'inversion est réduite à  $L' < L$ . La tension  $V_{DS}$  se décompose en deux termes de tensions appliquées sur deux zones physiquement distinctes.

La tension  $V_{L'S} \approx V_{DSAT}$  génère, à travers un canal de longueur qui se réduit légèrement, un courant qui ne fait que peu croître. Ce courant traverse la zone de charge d'espace de  $L'$  au drain sous la tension  $V_{L'}$ . Les porteurs peuvent être soumis à des champs élevés dans cette zone.

## I.4 EQUATIONS DE BASE

Nous rappelons les équations de base du TMOS, pour le fonctionnement en mode linéaire et en mode saturé, ainsi que son comportement électrique sous le seuil. Nous ne considérons que le cas du transistor à canal N, sachant que les relations établies restent valables à un signe près, pour un dispositif à canal P.

### I-4 1- Mode linéaire :

Le courant à travers le canal étant conservatif, on peut calculer  $I_{DS}$  en une abscisse  $y$  quelconque (fig I.1):

$$I_{DS} = W \frac{dQ_n(y)}{dy} V(y) \quad (I.1)$$

$V(y)$  représente la vitesse de déplacement dans le canal de l'élément de charge  $dQ_n(y)$ . Par conséquent, en fonction de la mobilité  $\mu_n$  des porteurs et du potentiel le long du canal  $V_{Gy}$ , on peut écrire:

$$V(y) = -\mu_n \frac{d(V_{Gy} - V_T)}{dy} \quad (I.2)$$

$$\frac{dQ_n(y)}{dy} = C_{OX} (V_{Gy} - V_T) \quad (I.3)$$

Avec:

$V_T$  : Tension de seuil.

$C_{OX} = (\epsilon_0 \epsilon_{OX} / t_{OX})$ : Capacité d'oxyde par unité de surface.

En substituant (I.3) et (I.2) dans (I.1) et en intégrant de la source ( $y = 0$ ,  $V_{Gy} = V_G$ ) au drain ( $y = L$ ,  $V_G = V_D$ ), on aboutit à l'expression de  $I_D$  :

$$I_D = \frac{W}{L} \mu_n C_{OX} \left( (V_G - V_T) V_D - \frac{V_D^2}{2} \right) \quad (I.4)$$

Envisageons le cas où  $V_D$  est très faible, l'expression (I.4) se réduit à :

$$I_D = \frac{W}{L} \mu_n C_{OX} (V_G - V_T) V_D \quad (I.5)$$

La conductance du canal  $g_D$  est définie comme étant la pente de la caractéristique de  $I_D(V_D)$  à  $V_G$  constante.

$$g_D \equiv \frac{\partial I_D}{\partial V_D} \equiv \frac{W}{L} \mu_n C_{OX} (V_G - V_T - V_D) \quad (I.6)$$

Au voisinage de l'origine des coordonnées on a ( $V_D \ll V_G - V_T$ ) l'expression (I.6) se réduit à :

$$g_D \equiv \frac{\partial I_D}{\partial V_D} \equiv \frac{W}{L} \mu_n C_{OX} (V_G - V_T) \quad (I.7)$$

La transconductance  $g_m$  est définie comme étant la pente de la caractéristique  $I_D(V_G)$  à  $V_D$  constante.

$$g_m \equiv \frac{\partial I_D}{\partial V_G} \equiv \frac{W}{L} \mu_n C_{OX} V_D \quad (I.8)$$

#### I-4-2- Mode saturé :

Plaçons-nous dans la limite du pincement ( $V_D = V_{DSAT}$ ), l'expression analytique de  $V_{DSAT}$  est obtenue à partir du maximum de  $I_D$  à une tension grille donnée. L'expression (I.4) donne:

$$\frac{\partial I_D}{\partial V_D} \approx 0 \Leftrightarrow V_{DSAT} = (V_G - V_T) \quad (I.9)$$

Le courant de saturation  $I_{DSAT}$  peut être obtenu en substituant (I.9) dans (I.4):

$$I_{DSAT} \approx \frac{W \cdot \mu_n \cdot C_{OX}}{2 \cdot L} (V_G - V_T)^2 \quad (I.10)$$

Pour un TMOS idéal, la conductance du canal est nulle dans la région de saturation et la transconductance peut être dérivée de (I.10) :

$$g_m = \frac{W \cdot \mu_n \cdot C_{OX}}{L} (V_G - V_T) \quad (I.11)$$

D'après (I.7) et (I.11), une caractéristique  $I_D(V_D)$  définie par ( $V_G - V_T$ ) possède une conductance, au voisinage des coordonnées, égale à sa transconductance en zone de pincement.

### 1.4.3 Région sous le seuil :

En général les TMOS sont modélisés dans le domaine de la forte inversion. Or, il circule un courant sous le seuil qui caractérise le fonctionnement du transistor en faible inversion.

La connaissance du courant en faible inversion prend toute son importance dans les circuits logiques MOS dynamiques, ou dans les mémoires. La mémoire est en effet constituée par la capacité de grille qui accumule ou non une charge  $Q$  pour exprimer la présence de chacun des deux états binaires.

Ce courant a deux composantes qui s'ajoutent : Courant de conduction et courant de diffusion de porteurs dans le canal.

$$I_D = A \left( q\mu_n E(y) + qD_n \frac{\partial n}{\partial y} \right) \quad (I-12)$$

R.J.Van Overstraeten [5] démontre qu'en régime de faible inversion, le courant est principalement dû à un courant de diffusion. En effet, le potentiel étant quasiment constant le long du canal, le terme  $E(y)$  dans l'expression (I.12) est presque nul. Il reste donc le terme représentatif du gradient de porteurs  $\partial n/\partial y$ .

Le courant de drain sous le seuil est donné par [6]:

$$I_D = \frac{q \cdot N \cdot D \cdot n \cdot \exp\left(-\frac{q\psi_B}{KT}\right)}{L} \left( 1 - \exp\left(-\frac{qV_D}{KT}\right) \right) \exp\left(\frac{q\psi_S}{KT}\right) \quad (I-13)$$

Le potentiel de surface  $\psi_S$  vaut approximativement  $V_G - V_T$ . Ainsi, le courant de drain va croître exponentiellement dès que  $V_G$  devient supérieure à  $V_T$  :

$$I_D \propto \exp\left(\frac{q(V_G - V_T)}{KT}\right) \quad (I-14)$$

## 1.5 TYPES DE TMOS [4]

En fonction du type de la couche d'inversion, on peut distinguer quatre types différents de transistors MOS.

Si la conduction entre la source et le drain a lieu sans qu'il soit nécessaire d'appliquer une tension sur la grille, le TMOS est dit à déplétion. Si, au contraire, une tension doit être appliquée sur la grille pour qu'un courant circule, le transistor est dit à enrichissement.

Pour devenir conducteur, un TMOS à enrichissement à canal N exige l'application d'une tension de grille positive. La condition de conduction peut s'écrire  $V_G > V_T$ .

Si le transistor MOS est à enrichissement et à canal P, la tension de grille devra être au contraire négative pour qu'il y ait conduction. La condition de conduction peut s'écrire  $V_G < V_T$ .

Dans le cas d'un TMOS à déplétion et à canal N, le canal ne sera bloqué que si la tension grille est négative. Pour le canal P la tension grille doit au contraire être positive pour bloquer le courant.

Les sections des quatre types du TMOS, les caractéristiques de sortie [ $I_D = f(V_D)$ ] et les caractéristiques de transfert [ $I_D = f(V_G)$ ] sont représentées sur la figure I.3: [7]

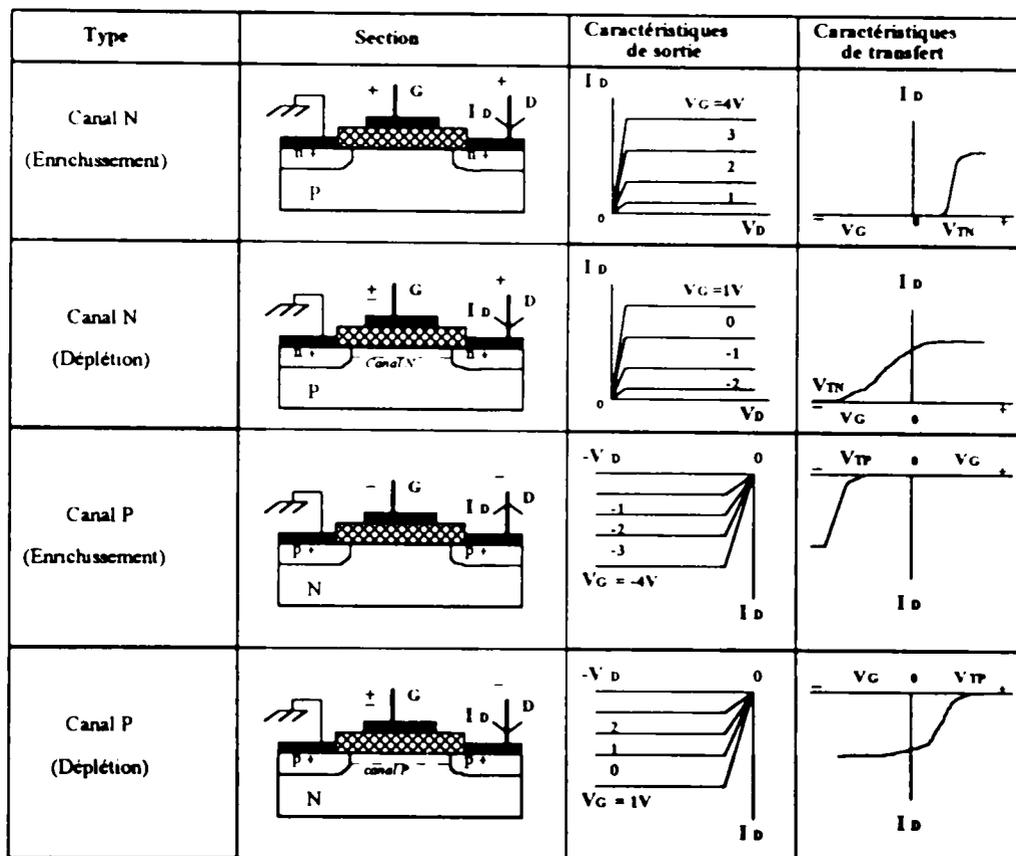


Fig I.3 Sections, caractéristiques de sorties et caractéristiques de transfert des différents types de TMOS

**I.6 TENSION DE SEUIL**

La tension de seuil conventionnelle est définie comme étant la tension de grille nécessaire pour amorcer le régime de forte inversion dans le substrat [2].

Lorsqu'on incorpore les effets de charges fixes dans l'oxyde et la différence des travaux de sorties (du métal et du semi-conducteur), il apparaît un décalage de la tension de seuil d'une quantité égale à la tension de bande plate  $V_{FB}$  .[6]

$$V_T \approx V_{FB} + 2\psi_B + \frac{\sqrt{2 \cdot \epsilon_S \cdot q \cdot N_A (2\psi_B)}}{C_{OX}} \tag{I.15}$$

Où :  $V_{FB}$  : Tension de bande plate.

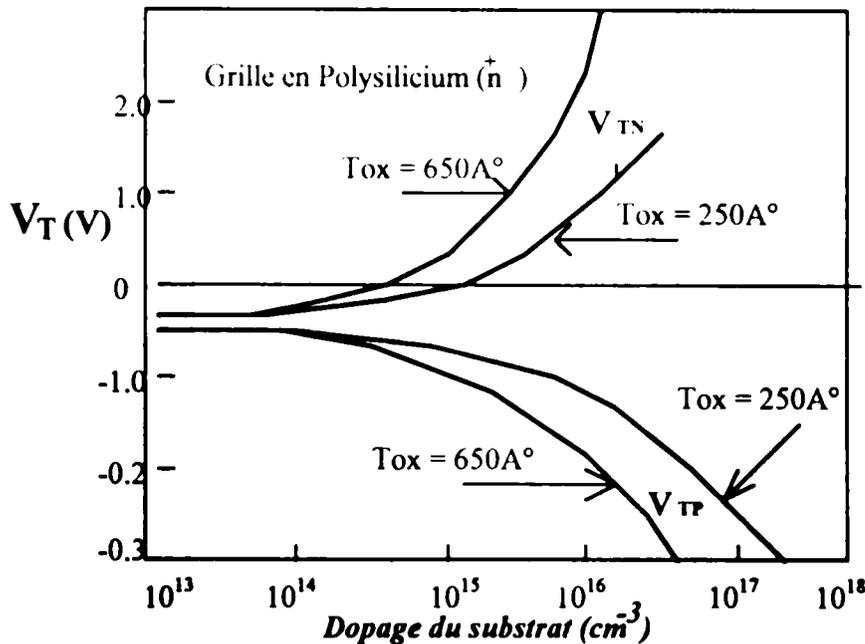
$\psi_B$  : Potentiel de Fermi.

$\epsilon_S$  : Permittivité du silicium.

$q$  : Charge de l'électron.

$N_A$  : Concentration de dopage du substrat.

La figure I.4 représente la tension de seuil en fonction du dopage de substrat d'un TMOS à canal N et un autre à canal P, pour deux valeurs différentes de l'épaisseur d'oxyde. On remarque que pour les transistors à canal N,  $V_{TN}$  est négative pour un faible dopage et devient positive pour un substrat fortement dopé, alors que pour les TMOS à canal P,  $V_{TP}$  est toujours négative.



**Fig I.4 Tension de Seuil (mesurée) en fonction du dopage de susbstrat [19]**

Quand on applique une polarisation inverse entre source et substrat ( $V_{BS} < 0$  pour un substrat de type P), la région de déplétion est élargie, de ce fait, la tension de seuil nécessaire pour l'amorce de l'inversion augmente.

L'accroissement de la tension de seuil est donné comme suit :

$$\Delta V_T = \frac{\sqrt{2 \cdot q \cdot \epsilon_S \cdot N_A}}{C_{OX}} \left( \sqrt{2\psi_B + V_{BS}} - \sqrt{2\psi_B} \right) \quad (I.16)$$

## I.7 EFFET CANAL COURT

La technologie VLSI a évolué rapidement ces dernières années en augmentant le taux d'intégration des circuits intégrés et a atteint le stade submicronique des dimensions des composants [8].

Lorsque la longueur du canal devient inférieure à  $3\mu\text{m}$ , les calculs deviennent complexes, ceci est dû au fait que pour les transistors à canal long, la forme de la ZCE importe peu, tandis qu'elle est d'une extrême importance pour les dispositifs à canal court [9].

En effet, la zone de déplétion effectivement contrôlée par le potentiel de la grille ne couvre plus la totalité de la longueur du canal. Une partie se trouve sous l'influence de la source, et une seconde partie sous l'influence du drain. Dans ces deux régions, le potentiel électrostatique varie fortement dans les deux directions x et y [10].

L'effet canal court cause un décalage de la tension de seuil, abaisse la tension de claquage, affecte les caractéristiques du courant sous le seuil et induit une instabilité dans le fonctionnement du transistor et une dégradation de ses caractéristiques par l'injection des porteurs chauds dans la région où le champ est intense [11]. On comprend que cet effet est d'autant plus prononcé que la longueur L du canal est petite et que le dopage  $N_A$  est faible [10].

## I.8 TENSION DE PERÇAGE ET COURANT LIMITE PAR LA CHARGE D'ESPACE

L'application d'une tension drain positive (TMOS à canal N) se manifeste sur la jonction drain substrat comme une tension inverse. A partir d'une tension  $V_p$  dite de "perçage", la zone de charge d'espace va s'étendre sur la totalité du canal (fig I.5), ce qui fait que par leur agitation, certains électrons sortant de la source sont soumis à l'action d'un champ électrique interne qui les pousse vers le drain. Ce pendant, leur présence crée elle-même un champ antagoniste, qui s'oppose au champ appliqué. Et plus la densité de ces électrons est grande,

plus fort est ce champ antagoniste. Donc, le flux d'électrons qui traversent la ZCE de la source au drain se trouve limité : D'où l'expression "Courant limité par la charge d'espace" [4].

Chambost [12] a donné une expression de ce courant :

$$J \equiv \frac{8}{9} \epsilon_0 \epsilon_s \mu_n \frac{(V_D - V_P)^2}{L^3} \quad (I.17)$$

De même Richman [13] a montré expérimentalement que, s'agissant d'un TMOS à canal N, l'application d'une tension grille supérieure à la tension de seuil, donne naissance à un courant de conduction qui va se superposer à J.

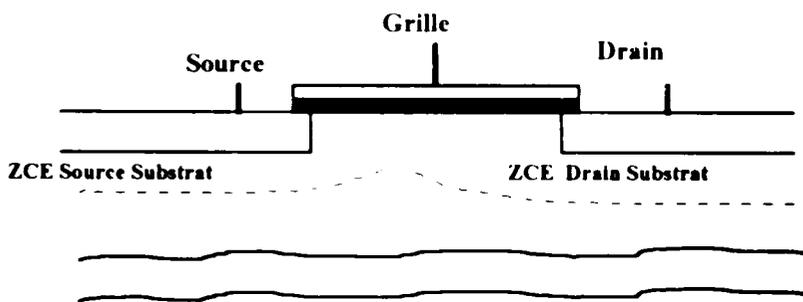


Fig I.6 Cas d'un transistor en punch-through permanent.

### 1.9 REDUCTION DE LA MOBILITE

Les porteurs, en transit dans le canal d'inversion, subissent des collisions au niveau de l'interface Si-SiO<sub>2</sub> et sur les défauts au voisinage de cet interface. De plus, la mobilité des porteurs est fonction du champ longitudinal et du champ transversal. Il en résulte que la mobilité superficielle est plus faible que celle en volume.

Connaissant la variation du champ électrique transversal et longitudinal le long du canal, on peut utiliser la loi de la mobilité donnée par l'expression [14]:

$$\mu_{\text{eff}} = \frac{\mu_n}{1 + \frac{E_X}{E_{CN}} + \frac{E_Y}{E_{CY}}} \quad (I.18)$$

$\mu_n$  : Mobilité en surface à faible champ.

$E_X$  : Champ électrique transversal.

$E_Y$  : Champ électrique longitudinal.

$E_{CN}$  : Champ transversal critique.

$E_{CY}$  : Champ longitudinal critique.

**I 10 CONCLUSION**

Après avoir rappelé les équations de base gouvernant le fonctionnement du TMOS, nous avons énuméré quelques phénomènes inhérents à son fonctionnement et mis l'accent sur l'influence de ces effets parasites sur ses performances.

Dans le chapitre suivant, l'étude portera sur un nouveau type de TMOS qui, par ses propriétés intéressantes, constitue un dispositif privilégié en technologie submicronique.

# CHAPITRE II

## II. LE TRANSISTOR MOS A SUBSTRAT ISOLANT (SOI)

### II.1 INTRODUCTION

Contrairement aux composants CMOS à substrat où on utilise des isolations pour les jonctions et l'oxyde de champs diminuant ainsi la densité d'intégration, la technologie SOI est potentiellement compétitive pour les circuits VLSI. Elle aura, relativement à la technologie "bulk", une meilleure isolation ainsi qu'une réduction des phénomènes parasites, d'où son application en milieu hostile notamment dans les satellites et les centrales nucléaires.

### II.2 DESCRIPTION [14]

Les dispositifs SOI sont conçus sur un substrat massif sur lequel est "déposé" un oxyde "enterré", au dessus duquel est déposé une couche mince de silicium. (Fig II.1).

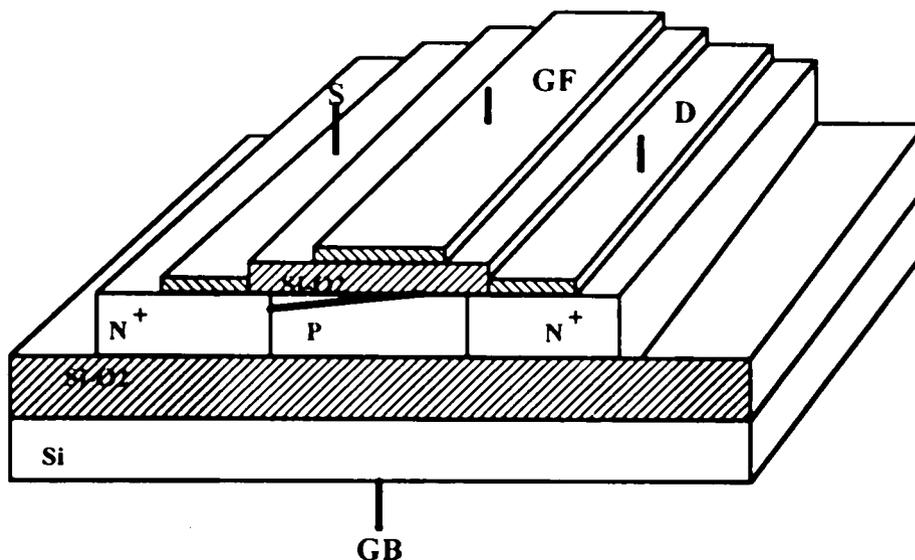


Fig II.1 Structure du transistor SOI

La figure II.2 représentant le schéma électrique du TMOS SOI montre qu'il se compose des éléments suivants:

- Deux transistors MOS l'un dit de face avant (S,GF,B,D) commandé par la grille avant GF, qui est le transistor actif. Habituellement, son substrat (**Body**) est flottant ce qui l'amène à s'autopolariser provoquant l'effet KINK que nous verrons ultérieurement. Le second transistor

MOS dit de face arrière (S,GB,B,D) commandé par la grille arrière GB est un transistor parasite dû à la structure SOI.

- Un transistor bipolaire d'émetteur (Source), de base B (Body), et de collecteur (Drain) qui peut induire dans certaines conditions un effet parasite qui sera discuté plus loin .

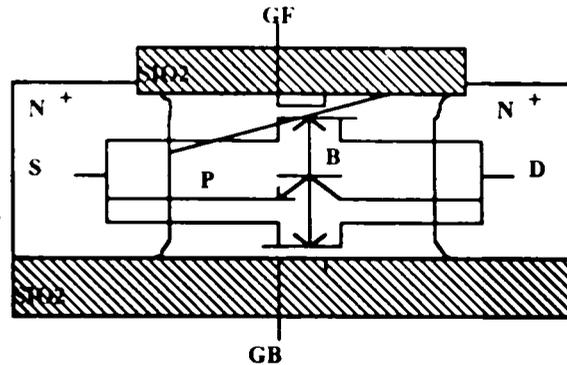
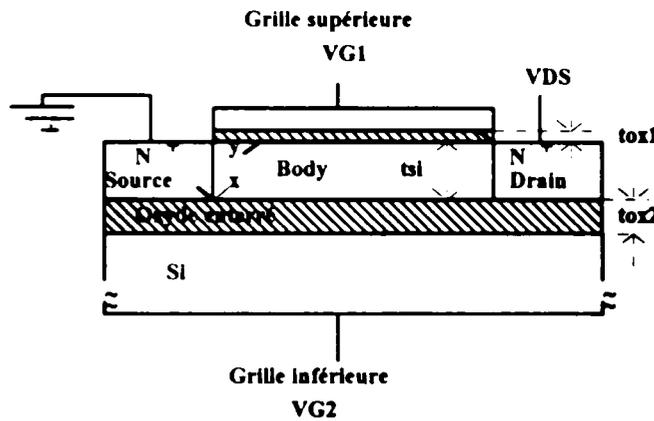


Fig II.2 Schéma équivalent d'un TMOS SOI

La figure (II.3) représente une coupe transversale d'un TMOS SOI à canal N à enrichissement[15].



Coupe transversale d'un TMOS SOI à canal N à enrichissement

où:

$tox1$  : Epaisseur de l'oxyde de grille.

$tox2$  : Epaisseur de l'oxyde enterré.

$tsi$  : Epaisseur du film du silicium.

$VG1$  : Tension de polarisation de la grille avant GF.

$VG2$  : Tension de polarisation de la grille arrière GB.

II.3 TYPES DE TMOS SOI

Dans le cas d'un TMOS Bulk, la zone de déplétion s'étend de l'interface Si-SiO<sub>2</sub> jusqu'à la largeur maximale de déplétion  $X_{dmax}$  donnée par [15]:

$$X_{dmax} = \sqrt{\frac{4\epsilon_{Si}\Phi_F}{qN_A}} \tag{II.1}$$

Où  $\Phi_F$  est le potentiel de Fermi.

L'étude physique des composants SOI dépend fortement de l'épaisseur du film de silicium duquel ils sont réalisés. On distingue alors trois types de dispositifs :

II.3.1) Composants SOI à films épais (cas du découplage) [16,17]

Dans ce cas, l'épaisseur du film de silicium est deux fois plus grande que la largeur de déplétion maximale, il n'y a pas d'interaction entre les zones de déplétion qui émanent des interfaces supérieure et inférieure. Il apparaît alors deux transistors MOS séparés par une zone neutre dans laquelle se produit l'effet bipolaire. Le substrat actif est flottant et peut donc s'autopolariser. Cette autopolarisation est à l'origine de l'effet KINK : (Fig II.4)

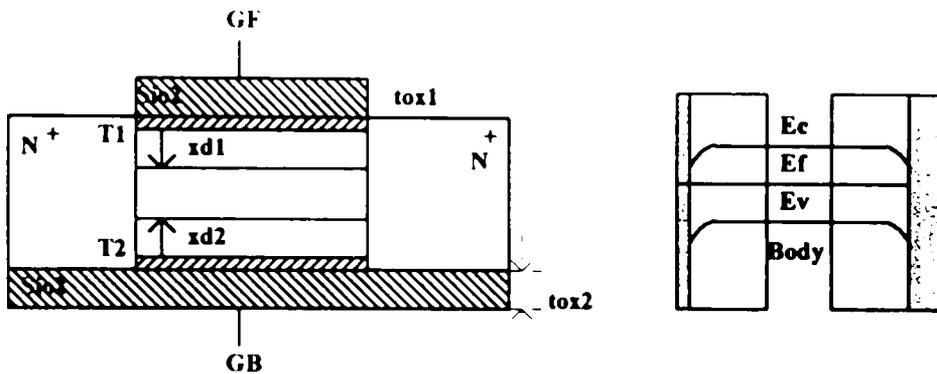


Fig II.4 (a) Découplage dans une structure SOL

(b) Diagramme de bande

II.3.2) Composants SOI à films minces (cas du couplage permanent) [16,17]

L'épaisseur du film de silicium est plus petite que la largeur de déplétion maximale. Dans ce cas, le film de silicium est complètement déplété pour  $V_{GF} \geq V_T$  (Fig II.5).

Les potentiels de surface des deux transistors MOS sont interdépendants. La résolution de l'équation de Poisson est alors bidimensionnelle. La zone neutre disparaît, le composant est alors débarrassé de l'effet KINK si l'interface inférieure n'est pas en accumulation. Les TMOS avec déplétion à l'interface inférieure, présentent de meilleures propriétés électriques telles que:

- Champs électrique faible.
- Haute transconductance.
- Comportement canal court excellent.
- Pente sous le seuil quasi-idéale.

Les TMOS SOI à films minces sont souvent comparés à des composants complètement déplétés.

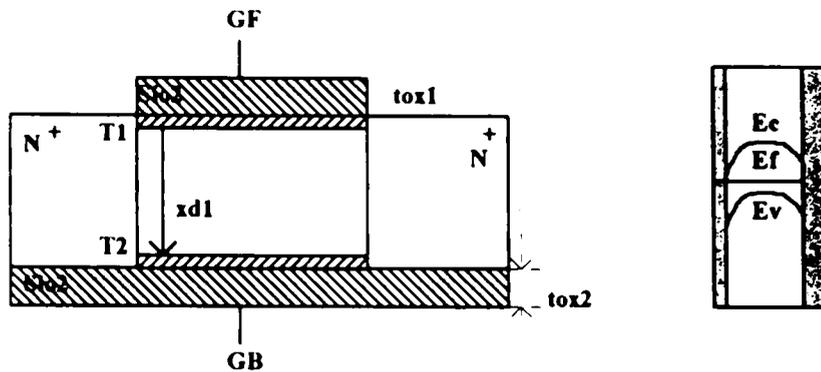


Fig II.5 (a) Couplage permanent dans une structure SOI.

(b) Diagramme de bande

### II.3.3) Composants SOI à films moyens (Cas du couplage partiel)[16,17]

Ils constituent un cas intermédiaire entre les composants à film mince et ceux à film épais. Ils sont obtenus pour  $X_{dmax} < t_{si} < 2X_{dmax}$ , où  $t_{si}$  est l'épaisseur du film de silicium. Si la polarisation de la grille arrière est telle que, les deux interfaces sont décorréées, ou bien si l'interface inférieure est neutre ou en accumulation, le dispositif se comporte comme un TMOS à film épais. Si par contre la polarisation de la grille arrière fait que les deux interfaces soient corrélées, le dispositif sera complètement déplété et se comporte comme un transistor à film mince (Fig II.6).

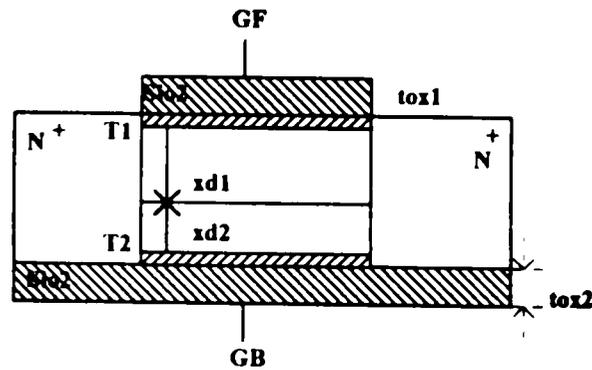


Fig II.6 Couplage partiel dans une structure SOI

### II.4 REGIMES DE FONCTIONNEMENT

Les TMOS à enrichissement constituent la classe la plus répandue des dispositifs SOI et selon la polarisation des grilles avant et arrière, les interfaces supérieure et inférieure peuvent être en déplétion, en accumulation, ou en inversion. On peut alors distinguer neuf modes de fonctionnement dont la plupart ne sont pas d'usage pratique.

Le tableau ci-dessous résume les modes utilisables.

	Premier mode	Second mode	Troisième mode
Interface supérieure	Inversion	Inversion	Déplétion
Interface inférieure	Accumulation	Déplétion	Accumulation

Tableau II.1 Modes de fonctionnement d'un TMOS SOI à enrichissement

Cependant, il existe un autre type de dispositifs qui sont les composants en mode d'accumulation (appauvrissement). Ces derniers dépendent des paramètres de fabrication, parmi lesquels on peut citer le type de métal utilisé pour la grille (Tableau II.2) [15].

TYPE DU CANAL	Grille poly Si N <sup>+</sup>	Grille poly Si P <sup>+</sup>
Canal N	Inversion	Accumulation
Canal P	Accumulation	Inversion

Tableau II.2 Modes de fonctionnement d'un TMOS SOI à film mince en fonction du métal de grille.

II.5 TENSION DE SEUIL

Pour les composants SOI à films épais, les deux interfaces sont décorréées, la tension de seuil est similaire à celle d'un TMOS à substrat.

Pour les SOI à films mince à enrichissement à canal N et complètement déplétés, la tension de seuil peut être obtenue par la résolution de l'équation de POISSON en faisant appel à l'approximation de déplétion [15]:

$$\frac{d^2\Phi}{dx^2} = \frac{q N_A}{\epsilon_{SI}} \tag{II.2}$$

La double intégration de l'équation (II.2), donne le potentiel dans le film de Si en fonction de la profondeur x [15]:

$$\Phi(x) = \frac{qN_A}{2\epsilon_{SI}} x^2 + \left( \frac{\Phi_{S2} - \Phi_{S1}}{t_{SI}} - \frac{q N_A t_{SI}}{2\epsilon_{SI}} \right) x + \Phi_{S1} \tag{II.3}$$

Φ<sub>S1</sub> et Φ<sub>S2</sub> sont les potentiels au niveau des interfaces supérieure et inférieure respectivement.

NA : Concentration de dopage (supposée constante).

t<sub>SI</sub> : Epaisseur du filme de silicium.

Q : Charge de l'électron.

ε<sub>SI</sub> : Permittivité du silicium.

La figure (II.7) montre la variation du potentiel en fonction de la profondeur du film .

Les surfaces pleines représentent l'oxyde de grille (à gauche) et l'oxyde enterré(à droite). Notons qu'en surface(x = 0 ; Φ(x) = Φ<sub>S1</sub>) et au niveau de l'interface inférieure (x = t<sub>SI</sub>; Φ(x) = Φ<sub>S2</sub>)[15].

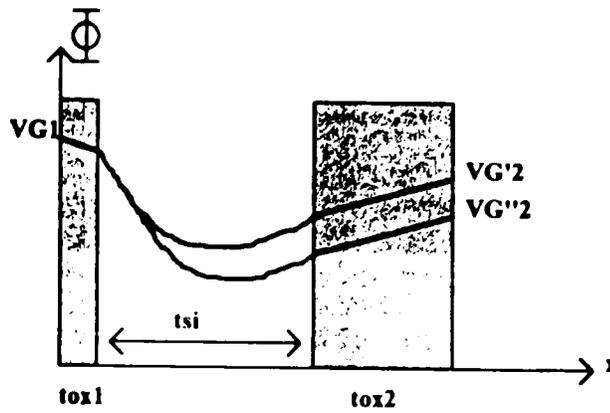


Fig II.7 Potentiel dans le film de Si en fonction de la profondeur x

La grille est polarisée à la tension de seuil (  $V_{G1}=V_{TH}$  )

L'oxyde enterré est donné pour deux polarisation du substrat  $V_{G'2}$  et  $V_{G''2}$

Le champ électrique dans le film de silicium est alors donné par:

$$E(x) = -\frac{qN_A}{\epsilon_{SI}} x - \left( \frac{\Phi_{S2} - \Phi_{S1}}{t_{SI}} - \frac{qN_A t_{SI}}{2\epsilon_{SI}} \right) \tag{II.4}$$

L'application du théorème de GAUSS à l'interface supérieure et inférieure, donne les chutes de tension le long des deux oxydes [13].

$$\Phi_{ox1} = \frac{\epsilon_{SI} E_{S1} - Q_{ox1} - Q_{inv1}}{C_{ox1}} \tag{II.5-a}$$

$$\Phi_{ox2} = -\frac{\epsilon_{SI} E_{S1} - qN_A t_{SI} + Q_{ox2} + Q_{S2}}{C_{ox2}} \tag{II.5-b}$$

- $\Phi_{ox1}$  : Potentiel dans l'oxyde de grille.
- $\Phi_{ox2}$  : Potentiel dans l'oxyde enterré:
- $Q_{ox1}$  : Densité de charges fixes au niveau de l'interface supérieure Si-SiO<sub>2</sub>.
- $Q_{ox2}$  : Densité de charges fixes au niveau de l'interface inférieure Si-SiO<sub>2</sub>.
- $Q_{inv1}$  : Charge d'inversion du canal.
- $Q_{S2}$  : Charge d'une éventuelle couche d'inversion ( $Q_{S2} < 0$ ) ou d'accumulation ( $Q_{S2} > 0$ ).
- $C_{ox1}$  : Capacité de l'oxyde de grille.
- $C_{ox2}$  : Capacité de l'oxyde enterré.

Les potentiels de grilles avant et arrière sont données par :

$$V_{G1} = \Phi_{MS1} + \Phi_{ox1} + \Phi_{S1} \quad (II.6-a)$$

$$V_{G2} = \Phi_{MS2} + \Phi_{ox2} + \Phi_{S2} \quad (II.6-b)$$

$\Phi_{MS1}$  : fonction de travail de sortie de l'interface supérieure.

$\Phi_{MS2}$  : fonctions de travail de sortie de l'interface inférieure.

La combinaison des équations (II.4), (II.5) et (II.6), donne les relations clés décrivant le couplage de charges entre la grille avant et la grille arrière d'un TMOS SOI complètement déplété :

$$V_{G1} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{SI}}{C_{ox1}}\right) \Phi_{S1} - \frac{C_{SI}}{C_{ox1}} \Phi_{S2} - \frac{\frac{Q_{dep}}{2} + Q_{inv1}}{C_{ox1}} \quad (II.7-a)$$

$$V_{G2} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} - \frac{C_{SI}}{C_{ox2}} \Phi_{S1} + \left(1 + \frac{C_{SI}}{C_{ox2}}\right) \Phi_{S2} - \frac{\frac{Q_{dep}}{2} + Q_{S2}}{C_{ox2}} \quad (II.7-b)$$

La tension de seuil sera développée en fonction des différentes conditions de charges possibles en régime permanent au niveau de l'interface inférieure.[18]

### II.5.1) Surface inférieure en accumulation ( $V_{TH1,acc2}$ ):

Dans ce cas la tension de seuil est calculée pour :  $\Phi_{S1} = 2\Phi_F$ ,  $Q_{inv1}=0$  et  $\Phi_{S2} = 0$ . A partir de ( II.7.a ), on trouve :

$$V_{TH1,acc2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{SI}}{C_{ox1}}\right) 2\Phi_F - \frac{Q_{dep}}{2C_{ox1}} \quad (II.8)$$

### II.5.2) Surface inférieure en inversion ( $V_{TH1,inv2}$ ):

L'interface inférieure étant en inversion,  $\Phi_{S2}$  vaut approximativement  $2\Phi_F$ ,  $\Phi_{S1} = 2\Phi_F$  et  $Q_{inv1}=0$ . De l'équation (II.7.a) on a :

$$V_{TH1,inv2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\Phi_F - \frac{Q_{dep}}{2C_{ox1}} \quad (II.9)$$

Notons que le composant est toujours conducteur (état ON) même si  $V_{G1} < V_{TH1,inv2}$  et qu'il n'est pas utilisable en pratique.

### II.5.3) Surface inférieure en déplétion ( $V_{TH1,dep2}$ ):

Dans ce cas,  $\Phi_{S2}$  dépend de la tension  $V_{G2}$  et sa valeur varie de 0 à  $2\Phi_F$ . On définit alors une valeur de  $V_{G2}$  pour laquelle l'interface inférieure entre en accumulation :  $V_{G2,acc}$  avec :  $\Phi_{S1} = 2\Phi_F$ ,  $\Phi_{S2} = 0$  et  $Q_{S2} = 0$ .

On définit également une valeur de  $V_{G2}$  pour laquelle l'interface inférieure entre en inversion :  $V_{G2,inv}$  avec :  $\Phi_{S1} = 2\Phi_F$ ,  $\Phi_{S2} = 2\Phi_F$  et  $Q_{S2} = 0$ .

L'expression (II.7.b) donne alors :

$$V_{G2,acc} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} - \frac{C_{SI}}{C_{ox2}} 2\Phi_F - \frac{Q_{dep}}{2C_{ox2}} \quad (II.10)$$

$$V_{G2,inv} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + 2\Phi_F - \frac{Q_{dep}}{2C_{ox2}} \quad (II.11)$$

La tension de seuil est obtenue par la combinaison de (II.7.a) et (II.7.b) avec  $\Phi_{S1} = 2\Phi_F$  et  $Q_{inv1} = Q_{S2} = 0$ .

$$V_{TH1,dep2} = V_{TH1,acc2} - \frac{C_{SI} C_{ox2}}{C_{ox1} (C_{SI} + C_{ox2})} (V_{G2} - V_{G2,acc}) \quad (II.12)$$

**II.5.4 Effet de la polarisation de la grille arrière [15]**

Pour les composants à film épais, l'effet de la polarisation de la grille arrière peut être négligeable, parcequ'il n'y a pas de couplage de charge. Pour les films minces, l'expression ci-dessous traduit l'effet du substrat:

$$\frac{dV_{TH}}{dV_{G2}} = \gamma = - \frac{\epsilon_{SI} C_{ox2}}{C_{ox1} (\epsilon_{SI} + t_{SI} C_{ox2})} \tag{II.13}$$

Notons que  $\gamma$  est sans dimension, est peut être approximé par:

$$\gamma = - \frac{tox1}{tox2} \tag{II.14}$$

La variation de la tension de seuil avec la polarisation de la grille arrière est illustrée par la figure II.8.

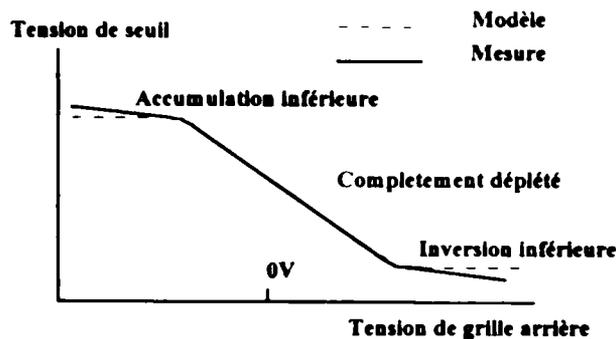


Fig II. Variation de la tension de seuil du TMOS SOI avec la polarisation de la grille arrière.

**II.6 CARACTERISTIQUE DE SORTIE I(V):**

L'expression des caractéristiques de courant  $I_D(V_{G1}, V_{G2}, V_{DS})$  d'un TMOS SOI complètement déplété à film mince peut être obtenue en utilisant les approximations classiques du canal graduel : [19]

- Mobilité constante.
- Dopage uniforme.
- courant de diffusion négligeable.

La loi d'OHM dans une section élémentaire du canal d'inversion, nous permet d'écrire :

$$I_D = W \mu_n |Q_{inv1}(y)| \frac{d\Phi_{SI}}{dy} \tag{II.15}$$

Où  $W$  est la largeur du canal et  $\mu_n$  la mobilité des électrons dans la couche d'inversion. L'intégration de l'équation (II.10) de la source ( $y=0$ ), au drain ( $y=L$ ), donne :

$$I_D = \frac{W}{L} \mu_n \int_{2\Phi_f}^{2\Phi_f + V_{DS}} |Q_{inv1}(y)| \cdot d\Phi_{SI}(y) \tag{II.16}$$

La charge d'inversion  $Q_{inv1}(y)$  est obtenue à partir de l'analyse du couplage de charges, qui par la résolution de l'équation de Poisson et l'application de la loi de Gauss donne : [16].

$$|Q_{inv1}(y)| = C_{ox1} \left[ V_{G1} - V^{f_{FB}} - \left( 1 + \frac{C_{SI}}{C_{ox1}} \right) \Phi_{S1}(y) + \frac{C_{SI}}{C_{ox1}} \Phi_{S2}(y) + \frac{Q_{dep}}{2C_{ox1}} \right] \tag{II.17}$$

où:

$$\Phi_{S2}(y) = \frac{C_{ox2}}{C_{ox2} + C_{SI}} \left[ V_{G2} - V^{b_{FB}} + \frac{C_{SI}}{C_{ox2}} \Phi_{S1}(y) + \frac{Q_{dep}}{2C_{ox2}} + \frac{Q_{S2}(y)}{C_{ox2}} \right] \tag{II.18}$$

Dans (II.17) et (II.18)  $V^{f_{FB}}$  et  $V^{b_{FB}}$  sont respectivement les tensions de bande plate supérieure et inférieure.

$C_{SI} = \frac{\epsilon_{SI}}{t_{SI}}$  : Capacité du film de silicium.

$Q_{S2}(y)$  : Densité de charge au niveau de la surface inférieure.

$Q_{dep} = q N_A t_{SI}$  : Densité de charges de déplétion.

A partir de (II.18) et avec  $\Phi_{S1}(L) = V_{DS} + 2\Phi_f$ ,  $\Phi_{S2}(L) = 0$  et  $Q_{S2}(L) = 0$ , on définit [16] :

$$V_{G2,acc}(L) = V_{G2,acc} - \frac{C_{si}}{C_{ox2}} V_{DS} \tag{II.19}$$

**Avec:**

$$V_{G2,acc} = V_{FB}^b - \frac{C_{si}}{C_{ox2}} 2\Phi_F - \frac{Q_{dep}}{2C_{ox2}} \quad (II.20)$$

et

$$V_{G2,inv} = V_{FB}^b + 2\Phi_F - \frac{Q_{dep}}{2C_{ox2}} \quad (II.21)$$

Où  $V_{G2,acc}$  est la tension qu'il faut appliquer sur la grille arrière afin d'assurer une accumulation au niveau de la surface inférieure.  $V_{G2,inv}$  est la valeur minimale requise pour inverser la surface inférieure. L'expression (II.21) est obtenue de (II.18) avec:

$$\Phi_{S1}(0) = \Phi_{S2}(0) = 2\Phi_F \text{ et } Q_{S2}(0)=0.$$

On distingue alors trois cas selon que la surface inférieure soit en déplétion de la source au drain, ou en accumulation de la source au drain ou encore en accumulation près de la source et en déplétion près du drain [18].

### II.6.1) Accumulation de la source au drain : $V_{G2} < V_{G2,acc}(L)$

La combinaison de (II.17) et (II.18) donne l'expression du courant drain.

$$I_{D,acc2} = \frac{W}{L} \mu_n C_{ox1} \left[ (V_{G1} - V_{TH1,acc2}) V_{DS} - \left( 1 + \frac{C_{si}}{C_{ox1}} \right) \frac{V_{DS}^2}{2} \right] \quad (II.22)$$

La tension drain pour laquelle le courant sature est donnée par  $\left( \frac{dI_D}{dV_{DS}} \right)_{V_{DS} = V_{DSAT}} = 0$

On a alors:

$$V_{DSAT,acc2} = \frac{V_{G1} - V_{TH1,acc2}}{1 + \frac{C_{si}}{C_{ox1}}} \quad (II.23)$$

et le courant de saturation est obtenu par la substitution de l'expression (II.23) dans l'expression (II.22), on aura :

$$I_{DSAT,acc2} = \frac{W}{2L \left( \frac{C_{SI}}{C_{ox1}} + 1 \right)} \mu_n C_{ox1} \left[ (V_{G1} - V_{TH1,acc2})^2 \right] \quad (II.24)$$

La conductance du canal pour de faibles valeurs de VDS est :

$$gd_{acc2} = \frac{W \mu_n C_{ox1}}{L} (V_{G1} - V_{TH1,acc2}) \quad (II.25)$$

La transconductance:

$$gm_{acc2} = \frac{W \mu_n C_{ox1}}{L} V_{DS} \quad (II.26)$$

et

$$g_{m SAT} = \frac{W}{L} \frac{\mu_n C_{ox1}}{\left( 1 + \frac{C_{SI}}{C_{ox1}} \right)} (V_{G1} - V_{TH1,acc2}) \quad (II.27)$$

### II .6.2) Déplétion de la source au drain : $V_{G2,acc} < V_{G2} < V_{G2,inv}$

En combinant (II.17) et (II.18) avec  $Q_{S2}(y) = 0$ , l'expression du courant drain sera :

$$I_{D,dep2} = \frac{W}{L} \mu_n C_{ox1} \left[ (V_{G1} - V_{TH1,dep2}) V_{DS} - \left( 1 + \frac{C_{bb}}{C_{ox1}} \right) \frac{V_{DS}^2}{2} \right] \quad (II.28)$$

Avec :

$$C_{bb} = \frac{C_{SI} C_{ox2}}{(C_{SI} + C_{ox2})} \quad (II.29)$$

Le courant de saturation est alors:

$$I_{DSAT,dep2} = \frac{W}{2L \left( 1 + \frac{C_{bb}}{C_{ox1}} \right)} \mu_n C_{ox1} (V_{G1} - V_{TH1,dep2})^2 \quad (II.30)$$

et

$$V_{DSAT,dep2} = \frac{V_{G1} - V_{TH1,dep2}}{1 + \frac{C_{bb}}{C_{ox1}}} \quad (II.31)$$

### II.6.3 ) Accumulation de la source et déplétion du drain

A des tensions drain élevées, la surface inférieure peut être déplétée près du drain et accumulée près de la source. Si une telle transition dans la condition de charge à lieu en un point  $y_t$  du canal, alors l'expression (II.15) doit s'écrire de la façon suivante: [15]

$$I_D = \frac{W\mu_n}{L} \left( \int_{2\Phi_F}^{\Phi_{S1}(y_t)} |Q_{inv1}(y)|_{\Phi_{S2}(y)=0} \cdot d\Phi_{S1}(y) + \int_{\Phi_{S1}(y_t)}^{2\Phi_F + V_{DS}} |Q_{inv1}(y)|_{\Phi_{S2}(y)=0} \cdot d\Phi_{S1}(y) \right) \quad (II.32)$$

La combinaison de (II.17), (II.18) et (II.32) donne l'expression du courant drain:

$$I_{D,A,+D_s} = \frac{W}{L} \mu_n C_{ox1} \left[ (V_{G1} - V_{TH1,acc2}) V_{DS} - \left( 1 + \frac{C_{bb}}{C_{ox1}} \right) \frac{V_{DS}^2}{2} - \frac{C_{bb}}{C_{ox1}} V_{DS} (V_{G2,acc} - V_{G2}) + \frac{C_{bb}}{C_{ox1}} \frac{C_{ox2}}{C_{SI}} (V_{G2,acc} - V_{G2})^2 \right] \quad (II.33)$$

De même que pour le cas précédent

$$I_{DSAT,A,+D_s} = I_{D,A,+D_s} (V_{DSAT})$$

$$V_{DSAT,A,+D_s} = \frac{(V_{G1} - V_{TH1,acc2}) - \frac{C_{bb}}{C_{ox1}} (V_{G2,acc} - V_{G2})}{1 - \frac{C_{bb}}{C_{ox1}}} \quad (II.34)$$

## II.7 MOBILITE

Tout comme pour le TMOS à substrat, la mobilité des porteurs dans la couche d'inversion décroît pour des champs électriques assez importants. Par exemple citons le modèle de la mobilité suivant [20]:

$$\mu_n(y) = \mu_{max} \left( \frac{E_c}{E_{eff}(y)} \right)^c \tag{II.35}$$

$\mu_{max}$  : Mobilité maximale obtenue pour VGF faible.

$c$  : Paramètre d'ajustement dépendant du processus d'oxydation

$E_{eff}(y)$  : Champs effectif sous l'oxyde donné par :

$$E_{eff}(y) = E_{S1}(y) - \frac{Q_{inv1}(y)}{2\epsilon_{Si}} \tag{II.36}$$

Dans le cas du TMOS SOI,  $E_{S1}(y)$  peut être obtenu de (II.4) avec  $x = 0$ , ce qui donne:

$$E_{S1}(y) = \frac{\Phi_{S1}(y) - \Phi_{S2}(y)}{t_{Si}} + \frac{q N_A t_{Si}}{2\epsilon_{Si}} \tag{II.37}$$

$\Phi_{S2}(y)$  et  $Q_{inv}(y)$  sont donnés par (II.18) et (II.17).

### II.8 Effet canal court

La réduction de la tension de seuil avec la diminution de la longueur du canal et l'augmentation de la tension drain est un effet canal court [21].

Cet effet est dû à une perte de contrôle, par la grille, d'une partie de la charge de déplétion qui se trouve partagée entre la source, la grille avant et la jonction drain [22].

Une expression empirique mais raisonnable, pour déterminer la charge de déplétion contrôlée par la grille, peut être obtenue en utilisant les approximations de la figure (II.9) [15].

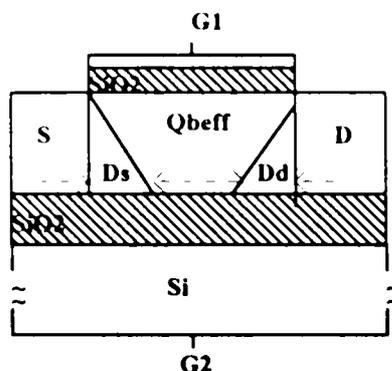


Fig II.9 Distribution de la charge de déplétion dans un TMOS SOI

$$Q_{\text{beff}} = Q_{\text{dep}} \left( 1 - \alpha \frac{D_s + D_d}{2L} \right) \tag{II.38}$$

avec:

$$Q_{\text{dep}} = qN_A X_1 \tag{II.39}$$

et

$$\alpha = \frac{X_1}{X_{\text{dmax}}} \tag{II.40}$$

$X_1$  est la profondeur pour laquelle le potentiel dans le film de Si est minimum.

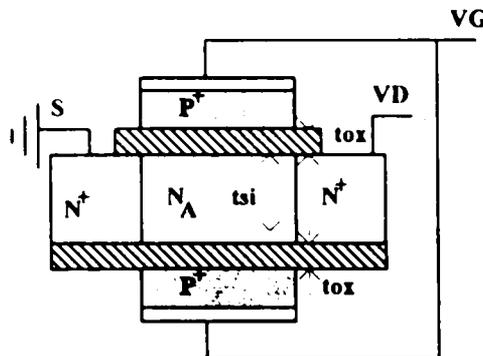
$$X_1 = \left[ \frac{t_{\text{SI}}}{2} + \frac{\epsilon_{\text{SI}} (2\Phi_F - \Phi_{s2})}{q N_A t_{\text{SI}}} \right] \tag{II.41}$$

$D_s, D_d$  : Les bases de la charge triangulaire contrôlée par la source et le drain.

$$D_s = \sqrt{\frac{2\epsilon_{\text{SI}}}{qN_A} \left( \frac{E_g}{2} + \Phi_F \right)} \tag{II.42}$$

$$D_d = \sqrt{\frac{2\epsilon_{\text{SI}}}{qN_A} \left( \frac{E_g}{2} + \Phi_F + V_{\text{DS}} \right)} \tag{II.43}$$

L'optimisation du contrôle par la grille de la charge de déplétion peut être obtenu en utilisant des composants SOI à double grilles présentant un comportement canal court excellent, une haute transconductance et un facteur sous le seuil idéal. (FigII.10) [23]



FigII.10 TMOS SOI à double grilles en polysilicium

Deux autres effets liés au canal court : l'enrichissement de la conductivité induite par le drain (DICE) et l'abaissement de la barrière de potentiel induite par le drain (DIBL), qui par leurs actions modulent le potentiel de surface et la charge du canal. Tant que l'effet DIBL augmente le potentiel de surface en faible inversion, l'effet DICE donne une ascension de la charge du canal sous la grille en forte inversion (§ IV) [24].

**II.9 EFFETS PARASITES (Inhérents au substrat flottant "Body"):**

Plusieurs effets parasites apparaissent dans la région à champ élevé près du drain des TMOS SOI qui se manifestent par :

- 1) Effet KINK.
- 2) Dégradation par électrons chauds.
- 3) Effet bipolaire.

**II.9.1 Effet KINK:**

Les porteurs du canal d'un TMOS SOI opérant à des tensions élevées génèrent des paires électrons-trous par un mécanisme d'ionisation par impact.

Les électrons générés se déplacent rapidement dans le canal et dans le drain, alors que les trous migrent vers la source (potentiel le moins élevé)[15] (Fig II.11).

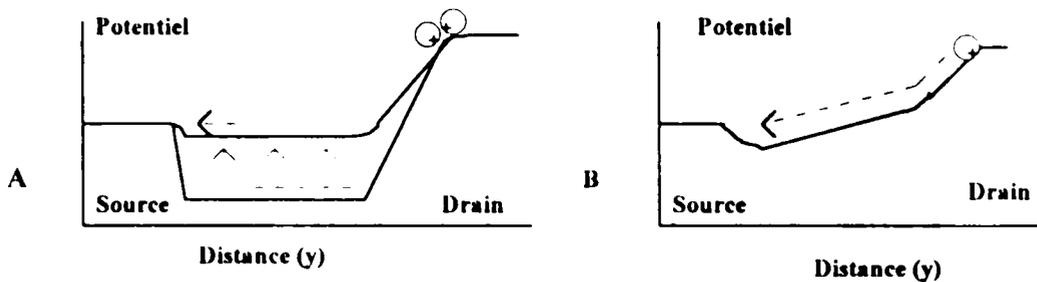


Fig II.11 A: Potentiel dans la région neutre d'un dispositif partiellement déplété avant et après l'amorce de l'effet Kink.

B: Potentiel de la source au drain d'un composant complètement déplété.

L'injection de trous dans le substrat flottant "Body", polarise la diode Source-Substrat en direct et le potentiel du substrat flottant peut être calculé en utilisant l'expression ci-dessous:

$$I_{\text{trou,gcn}} = I_{S0} \left( \exp\left(\frac{qV_{BS}}{nKT}\right) - 1 \right) \tag{II.44}$$

- $I_{\text{trou,gen}}$  : Courant de trous générés par ionisation par impact.  
 $I_{S0}$  : Courant de saturation de la diode Source-Body.  
 $n$  : Facteur d'idéalité de la diode  
 $V_{BS}$  : Potentiel du body.

L'augmentation du potentiel de substrat, diminuera la tension de seuil ce qui induit une augmentation abrupte du courant drain en fonction de la tension de drain (Fig II.12) [25].

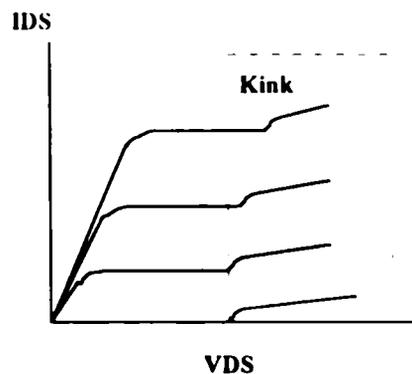


Fig II.12 Effet Kink dans un TMOS SOI à canal N

L'effet KINK est observé dans la région de saturation de la caractéristique  $I(V)$ . Il est négligé pour les composants complètement déplétés où la barrière de potentiel est petite et l'accumulation de trous (et par conséquent la polarisation en direct) est évitée [26].

### II.9.2 Dégradation par électrons chauds

Pendant la dernière décennie, les dimensions des composants ont été extrêmement réduites, mais la tension d'alimentation des circuits intégrés est restée fixée à 5V. Les composants submicroniques auront besoin d'une tension d'alimentation moindre, par exemple 3,5V. Une telle diminution de la tension d'alimentation, réduit la performance en vitesse de ces circuits et il serait très difficile de garder la compatibilité avec le standard 5V [15].

L'une des conséquences de la réduction des dimensions des dispositifs VLSI est l'augmentation du champ électrique qui permet aux porteurs du canal d'inversion d'acquérir une énergie suffisante pour surmonter la barrière de potentiel Si-SiO<sub>2</sub>. Ceci favorise la multiplication des porteurs chauds dans l'oxyde de grille, et conduit à une dégradation des paramètres du transistor, donc à une limitation de ces performances. La dégradation des paramètres électriques est ce qu'on appelle le vieillissement [2].

- $I_{\text{trou,gen}}$  : Courant de trous générés par ionisation par impact.  
 $I_{S0}$  : Courant de saturation de la diode Source-Body.  
 $n$  : Facteur d'idéalité de la diode  
 $V_{BS}$  : Potentiel du body.

L'augmentation du potentiel de substrat, diminuera la tension de seuil ce qui induit une augmentation abrupte du courant drain en fonction de la tension de drain (Fig II.12) [25].

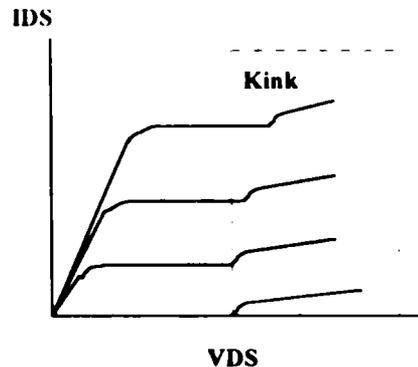


Fig II.12 Effet Kink dans un TMOS SOI à canal N

L'effet KINK est observé dans la région de saturation de la caractéristique  $I(V)$ . Il est négligé pour les composants complètement déplétés où la barrière de potentiel est petite et l'accumulation de trous (et par conséquent la polarisation en direct) est évitée [26].

### II.9.2 Dégradation par électrons chauds

Pendant la dernière décennie, les dimensions des composants ont été extrêmement réduites, mais la tension d'alimentation des circuits intégrés est restée fixée à 5V. Les composants submicroniques auront besoin d'une tension d'alimentation moindre, par exemple 3,5V. Une telle diminution de la tension d'alimentation, réduit la performance en vitesse de ces circuits et il serait très difficile de garder la compatibilité avec le standard 5V [15].

L'une des conséquences de la réduction des dimensions des dispositifs VLSI est l'augmentation du champ électrique qui permet aux porteurs du canal d'inversion d'acquérir une énergie suffisante pour surmonter la barrière de potentiel Si-SiO<sub>2</sub>. Ceci favorise la multiplication des porteurs chauds dans l'oxyde de grille, et conduit à une dégradation des paramètres du transistor, donc à une limitation de ces performances. La dégradation des paramètres électriques est ce qu'on appelle le vieillissement [2].

La durée de vie des dispositifs peut être liée à l'amplitude d'injection des porteurs chauds dans l'oxyde de grille, et est définie par : [27]

$$\tau = \frac{W}{I_{DS}} (M - 1)^{-m} \tag{II.45}$$

- $I_{DS}$  : Courant drain
- $W$  : Largeur du dispositif.
- $m \cong 3$

$$M - 1 \cong \frac{A_i}{B_i} (V_{DS} - V_{DSAT}) \exp\left[\frac{-B_i l_c}{V_{DS} - V_{DSAT}}\right] \tag{II.46}$$

$A_i = 1,4 \cdot 10^6 \text{ cm}^{-1}$  et  $B_i = 2,6 \cdot 10^6 \text{ Vcm}^{-1}$  sont des constantes d'ionisation par impact.

$l_c$  : longueur caractéristique qui dépend de l'épaisseur du film de silicium.

$V_{DSAT}$  : Tension de saturation.

$M$  : Facteur de multiplication des porteurs.

La figure (II.13) représente le facteur de multiplication ( $M-1$ ) en fonction de la tension drain  $V_{DS}$  pour des dispositifs MOS de même géométrie.

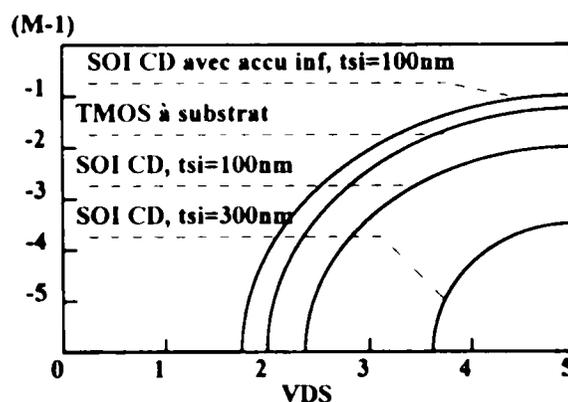


Fig II.13 Facteur de multiplication ( $M-1$ ) en fonction de la tension drain,  $L=1\mu\text{m}$ ,  $V_G-V_{TH}=1,5$  [15].

### II.9.3 Effet bipolaire

La structure NPN dans le cas d'un TMOS SOI à body flottant réduit beaucoup la tension de claquage du drain de ces composants[28]. En effet, les électrons sont injectés dans le body (base) à partir de la source (émetteur) et sont collectés par le drain (collecteur). Le courant drain additif augmente le mécanisme d'ionisation par impact (Fig II.14). Le résultat se

résume en un claquage prématuré ou bien en un latch-up (perte de contrôle de la grille) qui cause des problèmes de courant dans les circuits CMOS SOI [26].

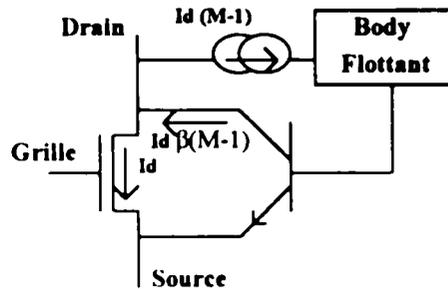


Fig II.14 Effet du transistor Bipolaire parasite, Avec  $I_d$  le courant du canal

$I_d$  : Courant du canal.

$I_d (M-1)$  : Courant du body.

$\beta I_d (M-1)$  : Courant du body amplifié par le transistor bipolaire.

La tension de claquage du transistor bipolaire à base ouverte,  $BV_{CE0}$ , est plus petite si la base est reliée à la masse,  $V_{CB0}$ , et la relation liant les deux est [15]:

$$BV_{CE0} = \frac{BV_{CB0}}{\sqrt[n]{\beta}} \tag{II.47}$$

$3 < n < 6$  et  $\beta$  gain du transistor bipolaire défini par:

$$\beta \cong 2 \left( \frac{L_n}{L_b} \right)^2 - 1 \tag{II.48}$$

$L_b$  : Longueur de la base qui peut être supposée égale à la longueur effective du canal.

$L_n$  : Longueur de diffusion des électrons:  $L_n = \sqrt{D_n \tau_n}$ .

En substituant (II.47) dans ( II.48 ) et en prenant le tension de claquage du drain avec body flottant égal à  $BV_{DS}$  on obtient:

$$BV_{DS} = \frac{BV_{CB0}}{\sqrt[n]{\frac{2D_n \tau_n}{L^2} - 1}} \tag{II.49}$$

avec :  $D_n = \frac{KT}{q} \mu_n$  coefficient de diffusion des minoritaires (électrons).

Les expressions (II.48) et (II.49) sont valables seulement si  $L_n \gg L_{base} \Leftrightarrow \beta \gg 1$

Se basant sur la relation (II.49), un abaque décrivant  $BV_{DS}/BV_{CB0}$  en fonction de la longueur du canal, peut être construit en considérant  $\tau_n$  comme paramètre. (Fig II.15)

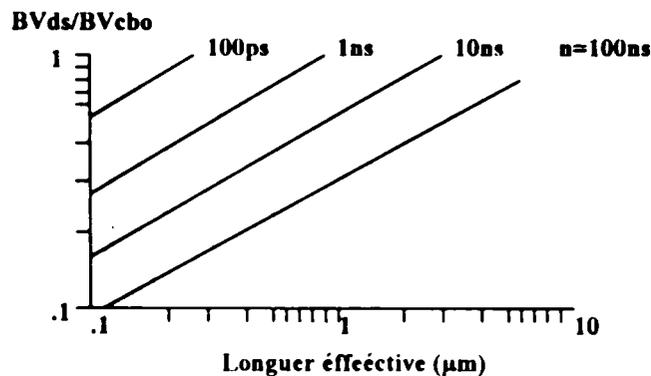


Fig II.15 Relation entre la réduction de la tension de claquage du drain, la longueur du canal et la durée de vie des porteurs minoritaire dans un dispositif SOI.

La tension de claquage du drain est contrôlée par la tension de claquage du transistor bipolaire à émetteur commun  $V_{CB0}$  qui se présente lorsque  $\beta(M-1) = 1$ .

$\beta$  et  $M$  sont non linéaires,  $M$  croît avec la tension drain en conséquence de l'augmentation du champ électrique du drain et  $\beta$  décroît avec  $V_{DS}$  à cause de la forte injection dans le body (base du transistor bipolaire [29]).

## II.10 CONCLUSION

Ce chapitre a été consacré à l'étude des notions fondamentales sur lesquelles s'appuie l'analyse du comportement électrique du TMOS SOI. Un rappel sur les principaux effets parasites influant sur son fonctionnement a été donné pour pouvoir dégager les divers avantages apportés par ce nouveau type de TMOS et qui serviront de base pour l'étude comparative qui fera l'objet du chapitre suivant.

# CHAPITRE III

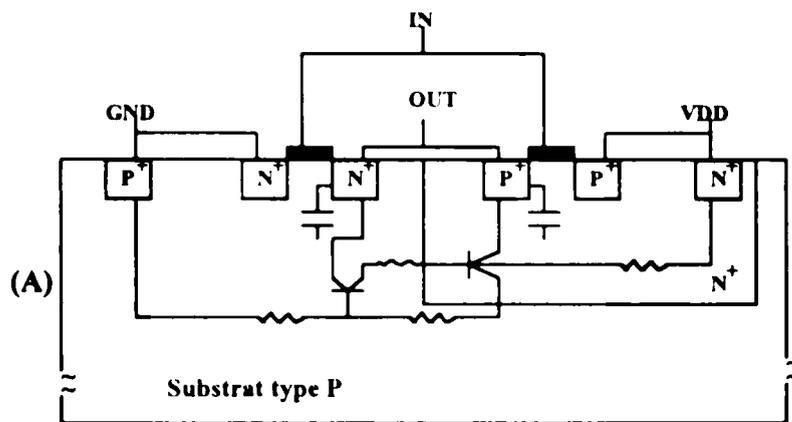
### III. ETUDE COMPARATIVE DES TMOS BULK ET SOI

#### III.1 INTRODUCTION

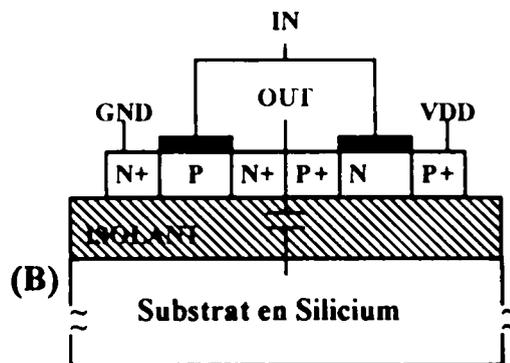
La technologie silicium sur isolant à film mince, est devenue très importante pour les circuits VLSI. Les transistors fabriqués par le biais de tels films possèdent, relativement aux transistors à technologie Bulk, une meilleure isolation ainsi qu'une réduction des effets parasites. Le but de ce chapitre sera de décrire les performances des TMOS SOI par rapport aux TMOS en technologie Bulk.

#### III.2 PHENOMENE DE LATCH-UP (DEVERROUILLAGE)

Un des problèmes inhérents aux circuits CMOS en technologie Bulk est le **latch-up** qui, trouve son origine dans la structure NPNP de l'inverseur CMOS, représentée sur la figure (III.1), faisant apparaître un "micro thyristor" parasite [30].



(A) CMOS à substrat.



(B) CMOS SOI

Fig III.1 Section d'un inverseur CMOS.

Les dopages et les dimensions géométriques de la technologie CMOS confèrent naturellement aux deux transistors bipolaires des gains intrinsèques en courant dont la somme s'approche de l'unité déclenchant ainsi le thyristor qui devient passant et mettra en court circuit l'alimentation, ce qui aboutit à la mise hors service de la cellule [3].

Dans un circuit constitué de transistors MOS sur SOI, chaque transistor est isolé électriquement de ses voisins par l'oxyde enterré. Il n'existe pas de chemin vers le substrat, et la structure NPNP latérale contient des bases fortement dopées (Drain N+ et P+) ce qui amène le gain de la boucle virtuellement à zéro. Le latch-up se trouve donc contourné dans les circuits CMOS SOI [30].

### III.3 COURANT DE FUITE

Le courant de fuite d'une jonction N+ P en sens bloquant est donné par : [15]

$$I = qA \left( \frac{D_n}{\tau_n} \right)^{\frac{1}{2}} \cdot n_i^2 + qAn_i \left( \frac{W}{\tau_e} \right) \quad (III.1)$$

où :

$$n_i(T) = 3,9 \cdot 10^6 \cdot T^{\frac{3}{2}} \cdot e^{\frac{-E_g}{2KT}} \quad (III.2)$$

Avec:

- q : La charge de l'électron.
- A : La surface de la jonction.
- Dn : Le coefficient de diffusion des électrons.
- τn : La durée de vie des électrons dans le silicium type P.
- ni : La concentration intrinsèque des porteurs.
- W : La profondeur de la zone de déplétion .
- τe : La durée de vie effective des porteurs dans la zone de déplétion .
- Na : La concentration de dopage.
- Eg : La largeur de la bande interdite.

L'expression (III.1) montre que le courant de fuite est proportionnel à la taille des jonctions. Dans le TMOS bulk, il existe des courants entre drain et substrat et entre puits et substrat. Ces jonctions bloquées présentent une surface énorme. Par contre dans un TMOS SOI, il n'y a plus de puits puisque les transistors sont isolés les uns des autres par l'oxyde

enterré, et de plus la surface de la jonction drain-substrat est beaucoup plus petite (figure III.2).

Le premier terme de l'expression (III.1) proportionnel à  $n_i^2$ , représente le terme de diffusion, et le second, proportionnel à  $ni$ , est le terme de génération-recombinaison. Il a été montré expérimentalement [30] que pour une diode bloquée, le terme de génération-recombinaison prédomine jusqu'à une certaine température (100°C-150°). Ensuite, à plus hautes températures, le terme de diffusion s'impose et le courant de fuite sera proportionnel à  $n_i^2$ . Ceci est valable seulement pour les jonctions d'un TMOS à substrat.

Par contre pour les TMOS SOI, en dessous d'une certaine température (220°C-240°C), le filme du silicium du substrat SOI est complètement déplété et ne présente pas de courant de diffusion. Seul reste le courant de génération-recombinaison et le courant de fuite varie alors comme  $ni$ . Au dessus de cette température, il y a apparition d'une zone quasi-neutre et d'un courant de diffusion prédominant variant en  $n_i^2$ .

A température ambiante on peut noter que le SOI se comporte moins bien que le bulk, cela est dû à une valeur relativement faible de la durée de vie effective des porteurs,  $\tau_e$ , dans la zone de déplétion (figure III.2).

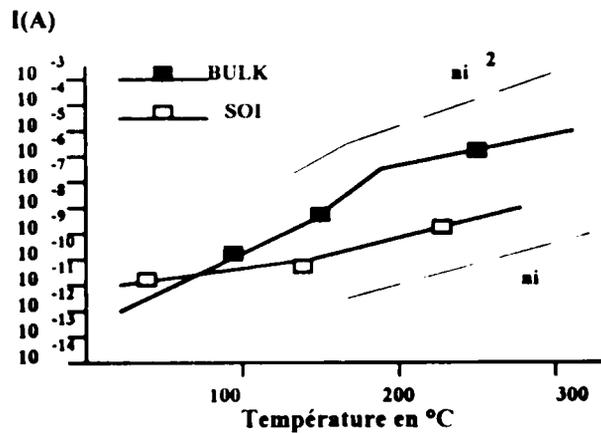


Fig III.2 Courant de fuite dans un TMOS Bulk et SOI de même géométrie [30]

### III.4 TENSION DE SEUIL

La tension de seuil d'un TMOS à substrat est donnée par :[30]

$$V_{TH} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} + 2\Phi_F - \frac{Q_{dep}}{C_{ox}} \tag{III.3}$$

Avec :

$\Phi_{MS}$  : La différence des fonctions de travail de sortie Métal-Semiconducteur.

$\Phi_F$  : Le potentiel de Fermi.

$Q_{ox}$  : La densité de charge dans l'oxyde.

$Q_{dep}$  : La charge de déplétion contrôlée par la grille.

$C_{ox}$  : La capacité de l'oxyde de grille.

Pour une grille en polysilicium de type N+ :

$$\Phi_{MS} = \frac{-E_g}{2} - \Phi_F \quad (III.4)$$

$$\Phi_F = \frac{KT}{q} \ln\left(\frac{N_A}{ni}\right) \quad (III.5)$$

Pour calculer la variation de la tension de seuil avec la température, on peut faire l'hypothèse que  $Q_{ox}$  et  $E_g$  ne dépendent pas de la température.

$$\frac{dV_{TH}}{dT} = \frac{d\Phi_F}{dT} - \frac{1}{C_{ox}} \frac{dQ_{dep}}{dT} \quad (III.6)$$

Dans le cas d'un TMOS Bulk ou SOI partiellement déplété, l'expression de  $Q_{dep}$  est :

$$Q_{dep} = qN_A X_{dmax} = q N_A \sqrt{\frac{4\epsilon_{si}\Phi_F}{qN_A}} \quad (III.7)$$

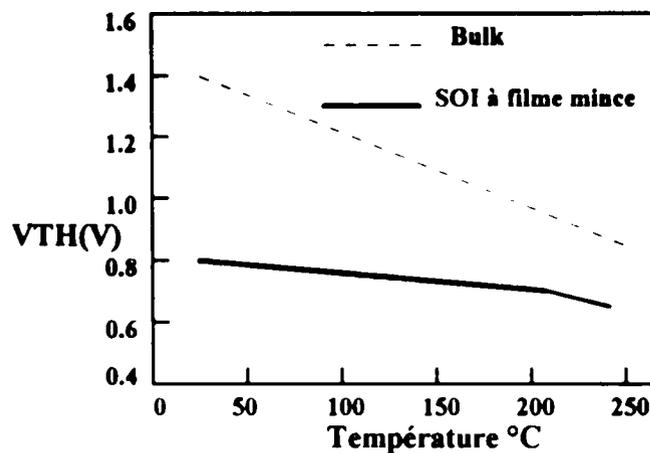
L'expression (III.6) montre que la tension de seuil est fonction de la variation de la charge de déplétion avec la température.

$$\frac{dQ_{dep}}{dT} = \frac{q}{C_{ox}} \sqrt{\frac{N_A \epsilon_{si}}{KT \ln\left(\frac{N_A}{ni}\right)}} - \frac{d\Phi_F}{dT} \quad (III.8)$$

$$\frac{d\Phi_F}{dT} = 8,63 \cdot 10^{-5} \left[ \ln\left(\frac{N_A}{ni}\right) - 15,16 - \frac{3}{2}(1 + \ln(T)) \right] \quad (III.9)$$

Dans le cas d'un TMOS SOI complètement déplété, on peut considérer que la charge de déplétion ne varie pas avec la température, donc :

$$\frac{dV_{TH}}{dT} = \frac{d\Phi_F}{dT} \quad (III.10)$$



**Fig III.3** Variation de la tension de seuil d'un TMOS Bulk et SOI de type N avec la température [30]

Les valeurs typiques pour  $dV_{th}/dT$  sont de  $-2,4mV/^{\circ}K$  à  $-4mV/^{\circ}K$  pour les TMOS Bulk et les SOI partiellement déplétés, d'une part et de  $-0,7mV/^{\circ}K$  à  $-1,5mV/^{\circ}K$  pour les SOI complètement déplétés d'autre part.

Quand la température augmente, la concentration des porteurs  $n_i$  augmente et  $\Phi_F$  diminue selon l'équation (III.5). Cela a pour conséquence une diminution de la largeur de la zone de déplétion. A partir d'une certaine température,  $T_k$ , cette largeur devient inférieure à l'épaisseur effective du substrat vue de la grille  $t_{Si_{eff}}$ .

$$t_{Si_{eff}} = t_{Si} - x_d \quad (III.11)$$

Au dessous de cette température critique, le transistor est partiellement déplété, le substrat est flottant, et la dépendance en température est celle d'un Bulk (figure III.3).

### III.5 TRANSPORT DE COURANT

Le transport de courant dans le cas d'un TMOS SOI dépend essentiellement de trois facteurs : Le courant de saturation, la transconductance et la mobilité des porteurs dans la couche d'inversion.

#### III.5.1 COURANT DE SATURATION (Fig III.4)

L'expression généralisée du courant de saturation est donnée par [15]:

$$I_{DSAT} = \frac{W\mu_n C_{ox}}{2L(1+\alpha)} (V_G - V_{TH})^2 \tag{III.12}$$

Où  $\alpha$  , représente le rapport de deux capacités  $C_b/C_{ox}$  avec:

$$C_b = \begin{cases} C_d = \frac{\epsilon_{SI}}{X_{dmax}} : \text{Capacité de déplétion d 'un TMOS à substrat .} \\ C_{SI} = \frac{\epsilon_{SI}}{t_{SI}} : \text{Capacité de déplétion pour un SOI avec accumulation au niveau de l 'interface inférieur .} \\ C_{bb} = \frac{C_{SI} C_{ox2}}{C_{SI} + C_{ox2}} : \text{Capacité équivalente à la mise en série de } C_{SI} \text{ est de la capacité de l 'oxyde enterré .} \end{cases}$$

Les valeurs de  $\alpha$  sont dans l'ordre suivant:

$$\alpha (\text{SOI CD}) < \alpha (\text{bulk}) < \alpha (\text{SOI} + \text{acc inf}). \tag{III.13}$$

Par conséquent, le courant de saturation est alors plus grand pour un composant SOI CD, moins important pour un bulk et beaucoup moins important pour un SOI avec accumulation de l'interface inférieure. La forte saturation mène à un accroissement du transport du courant, ce qui contribue largement à l'amélioration des performances en vitesse des circuits CMOS.

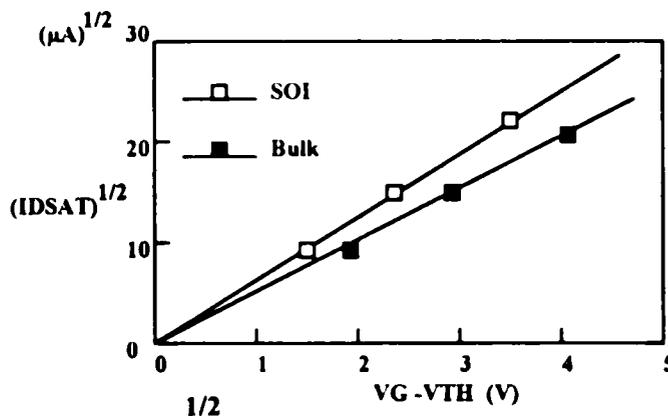


Fig III.4 ( $I_{DSAT}$ ) en fonction de  $(V_G - V_{TH})$  pour un Bulk et un SOI CD à film mince pour les mêmes paramètres technologiques [15].

### III.5.2 TRANSCONDUCTANCE

La transconductance est une mesure de l'efficacité du contrôle du courant drain par la tension de grille. Une expression généralisée est donnée par l'équation suivante .

$$g_m = \frac{dI_D}{dV_G} \cong \frac{W\mu_n C_{ox}}{L(1+\alpha)} (V_G - V_{TH}) \quad (III.14)$$

D'après l'analyse précédente, la transconductance est plus élevée pour un SOI CD, moins élevée pour un bulk et beaucoup moins élevée pour un SOI avec accumulation de l'interface inférieure.

### III.5.3 MOBILITE:

La mobilité des porteurs dans la couche d'inversion dépend du champs électrique transversal sous l'oxyde de grille dont l'expression est donnée par :[20]

$$E_{eff}(y) = E_{S1}(y) - \frac{Q_{inv1}(y)}{2\epsilon_{SI}} \quad (III.15)$$

$$E_{S1}(y) = \frac{\Phi_{S1}(y) - \Phi_{S2}(y)}{t_{SI}} + \frac{q N_A t_{SI}}{2\epsilon_{SI}} \quad (III.16)$$

Dans une première approximation,  $\Phi_{s1}$  et  $\Phi_{s2}$  sont considérés indépendants de  $y$ . Deux cas peuvent se présenter lorsque la tension de drain est faible : [18]

a) Si la surface inférieure est déplétée et proche de l'inversion alors:

$$\begin{aligned} \Phi_{S1} &= \Phi_{S2} \\ \text{et} & \end{aligned} \quad (III.17)$$

$$E_{S1}(y) = \frac{q N_A t_{SI}}{2\epsilon_{SI}} < E_{SBulk} = \frac{q N_A X_{dmax}}{\epsilon_{SI}}$$

b) Si la surface inférieure est en accumulation alors:

$$\begin{aligned} \Phi_{S1} - \Phi_{S2} &= 2\Phi_F \\ \text{et} & \\ E_{S1}(SOI) &> E_S (Bulk) \end{aligned} \quad (III.18)$$

La réduction du champ électrique surfacique signifie l'élargissement du canal d'inversion qui mène à l'accroissement de la mobilité en surface pour les composants SOI CD à film mince.

### III.6 CAPACITES PARASITES [15]

Dans les dispositifs MOS en technologie bulk, la capacité parasite drain-substrat (ou source-substrat) est constituée par deux composantes : Une capacité entre la jonction et le substrat lui même et une autre entre la jonction et le canal sous l'oxyde de champs. Et parce que la géométrie des dispositifs va en diminuant, les substrats sont de plus en plus dopés et par conséquent les capacités de jonctions (parasites) augmentent.

Par contre dans les dispositifs SOI, la capacité de jonction possède seulement une composante relative à la capacité de la structure MOS constituée par la jonction (l'électrode de grille de la structure MOS), l'oxyde enterré (l'oxyde de grille de la structure MOS), et le substrat en silicium (substrat de la structure MOS) (Figure III.5.B).

Cette capacité peut être moins importante que la capacité de l'oxyde enterré, qui est typiquement plus petite que la capacité de jonction d'un TMOS à substrat. Cette réduction des capacités parasites traduit l'excellente performance, côté vitesse des circuits CMOS SOI. De plus, l'épaisseur de l'oxyde enterré n'a pas à être réduite quand la géométrie des dispositifs diminue. Ce qui renforce l'avantage des capacités SOI sur les capacités en substrat lorsque les technologies sont poussées vers des dimensions submicroniques

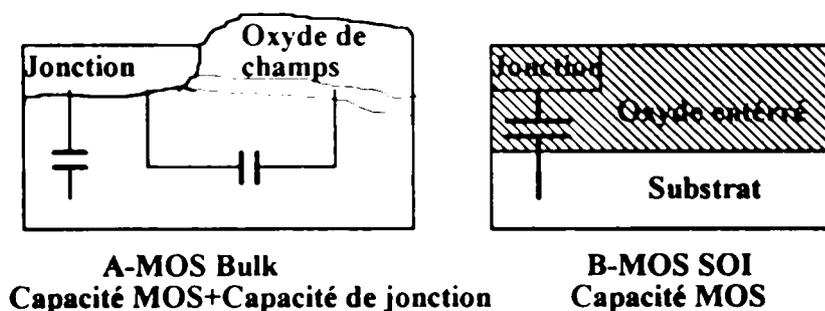


Fig III.5 Capacités parasites [15].

### III.7 PENTE SOUS LE SEUIL

L'amélioration de la pente inverse sous le seuil,  $S$ , est d'une grande importance pour les circuits VLSI à grande vitesse. [31]

La valeur de  $S$  peut être approximée par :[31]

$$S = \frac{kT}{q} \ln(10) \left( 1 + \frac{C_D + C_{it}}{C_{ox}} \right) \quad (III.19)$$

Où:

$C_{it} = q \cdot D_{it}$  :Capacité des pièges à l'interface.

$D_{it}$  : Leur densité.

$C_D$  : capacité de déplétion.

$C_{ox}$  : capacité de l'oxyde de grille

Dans le cas des TMOS SOI à film épais, la capacité de déplétion est fonction du niveau de dopage tout comme le bulk, et plus petite est la capacité de déplétion, meilleure est la pente sous le seuil.

Et dans le cas des TMOS SOI à film mince l'épaisseur du film peut être plus petite que la largeur de déplétion maximale pour un niveau de dopage donné. Une fois le film complètement déplété, toute augmentation de la tension de grille ne provoquera aucune augmentation de la charge de déplétion ( $\frac{dQ_{dep}}{dV_G} = 0$ ) mais elle provoquera un accroissement brusque du potentiel de surface ainsi qu'un accroissement de la concentration des électrons dans la couche d'inversion. Donc la valeur de  $S$  doit être plus petite dans les TMOS SOI à film mince que dans ceux à film épais. Pour les film minces,  $S$  tend vers la valeur minimale de  $\frac{kT}{q} \ln(10) \left( 1 + \frac{C_{it}}{C_{ox}} \right)$ , tandis que pour les films épais, elle atteint la valeur du bulk donnée par (III.19):

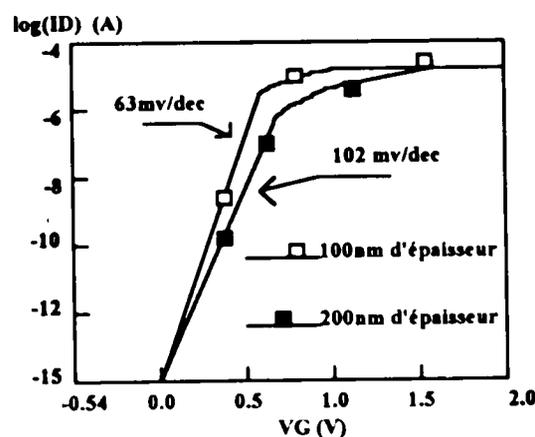


Fig III.6. Caractéristiques ID(VG) d'un SOI partiellement déplété de 200nm d'épaisseur et d'un SOI CD de 100nm d'épaisseur [31]

La figure (III.6) met en évidence l'amélioration de la pente sous le seuil pour des TMOS SOI à film mince renforçant ainsi le potentiel de ces composants pour des applications à vitesse élevée.

### III.8 PHENOMENE AVALANCHE ET CLAQUAGE DU DRAIN:[28]

Pour les TMOS à substrat à canal court, le claquage du drain est typiquement limité par le perçage. Le champ électrique latéral drain-source peut causer un abaissement significatif de la barrière de potentiel au niveau de la source (DIBL). Ceci résulte en un perçage du substrat qui peut mener à un courant de fuite élevé dégradant ainsi les performances du composant .

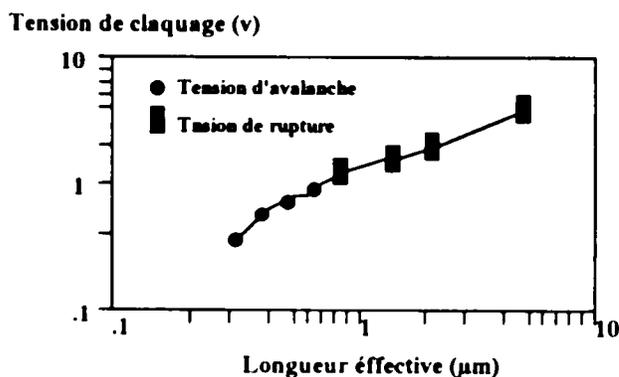


Fig III.7 Tension de claquage et de rupture par un TMOS SOI en fonction de la longueur de grille [28]

Pour les TMOS SOI à canal court, la figure (III.7) montre que pour des longueurs inférieures à 0,8 µm, les composants possèdent un comportement d'avalanche, ceci est dû à la mise en conduction du transistor bipolaire parasite à des niveaux modérés d'ionisation par impact avant d'atteindre le champ critique qui mènera au claquage de la jonction.

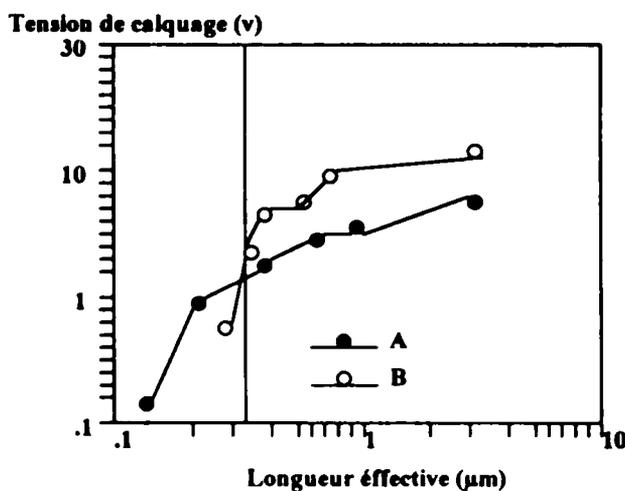


Fig III.8 Tension de claquage mesurée comme une fonction de la longueur de grille

... A: TMOS SOI, B: TMOS à substrat [28].

La tension de claquage mesurée comme une fonction de la longueur effective pour les composants SOI et Bulk est illustrée par la figure (III.8). Il est clair à partir de ces résultats que la tension de claquage mesurée est plus élevée dans les composants Bulk presque pour toutes les longueurs.

Dans le cas du TMOS SOI CD sans LDD, et de longueur de grille très courte (0,14 μm), la tension de claquage du drain est plus élevée que celle du bulk, ce qui corrobore l'idée que le TMOS SOI peut devenir une technologie de choix pour les applications CMOS submicroniques .

### III.9 CONCLUSION

Les avantages des différents types de TMOS SOI sont reportés sur le tableau III.2, où sont comparées quelques propriétés électriques des composants. Les composants à substrat sont pris comme référence.[15]

	Bulk	Soi à film épais	SOI à film mince avec acc inf	SOI à film mince CD
Mobilité	0	0	0/-	+
Transconductance	0	0	0/-	+
Effet canal court	0	0	+	0/+
Capacité Source&Drain	0	+	+	+
Porteurs chauds	0	0/+	0/-	+
Pente sous le seuil	0	0	0/-	+
Sensibilité de VTH Avec l'épaisseur du film	0	0	-	-
Kink	0	-	-	0
Effet Bipolaire parasite	0	-	-	0/-

Comparaison de quelques propriétés électriques entre le TMOS SOI et à Substrat [15]

0 : Même que le TMOS à substrat.

+: Meilleur que le TMOS à substrat.

- : Moins performant que le TMOS à substrat

On peut noter que les dispositifs SOI à films minces complètement déplétés et sans accumulation à l'interface inférieure offrent de meilleures caractéristiques pour les applications ULSI (Ultra- Large-Scale-Intégration).

# CHAPITRE IV

# CHAPITRE IV

## IV MODELE STATIQUE DU TMOS SOI

### IV.1 INTRODUCTION

Le développement récent de la technologie de fabrication des circuits intégrés MOS (SOI) promus par les avantages fondamentaux de l'isolation diélectrique, ont simulé l'intérêt de la modélisation des TMOS SOI à film mince. Un modèle précis qui prend en compte l'unicité structurelle du composant est nécessaire pour la conception assistée par ordinateur.

Dans ce chapitre, est présenté un modèle statique à canal court du TMOS SOI à enrichissement et à film mince en forte inversion (Fig IV.1). Ce modèle, tient compte des effets canal court prédominants (réduction de la tension de seuil due au partage de charge, l'enrichissement de la conductivité du canal dû à la polarisation du drain, la dégradation de la mobilité, la modulation de la longueur du canal et le courant de génération dû à l'ionisation par impact). Le modèle est implanté dans le simulateur électrique SPICE3 F4 pour son utilisation dans la conception assistée par ordinateur.

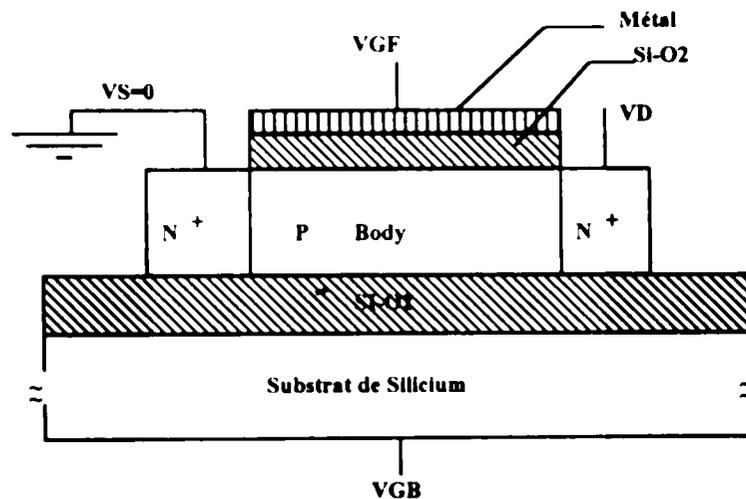


Fig IV.1 Structure du TMOS SOI à canal N

### IV.2 EXPRESSION DE CHARGE ET TENSION DE SEUIL.

Si le film de silicium est complètement déplété, alors la densité de charge d'inversion est obtenue à partir de l'analyse du couplage de charge (§II) qui, combinée avec l'équation de

poisson pour un film de silicium CD et avec l'application du théorème de Gauss aux interfaces Si-SiO<sub>2</sub> donne:

$$Q_{cf_0} = -C_{of} \left( V_{GFS} - V_{FFB} - \left( 1 + \frac{C_b}{C_{of}} \right) \Psi_{SF0} + \frac{C_b}{C_{of}} \Psi_{SB0} + \frac{Q_{beff}}{2C_{of}} \right) \quad (IV.1)$$

$$Q_{cb_0} = -C_{ob} \left( V_{GBS} - V_{BFB} - \left( 1 + \frac{C_b}{C_{ob}} \right) \Psi_{SB0} + \frac{C_b}{C_{ob}} \Psi_{SF0} + \frac{Q_{beff}}{2C_{ob}} \right) \quad (IV.2)$$

Avec :

$C_{of} = \epsilon_{ox}/toxf$  : Capacité par unité de surface de l'oxyde supérieur d'épaisseur  $toxf$ .

$C_{ob} = \epsilon_{ox}/toxb$  : Capacité par unité de surface de l'oxyde enterré d'épaisseur  $toxb$ .

$C_b = \epsilon_s/tb$  : Capacité de déplétion du film de silicium.

$Q_{cf_0}$  : Charge d'inversion du canal supérieur à tension drain nulle.

$Q_{cb_0}$  : Charge d'accumulation éventuelle au niveau de l'interface inférieure.

$Q_{bef}$  : Charge de déplétion effective contrôlée par les grilles.

$V_{FFB}$  : Tension de bande plate de la grille avant.

$V_{BFB}$  : Tension de bande plate de la grille arrière.

$tb$  : Epaisseur du film de silicium.

$\Psi_{sfo}$  : Potentiel de surface supérieure.

$\Psi_{sbo}$  : Potentiel de surface inférieure.

La charge de déplétion dans le film de silicium se divise en trois portions comme l'indique la figure IV.2. La portion ① contrôlée par les grilles avant et arrière est définie approximativement par un trapèze et la charge de déplétion par unité de surface est donnée par [22].

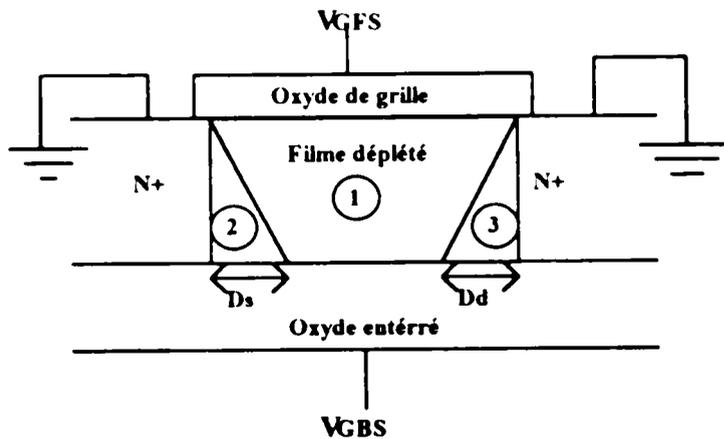


Fig IV.2 Modèle de partage de charge pour un TMOS SOI à film mince.

$$Q_{beff} = \left(1 - \frac{D_S + D_D}{2L}\right) (qN_A tb)$$

Avec

(IV.3)

$$D_S = \frac{V_b - \Psi_{SB0}}{E_{befs}} \quad \text{et} \quad D_D = \frac{V_b + V_{DS} - \Psi_{SB0}}{E_{befd}}$$

Avec:

$V_b$  : Potentiel de diffusion de la jonction Source-Substrat et Drain-Substrat.

$$E_{befs} = \sqrt{\frac{qN_A (V_b - \Psi_{SB0})}{2\epsilon_s}} + f_\alpha \frac{\epsilon_{OX}}{\epsilon_s} \frac{V_{GBS} - V_{BFB} - \Psi_{SB0}}{t_{ob}} + f_\beta \frac{\epsilon_{OX}}{\epsilon_s} \frac{V_b - V_{GBS} + V_{BFB}}{t_{ob}} \quad (IV.4)$$

$$E_{befd} = \sqrt{\frac{qN_A (V_b + V_{DS} - \Psi_{SB0})}{2\epsilon_s}} + f_\alpha \frac{\epsilon_{OX}}{\epsilon_s} \frac{V_{GBS} - V_{BFB} - \Psi_{SB0}}{t_{ob}} + f_\beta \frac{\epsilon_{OX}}{\epsilon_s} \frac{V_b + V_{DS} - V_{GBS} + V_{BFB}}{t_{ob}} \quad (IV.5)$$

$f_\alpha$  et  $f_\beta$  sont des paramètres empiriques.

Si  $V_{DS}$  est nulle, alors  $D_S = D_D = d$  et l'expression (IV.3) se réduit à :

$$Q_{beff} = \left(1 - \frac{d}{L}\right) (qN_A tb) \quad (IV.6)$$

La tension de seuil à tension drain nulle peut être déduite de l'expression (IV.1) en écrivant:

$$Q_{cf0} = -C_{of} (V_{GFS} - V_{TF0}) \quad (IV.7)$$

Où

$$V_{TF0} = V_{FFB} + \left(1 + \frac{C_b}{C_{of}}\right) \Psi_{SF0} - \frac{Q_{beff}}{2C_{of}} - \frac{C_b}{C_{of}} \Psi_{SB0} \quad (IV.8)$$

Avec  $\Psi_{SF} = 2\Phi_B$  où  $\Phi_B$  Potentiel de Fermi.

### IV.3.CONDITION DE CHARGE DE L'INTERFACE INFERIEURE[18][15]

A des valeurs suffisamment négatives de  $V_{GBS}$ , la surface inférieure est en accumulation de la source au drain. Comme  $V_{GBS}$  peut éventuellement augmenter et à  $V_{GBS} = V_{GBS}^A(L)$ , la surface inférieure peut se dépléter près du drain.

De l'expression (IV.2) et avec  $\Psi_{SF0}(L) = V_{DS} + 2\Phi_B$ ,  $\Psi_{SB0}(L) \approx 0$  et  $Q_{cb0}(L) \approx 0$  on a:

$$V_{GBS}^A(L) = V_{GBS}^A - \frac{C_b}{C_{ob}} V_{DS} \quad (IV.9)$$

Où

$$V_{GBS}^A = V_{BFB} - \frac{C_b}{C_{ob}} 2\Phi_B - \frac{Q_{beff}}{2C_{ob}} \quad (IV.10)$$

Du fait que  $V_{GBS}$  augmente avec  $V_{GBS}^A(L)$ , la portion déplétée s'étend jusqu'à la source et à  $V_{GBS} = V_{GBS}^A$  la surface inférieure est complètement déplétée. La valeur minimale requise pour inverser la surface inférieure est obtenue quand  $\Psi_{SF0}(0) = \Psi_{SB0}(0) = 2\Phi_B$  et  $Q_{cb}(0) = 0$ . De l'expression (IV.2) on a:

$$V_{GBS}^I = V_{BFB} + 2\Phi_B - \frac{Q_{beff}}{2C_{ob}} \quad (IV.11)$$

A partir de cette analyse, on peut écrire:

- Pour  $V_{GBS} < V_{GBS}^A(L)$ : L'interface inférieure est en accumulation,  $\Psi_{SF0} = 2\Phi_B$  et  $\Psi_{SB0} = V_{bs}$  avec  $V_{bs}$  tension Substrat flottant (Body) Source.
- Pour  $V_{GBS}^A < V_{GBS} < V_{GBS}^I$ : L'interface inférieure est en déplétion.  $Q_{cb0}=0$  et  $\Psi_{SB}$  reste inconnu. Pour déterminer le potentiel de surface inférieur, on utilise l'algorithme itératif suivant:

**Etape1:** En supposant l'absence de partage de charge, on calcule  $\Psi_{SB0}$  à partir de (IV.2).

**Etape2:** On utilise cette valeur dans les équations (IV.5), (IV.4) et (IV.3) pour déterminer  $Q_{beff}$ .

**Etape3:** On utilise l'expression (IV.2) pour déterminer une valeur modifiée de  $\Psi_{SB}$ .

Les étapes 2 et 3 sont répétées jusqu'à ce que le système converge.

#### IV.4 EFFET DICE:

Pour prendre en considération l'enrichissement de la conductivité induite par le drain dans le régime de la forte inversion, on doit modéliser la variation  $\Delta Q_{cf}$  de la charge d'inversion induite par l'application d'une tension drain (Fig IV.3).

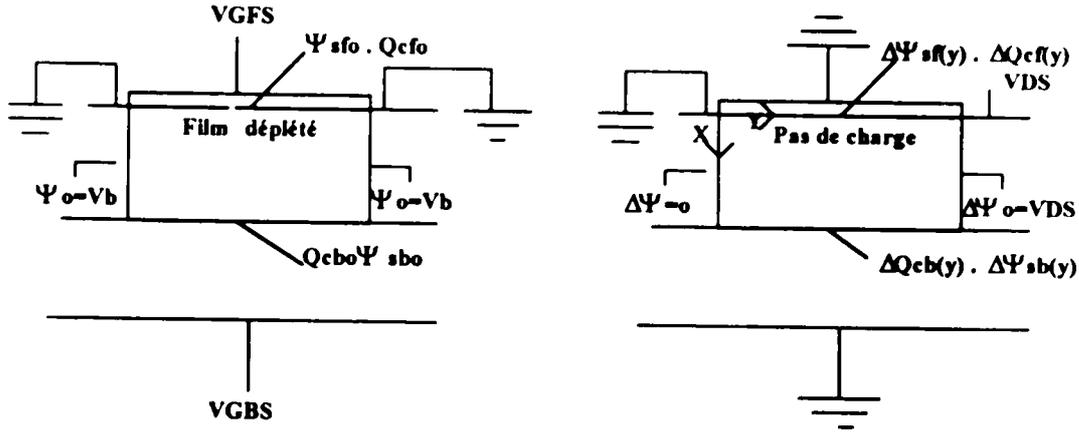


Fig IV.3 Illustration de la méthode de résolution de l'équation de Poisson à deux dimensions dans un TMOS SOI

L'integration de l'équation de Laplace décrivant la variation des potentiels à deux dimensions, donne [32] :

$$\Delta E_{SB}(y) = \Delta E_{SF}(y) + \eta tb \tag{IV.12}$$

$$\Delta \Psi_{SB}(y) = \Delta \Psi_{SF}(y) - E_{SF}(y)tb - \frac{\eta tb^2}{2} \tag{IV.13}$$

Où

$$\eta = \frac{2V_{DS}}{L^2}$$

L'application du théorème de Gauss au niveau des interfaces supérieure et inférieure avec les équations (IV.12) et (IV.13) donne [32] :

$$\Delta Q_{cf}(y) = (C_{of} + C_b)\Delta \Psi_{SF}(y) - C_b\Delta \Psi_{SB}(y) - \frac{\epsilon_s tb \eta}{2} \tag{IV.14}$$

$$\Delta Q_{cb}(y) = -C_b\Delta \Psi_{SF}(y) + (C_{ob} + C_b)\Delta \Psi_{SB}(y) - \frac{\epsilon_s tb \eta}{2} \tag{IV.15}$$

L'expression (IV.14) peut être généralisée en insérant la condition  $\Delta \Psi_{SB} = 0$  lorsque la surface inférieure est en accumulation et  $\Delta Q_{cb} = 0$  lorsqu'elle est en déplétion, on aura :

$$\Delta Q_{cf}(y) = Cof(1 + \alpha)\Delta\Psi_{SF}(y) - \frac{\beta C_b \eta t b^2}{2} \quad (IV.16)$$

$$\Psi_{SF}(y) = \Psi_{SF0} + \Delta\Psi_{SF}(y) \quad (IV.17)$$

Avec:

$$\alpha = \frac{C_b}{Cob} \text{ et } \beta = 1 \text{ pour } V_{GBS} < V_{GBS}^{\wedge}(L)$$

et

$$\alpha = \frac{C_b C_{ob}}{C_b + C_{ob}} \text{ et } \beta = 1 + \frac{C_b}{C_b + C_{ob}} \text{ pour } V_{GBS}^{\wedge} < V_{GBS} < V_{GBS}^I$$

L'application d'une tension drain signifie une modulation de la charge d'inversion et donc:

$$Q_{cf}(y) = Q_{cf0} + \Delta Q_{cf}(y) \quad (IV.18)$$

la Combinaison de (IV.18), (IV.16), (IV.1) et (IV.8) donne :

$$V_{TF} = V_{TF0} + \Delta V_{TF} \quad (IV.19)$$

Où

$$\Delta V_{TF} = -\beta \frac{C_b}{Cof} \left( \frac{tb}{L} \right)^2 V_{DS} \quad (IV.20)$$

Avec  $\Delta V_{TF}$  : Effet de la réduction de la tension de seuil dû à la polarisation du drain.

#### IV.5 MOBILITE DES PORTEURS:

Pour établir l'expression de la mobilité, il faut noter que les porteurs dans le canal sont soumis à l'action de deux forces:

La première est due au champ de grille ( $E_x(y)$ ) qui induit une couche d'inversion à proximité de l'interface Si-SiO<sub>2</sub>, la seconde est due au champ latéral ( $E_y$ ) supposé faible est (négligé dans ce cas).

Nous avons alors utilisé le modèle de mobilité de SPICE Level 3 [33] puis nous avons déterminé le champ  $E_x(y)$ . La mobilité effective sera donnée par l'expression suivante:

$$\mu_{eff} = \frac{\mu_n}{1 + \theta \bar{E}_x(y)} \quad (IV.21)$$

Avec :  $\mu_n$  : Mobilité des porteurs à champ nul

$\theta$  : Coefficient de la dégradation de la mobilité.

$$\Delta Q_{cf}(y) = C_{of}(1+\alpha)\Delta\Psi_{SF}(y) - \frac{\beta C_b \eta t b^2}{2} \quad (IV.16)$$

$$\Psi_{SF}(y) = \Psi_{SF0} + \Delta\Psi_{SF}(y) \quad (IV.17)$$

Avec:

$$\alpha = \frac{C_b}{C_{ob}} \text{ et } \beta = 1 \text{ pour } V_{GBS} < V_{GBS}^{\wedge}(L)$$

et

$$\alpha = \frac{C_b C_{ob}}{C_b + C_{ob}} \text{ et } \beta = 1 + \frac{C_b}{C_b + C_{ob}} \text{ pour } V_{GBS}^{\wedge} < V_{GBS} < V_{GBS}^{\prime}$$

L'application d'une tension drain signifie une modulation de la charge d'inversion et donc:

$$Q_{cf}(y) = Q_{cf0} + \Delta Q_{cf}(y) \quad (IV.18)$$

la Combinaison de (IV.18), (IV.16), (IV.1) et (IV.8) donne :

$$V_{TF} = V_{TF0} + \Delta V_{TF} \quad (IV.19)$$

Où

$$\Delta V_{TF} = -\beta \frac{C_b}{C_{of}} \left( \frac{tb}{L} \right)^2 V_{DS} \quad (IV.20)$$

Avec  $\Delta V_{TF}$  : Effet de la réduction de la tension de seuil dû à la polarisation du drain.

#### IV.5 MOBILITE DES PORTEURS:

Pour établir l'expression de la mobilité, il faut noter que les porteurs dans le canal sont soumis à l'action de deux forces:

La première est due au champ de grille ( $E_x(y)$ ) qui induit une couche d'inversion à proximité de l'interface Si-SiO<sub>2</sub>, la seconde est due au champ latéral ( $E_y$ ) supposé faible est (négligé dans ce cas).

Nous avons alors utilisé le modèle de mobilité de **SPICE Level 3 [33]** puis nous avons déterminé le champ  $E_x(y)$ . La mobilité effective sera donnée par l'expression suivante:

$$\mu_{eff} = \frac{\mu_n}{1 + \theta \overline{E_x}(y)} \quad (IV.21)$$

Avec :  $\mu_n$  : Mobilité des porteurs à champ nul

$\theta$  : Coefficient de la dégradation de la mobilité.

$\bar{E}_x(y)$  : Champ électrique transversal moyen dans le canal donné par[20]:

$$\bar{E}_x(y) = E_{SF}(y) + \frac{|Q_{cf}(y)|}{2\epsilon_S} \quad (IV.22)$$

et

$$E_{SF}(y) = -\frac{Q_b}{2\epsilon_S} + \frac{\Psi_{SF}(y) - \Psi_{SB}(y)}{tb} \quad (IV.23)$$

$E_{SF}(y)$  : Champ normal à l'interface entre la couche d'inversion et la région de déplétion.

A partir de la solution (à  $V_{DS}=0$ ) et de l'analyse de l'effet DICE, on aura:

$$\bar{E}_x(y) = \frac{Cof}{2\epsilon_S} \left( V_{GFS} - V_{TF} - \frac{Q_{beff}}{Cof} + 2\frac{Cb}{Cof} (2\Phi_B - \Psi_{SB0}) - (1-\alpha)\Delta\Psi_{SF}(y) \right) \quad (IV.24)$$

La substitution de (IV.24) dans (IV.21) donne:

$$\mu_{eff} = \frac{\mu}{1 - \text{Beta}\Delta\Psi_{SF}(y)} \quad (IV.25)$$

Avec :

$$\mu = \frac{\mu_n}{1 + \theta \frac{Cof}{2\epsilon_S} \left( V_{GFS} - V_{TF} - \frac{Q_{beff}}{Cof} + 2\frac{Cb}{Cof} (2\Phi_B - \Psi_{SB}) \right)} \quad (IV.26)$$

et

$$\text{Beta} = \theta \frac{Cof}{2\epsilon_S} (1-\alpha) \frac{\mu}{\mu_n} \quad (IV.27)$$

## IV.6 COURANT DE DRAIN

Le courant drain est évalué pour les deux régions de fonctionnement du transistor : La région linéaire (région triode) pour  $V_{GFS} > V_{TF}$  et  $V_{DS} \leq V_{DSAT}$  et la région de saturation pour  $V_{GFS} > V_{TF}$  et  $V_{DS} > V_{DSAT}$ . Où  $V_{TF}$  représente la tension de seuil et  $V_{DSAT}$  la tension de saturation.

IV.6.1 Région linéaire

L'équation de transport est donnée par:[19]

$$I_{DS} = -WQcf(y)V(y) \tag{IV.28}$$

Avec: **W** : La largeur du dispositif.

**Qcf(y)** : Charge d'inversion.

**V(y)** : La vitesse des porteurs donnée par :[34]

$$V(y) = \frac{\mu_{eff}|E(y)|}{1 + \frac{\mu_{eff}}{2v_{sat}}|E(y)|} \tag{IV.29}$$

Avec :

$$|E(y)| = \frac{d\Psi_{SF}}{dy} \tag{IV.30}$$

En substituant (IV.29) dans (IV.28) et en intégrant de la source **y=0** au drain **y=L**, on aura:

$$I_{DS} = \frac{W\bar{\mu}_{eff}Cof}{2L\left(1 + \frac{\bar{\mu}_{eff}V_{DS}}{2V_{sat}L}\right)} \left[ 2V_{DS}(V_{GFS} - V_{TF}) - (1 + \alpha)V_{DS}^2 \right] \tag{IV.31}$$

Avec :

$$\bar{\mu}_{eff} = \frac{\mu}{1 - \text{Beta}V_{DS}} \tag{IV.32}$$

$$\alpha = \begin{cases} \frac{1}{Cof} \left( \frac{CbCob}{Cb + Cob} \right) & \text{Si la surface inferieure est en déplétion .} \\ \frac{Cb}{Cof} & \text{Si la surface inferieure est en accumulation .} \end{cases} \tag{IV.33}$$

IV.6.2 Région de saturation

Pour un TMOS SOI fonctionnant dans la région de saturation, on admet la présence d'une région où le champ électrique est intense ( $L-L_e \leq L$ ) comme le montre la figure (IV.4).

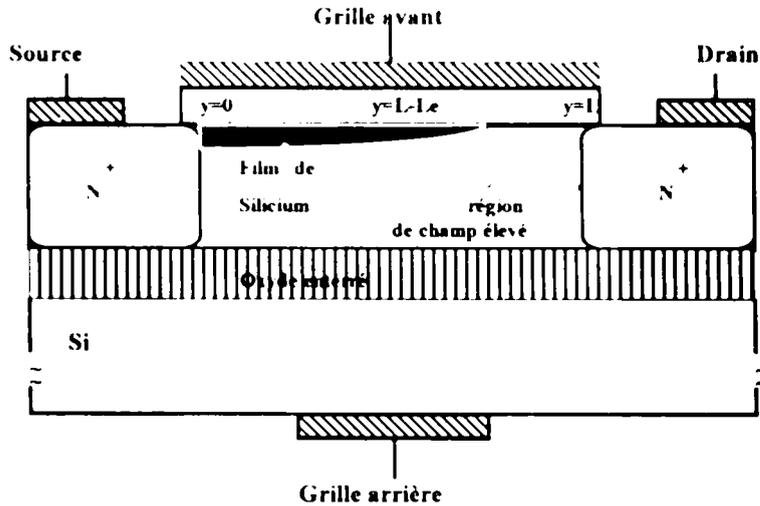


Fig IV.4 TMOS SOI à canal N dans la région de saturation

Dans cette région la composante latérale du champ électrique est si importante que les approximations de la forte inversion et du canal graduel ne sont plus valables. La solution exacte de la densité des porteurs et des distributions du champ ne peut être obtenue qu'à partir de la simulation bidimensionnelle. Pour obtenir des relations analytiques simples du courant de drain, on a eu recours aux approximations suivantes: [35]

- ❶ L'amorce de la saturation de la vitesse des porteurs au point  $y=L_e$  se produit pour  $V_{DS}=V_{DSAT}$ .
- ❷ Pour  $V_{DS} > V_{DSAT}$ , le transistor fonctionne dans la région de saturation. On suppose que les conditions de la forte inversion et du canal graduel restent valables pour  $0 \leq y \leq L-L_e$ , et le potentiel au point  $y=L-L_e$  est égal à  $V_{DSAT}$ .
- ❸ La concentration d'impuretés au voisinage de l'interface **Si-SiO<sub>2</sub>** est constante le long du canal.

Le courant du canal peut être exprimé par:

$$I_{DSAT} = -WQcf(L_e)V_{sat} \tag{IV.34}$$

Où  $V_{sat}$  est la vitesse de saturation des porteurs.

IV.6.2.1 Expression analytique de VDSAT

L'expression du courant de saturation est obtenue en remplaçant  $L$  par  $L_e$  et  $V_{DS}$  par  $V_{DSAT}$  dans l'expression (IV.34). En égalisant cette expression avec l'équation (IV.31), on obtiendra  $V_{DSAT}$ .

$$V_{DSAT} = \frac{A / B}{\frac{1}{2} + \sqrt{\frac{1}{4} - \text{Beta} \frac{A}{B^2}}} \quad (IV.35)$$

Avec:

$$A = \frac{V_{GFS} - V_{TF}}{1 + \alpha} \quad \text{et} \quad (IV.36)$$

$$B = 1 + A \left( \text{Beta} + \frac{\mu}{2V_{sat} L} \right) \quad (IV.37)$$

L'équation (IV.35) nous montre que  $V_{DSAT}$  dépend de la longueur du canal et des tensions appliquées.

IV.6.2.2 Modulation de la longueur du canal

Pour modéliser la conductance de sortie ( $dI_{DS}/dV_{DS}$ ), à une tension  $V_{DS} > V_{DSAT}$ , on utilise le concept de modulation de la longueur du canal ( $L_e$ ). L'expression analytique de  $L_e$  est obtenue par la détermination de  $\Delta\Psi_{SF}(y)$  et par l'utilisation des conditions aux limites  $y=L_e$  et  $y=L$  [32].

$$L_d = L - L_e \cong L_c \text{Sinh}^{-1} \left[ \frac{\bar{\mu}_{eff} (V_{DS} - V_{DSAT})}{2V_{sat} L_c} \right] \quad (IV.38)$$

et

$$L_c \cong tb \sqrt{\frac{Cb\beta}{2Cof(1 + \alpha)}} \quad (IV.39)$$

$L_d$  : Portion du canal dans laquelle la vitesse des porteurs est saturée.

### IV.6.2.3 Expression analytique du courant de saturation:

L'expression du courant de saturation est obtenue en remplaçant  $V_{DS}$  par  $V_{DSAT}$  et  $L$  par  $L_{eff}$  dans l'expression (IV.31), ce qui donne:

$$I_{DS} = \frac{W\bar{\mu}_{eff}Cof}{2L_{eff} \left( 1 + \frac{\bar{\mu}_{eff} V_{DSAT}}{2V_{sat} L_{eff}} \right)} \left[ 2V_{DSAT} (V_{GFS} - V_{TF}) - (1 + \alpha) V_{DSAT}^2 \right] \quad (IV.40)$$

### IV.6.2.4 Multiplication des porteurs

Compte tenu de la valeur élevée du champ électrique dans la zone pincée du canal, il s'y produit une multiplication des porteurs du courant drain, par ionisation par choc. Les paires "électron-trou" ainsi créées, sont collectées par le canal de conduction d'une part, et par le volume du body d'autre part. En désignant par  $I_D$  la partie du courant de porteurs d'inversion (électron) et  $I_G$  le courant de trous généré au cours de l'ionisation par impact, on écrit [36;32;27;16]

$$I_G = (M-1)I_D \quad (IV.41)$$

Où  $M$  est le facteur de multiplication des électrons.

Le facteur  $(M-1)$  est donné par l'intégrale du coefficient d'ionisation comme suit:

$$(M-1) \equiv \int_{L_c}^L \alpha_0 \exp\left(-\frac{\beta_0}{|Ey|}\right) dy \equiv \frac{\alpha_0}{\beta_0} (V_{DS} - V_{DSAT}) \exp\left(\frac{-\beta_0 L_c}{V_{DS} - V_{DSAT}}\right) \quad (IV.42)$$

Où  $\alpha_0$  et  $\beta_0$  sont des coefficients d'ionisation.

Le courant de trous générés au cours de l'ionisation par impact ( $I_G = (M-1)I_D$ ) autopolarise le Body. le potentiel du Body augment en fonction de  $V_{DS}$  jusqu'à ce que la jonction Body-source devienne passante. De ce fait la tension de seuil du transistor décroît provoquant un accroissement du courant drain (effet Kink).

IV.6.2.5 Effet bipolaire

La structure **Bipolaire NPN** peut induire dans certaines conditions, un effet Bipolaire parasite d'autant plus prononcé que la longueur effective du canal est plus faible (canal submicronique).

En effet, les électrons émis par la source (émetteur) sont injectés dans le body (base) et et puis collectés par le drain (collecteur). Ce courant drain additif augmente l'ionisation par impact qui mènera à un claquage prématuré. En considérant l'action du transistor parasite, on a [16][26]:

$$I_G = (M - 1)(I_D + I_T) \tag{IV.43}$$

Où  $I_T$  est le courant collecteur du transistor parasite:

$$I_T = \Gamma I_G \tag{IV.44}$$

Où  $\Gamma$  représente le gain en courant du transistor bipolaire. La combinaison de (IV.43) avec (IV.44) donne le courant drain total :

$$I_{DS} = M(I_D + I_T) = \frac{M I_D}{1 - \Gamma(M - 1)} \tag{IV.45}$$

L'équation ci-dessus montre que le claquage a lieu lorsque  $\Gamma(M-1) \approx 1$ .

La figure (IV.5) représente les schémas équivalents de la structure SOI, dans le cas où on ne fait pas intervenir l'effet de l'amplification du transistor bipolaire (a), et où on le prend en compte (b).

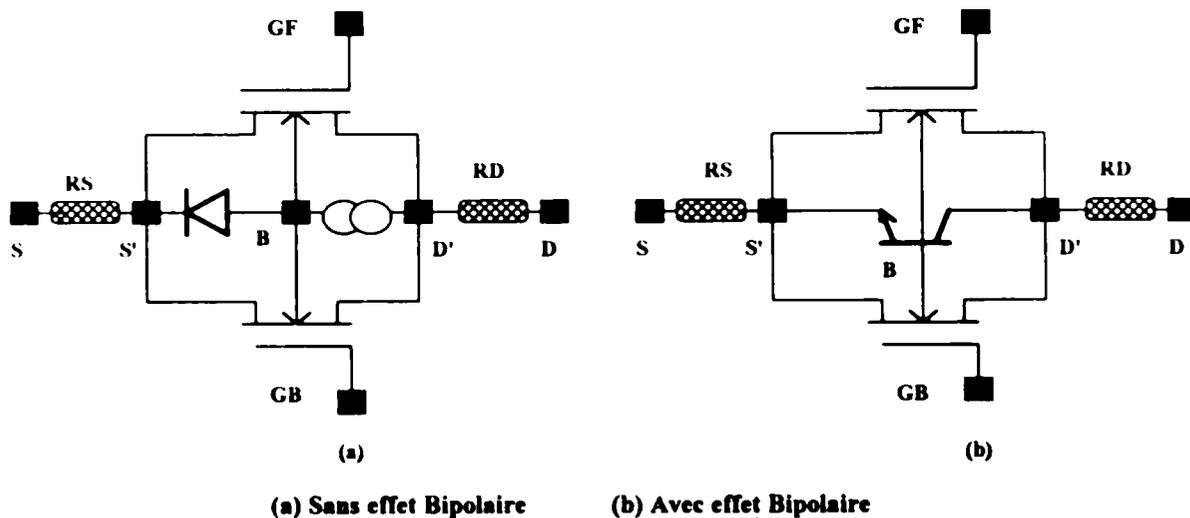


fig IV.5 Schéma équivalent du TMOS SOI

## IV.7 Tableau résumant les paramètres du modèle

Paramètre	Définition	Unités	Valeur par défaut
L	Longueur du canal	cm	40e-4
W	Largeur du canal	cm	40e-4
VBF	Tension de bande plate de la grille avant	V	-0.9351
VBB	Tension de bande plate de la grille arrière	V	-0.5547
Toxf	Epaisseur de l'oxyde de grille avant	cm	5e-6
Toxb	Epaisseur de l'oxyde enterré	cm	1e-4
Nsub	Densité de dopage du substrat	1/cm <sup>3</sup>	1e14
Nbody	Densité de dopage du body	1/cm <sup>3</sup>	1e15
tb	Epaisseur du film de silicium (body)	cm	0.5e-4
PHIB	Potentiel du body	V	0.6552
U0	Mobilité en surface	cm <sup>2</sup> /V.S	600
THETA	Coefficient de dégradation de la mobilité	V/cm	0.0
Vsat	Vitesse de saturation	cm/s	1e7
ETA	Effet DICE ON/OFF	-	-
LMOD	Modulation de la longueur du canal On/OFF-	-	-
ALPHA0	Paramètre d'ionisation par impact	1/cm	2e6
BETA0	Paramètre d'ionisation par impact	V/cm	1.7e6
GAMMA	Gain du transistor bipolaire	-	-
BFACT	Paramètre empirique de mobilité	-	-
BVDS	Tension maximale Drain-Source	V	-

Paramètre	Définition	Unités	Valeur par défaut
RD	Résistance parasite du drain	Ohm	-
RS	Résistance parasite de la source	Ohm	-
RSH	Résistivité Source/Drain	Ohm/cm <sup>2</sup>	-
LD	Réduction de la longueur du canal	cm	-
WKF	Diff de travail de sortie de la grille avant	V	-0.9351
WKB	Diff de travail de sortie de la grille arrière	V	-0.5547
NGATE	Densité de dopage de la grille en poly-Si	1/cm <sup>3</sup>	1e19
NQFF	Charges fixes de l'oxyde de grille	1/cm <sup>2</sup>	-
NQFB	Charges fixes de l'oxyde enterré	1/cm <sup>2</sup>	-
TPG	Type de grille : +1 Opposé au body -1 Comme le body 0 Grille en aluminium	-	-
TPS	Type de substrat : +1 Opposé au body -1 Comme le body	-	-

IV.8 Calcul des paramètres par défaut [37]

Si les paramètres ci-dessous ne sont pas spécifiés pendant la description du circuit, il seront calculés, par défaut, en utilisant les équations suivantes:

- ① Concentration du body:

$$N_{BODY} = n_i \exp\left(\frac{q \cdot \Phi_B}{2KT}\right) \tag{IV.46}$$

- ② Potentiel du body:

$$\Phi_B = 2 \left(\frac{KT}{q}\right) \ln\left(\frac{N_{BODY}}{n_i}\right) \tag{IV.47}$$

③ Travaux de sortie:

$$WKF = \begin{cases} TPG \left( \frac{KT}{q} \right) \ln \left( \frac{N_{GATE}}{ni} \right) - \frac{\Phi_B}{2} & \text{Pour une grille en polysilicium.} \\ -0.05 - \frac{E_G}{2} - \frac{\Phi_B}{2} & \text{Pour une grille en aluminium.} \end{cases} \quad (IV.48)$$

et

$$WKB = TPS \left( \frac{KT}{q} \right) \ln \left( \frac{N_{SUB}}{ni} \right) - \frac{\Phi_B}{2} \quad \text{Pour une grille en polysilicium.} \quad (IV.49)$$

④ Tensions de bande plate:

$$V_{FBF} = WKF - \frac{NQFF}{Cof} \quad (IV.50)$$

et

$$V_{FBB} = WKB - \frac{NQFB}{Cob} \quad (IV.51)$$

Avec :

$$Cof = \frac{\epsilon_{ox}}{toxf} \quad (IV.52)$$

$$Cob = \frac{\epsilon_{ox}}{toxb} \quad (IV.53)$$

⑤ Résistances parasites:

$$RS = RSH.NRS \quad (IV.54)$$

et

$$RD = RSH.NRD \quad (IV.55)$$

Où NRD et NRS désignent le nombre de carrés dans les régions diffusées du drain et de la source respectivement.

**IV.9 Conclusion:**

Dans ce chapitre, nous avons présenté un modèle physique DC du TMOS SOI à canal court à film mince en forte inversion. Ce modèle décrit quelques effets physiques associés aux dispositifs de petites dimensions géométriques.

Dans le chapitre suivant, nous allons étudier la structure du simulateur SPICE3 F4 et voir comment valider ce modèle et déterminer les limites de son utilisation.

# CHAPITRE V

## V IMPLANTATION & VALIDATION

### V.1 INTRODUCTION

L'industrie électronique en général, et la micro-électronique en particulier, utilisent énormément les simulateurs afin de déterminer les performances électriques du circuit et définir les spécifications des différents composants à moindre coût, c'est à dire sans la nécessité d'élaborer un prototype, ce qui nous permet de gagner du temps et par conséquent beaucoup d'argent. Donc on peut dire que les simulateurs constituent un outil très important d'aide au développement de la technologie.

Ils sont fondés sur un ensemble d'équations mathématiques (modèles), qui avec le progrès technologique ont acquis une certaine complexité due à la géométrie des dispositifs qui va en diminuant.

Avec cet outil, il devient possible à l'ingénieur de concevoir un nouveau produit et de prévoir ses performances en utilisant un terminal d'ordinateur. [38]

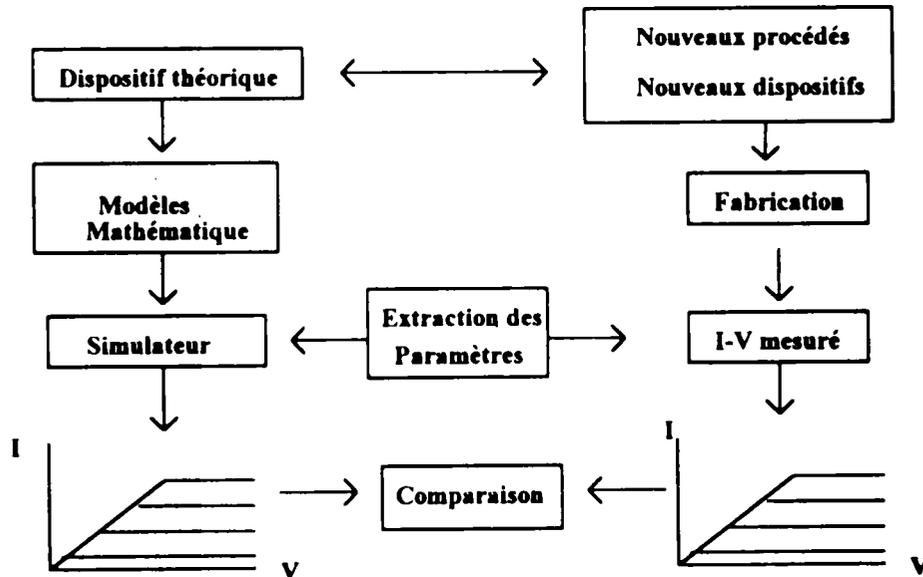


Fig V.1 Rôle d'un modèle.

## V.2 IMPLANTATION

### V.2.1 Simulation électrique

La simulation électrique est l'une des premières étapes de conception d'un circuit intégré, car non seulement elle constitue une aide à sa mise au point mais permet aussi d'analyser et de prédire son comportement et ses performances, donc sa modification ainsi que son optimisation avant même son envoi en fabrication.

Dans le cas précis de la simulation électrique, il n'est plus question d'effectuer le calcul "à la main" du temps de commutation d'un inverseur (technologie CMOS) surtout si on tient compte de tous les phénomènes physiques tels que l'effet de substrat, la réduction de la mobilité, etc. Ces calculs risquent de devenir vite complexes voir même inextricables. L'inverseur étant l'élément de base de tout circuit logique en technologie MOS, on comprend alors que pour des circuits complexes, le recours à la simulation électrique est inéluctable.[39]

### V.2.2 Modélisation

Modéliser un dispositif électronique revient à faire une description électrique de son fonctionnement à l'aide d'expressions analytiques est de schémas. Puisqu'un modèle n'est qu'une approximation, et afin de réaliser le meilleur compromis entre complexité de calcul et approximation, il faut connaître les phénomènes physiques régissant le fonctionnement d'un dispositif et la limite de leurs validités.[39]

On distingue deux types de modèles:

#### ❶ Modèle comportemental (tabulé)

On relève les réponses pour toutes les entrées possibles. Plusieurs méthodes peuvent être utilisées: Approximations linéaires, polynomiales,...Il faudrait stocker en mémoire tous les points des caractéristiques (modèle tabulé). La quantité d'information fournie par ce type de modèles est maximale mais elle est compensée par la rapidité d'utilisation.

#### ❷ Modèle analytique

Obtenu par la mise en équation des lois physiques ou électriques régissant le fonctionnement du système. C'est un modèle générique facilement paramétrable en différents type d'un même modèle. Il permet d'obtenir des modèles de niveaux différents, suivant la

complexité souhaitée, qu'il sera aisé de modifier. Son utilisation nécessite un temps de calcul très important et provoque une réduction de la quantité d'information.

La précision d'un modèle sera d'autant plus grande que le modèle sera complexe. Ce qui nécessite une large capacité mémoire et un temps de calcul très important, facteur que l'on cherche à minimiser le plus possible. Ainsi, pour une précision donnée, le meilleur modèle sera le plus simple.

### V.2.3 : CHOIX DU SIMULATEUR ELECTRIQUE

Le choix du simulateur a été fait selon deux critères [14]

- ❶ Ses performances en simulation.
- ❷ L'accessibilité aux modèles. On peut définir trois classes de simulateurs en fonction de leur accessibilité aux modèles.[38]

*a) Simulateurs ouverts: ASTEC (CEA,CISI),et ESACAP (Université de Copenhague).*

Les simulateurs à modèles ouverts sont des logiciels qui permettent d'écrire des formules directement dans le langage de description. Il se présentent sous la forme d'un programme exécutable pour lequel il a été prévu la possibilité de décrire extérieurement les modèles de dispositifs. Le programme de simulation autorise alors l'utilisateur à décrire un composant particulier par les équations caractéristiques de son comportement. On peut ainsi enrichir ou modifier des bibliothèques de composants et adapter le simulateur à des besoins précis.

*b) Simulateurs semi-ouvert: SPICE3 ( Université de Berkeley) CIRCEC (Thomson, Racal-Redac)*

Les simulateurs à modèles semi-ouverts se présentent sous la forme d'un programme exécutable livré avec un certain nombre de fichiers sources qui doivent permettre la description interne des nouveaux modèles de dispositifs par modification des fichiers concernés. La compilation et l'édition de lien de ces fichiers rendent opérationnels ces modèles.

La nouvelle restructuration de **SPICE3** permet d'avoir plusieurs modules, regroupés dans différents répertoires de petites tailles, suivant leur fonctionnalité. La figure V2 schématise la structure de **SPICE3** [40].

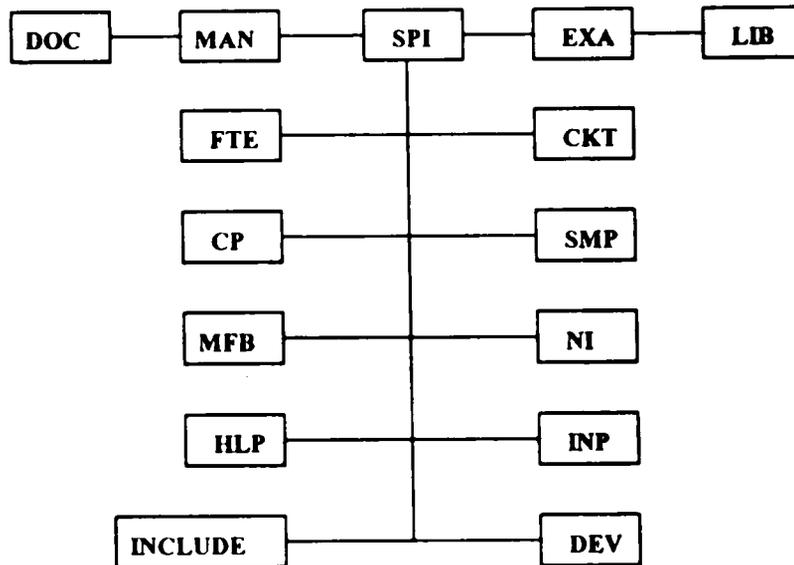


Fig V.2 Structure de SPICE3

#### V.2.4.1 LE REPERTOIRE DOC :

Le répertoire **DOC** (Document) contient la documentation fournie avec le logiciel **SPICE3**, on peut y trouver toutes les généralités concernant l'utilisation et le fonctionnement de **SPICE3**.

#### V.2.4.2 LE REPERTOIRE MAN :

Le répertoire **MAN** (Manual) contient le manuel de **SPICE3**. Il s'intéresse plus particulièrement à expliquer le fonctionnement des divers modules constituant le logiciel. Les modules se trouvant sous le répertoire **DOC** étant eux plus orientés généralités.

#### V.2.4.3. LE REPERTOIRE EXA :

Le répertoire **EXA** (Exemples) contient différents fichiers exemples de circuits électriques qui peuvent être simulés avec **SPICE3**. Il s'agit de circuits classiques, tels que le circuit différentiel pair ou le circuit amplificateur MOSFET, dont le but est de montrer la potentialité du logiciel et de comparer les résultats notamment le temps de calcul et la précision.

#### V.2.4.4 LE REPERTOIRE LIB :

Le répertoire **LIB** (Library) contient un **HELDIR** dans lequel se trouvent toutes les informations d'aide au système ainsi que le fichier **MFBCAP** de description des codes des terminaux permettant la visualisation des résultats sous **NUTMEG**. N'importe quel terminal en mode texte permet de décrire un fichier de description de schéma électrique, mais l'affichage des résultats doit se faire sur un terminal graphique.

#### V.2.4.5 LE REPERTOIRE SPI :

Le répertoire **SPI** contient les sous répertoires : **FTE**, **CKT**, **CP**, **NI**, **MFB**, **SMP**, **HLP**, **INP**, **INCLUDE** et **DEV**. Ces sous répertoires, présentés dans les paragraphes suivants, contiennent l'ensemble des codes sources utilisés par le programme de simulation électrique **SPICE3**.

❶ Le répertoire **FTE** (Front End) s'occupe de la gestion de l'interface du simulateur **SPICE3**. Il contient les routines permettant extérieurement au fichier description de lancer la partie **ANALYSE** du circuit. Il permet, notamment, l'arrêt d'une analyse et sa reprise, ce qui permet de fractionner une étude lors, par exemple, de problème de non convergence, de lancer un autre mode d'analyse, de modifier certaines variables du circuit, de comparer les résultats entre plusieurs études, etc. Ceci révèle une nette amélioration de la souplesse d'utilisation de **SPICE3** par rapport à **SPICE2**.

❷ Le répertoire **CKT** (Circuit) s'occupe de toute la gestion du circuit et des divers modes d'analyse relatifs à celui-ci. Cependant, les fonctions relatives au lancement de la simulation se trouve dans la structure **SIMinfo** du type **IFsimulator** (définie dans le fichier **IFsim.C**), présent dans le fichier **SIMinit.C**. Ce fichier définit en externe des informations sur les dispositifs (**SPICEdev \*info**) et sur les analyses (**SPICEanalysis \*info**). Dans ce module, les paramètres **NS** (NodeSet), **IC** (Initial Conditions) et **NodeType** sont aussi déclarés. Les différentes structures concernant les analyses (**SPICEanalysis \*ANALinfo**), les modèles (**SPICEdev \*Devices**) et la simulation (**SIMinfo**) se trouvent aussi déclarés dans ce module. La fonction "**SIMinit**" (Simulation Initialisation) prépare la simulation en plaçant un pointeur à l'adresse du début de simulation et appelle les fonctions appropriées.

③ Le répertoire **CP** (Command Program) contient les modules décrivant les commandes d'exploitation de l'interface. Ces commandes, de par leurs structures, ressemblent beaucoup à celles du système d'exploitation **UNIX** pour lequel ce programme a été écrit. Il s'occupe notamment des modules et des variables du "**C Shell Parser**" qui correspond à un langage de programmation et un langage de commande. La définition même du "**Shell**" rappelle l'appartenance du programme à l'environnement **UNIX**.

④ Le répertoire **NI** (Numeric Integration) s'occupe de tous les modes de calcul numérique, en particulier, les diverses méthodes d'intégration numérique : méthode de **GEARS** et la méthode trapézoïdale.

⑤ Le répertoire **MFB** contient les codes sources d'un processeur graphique développé par l'Université de **BERKELEY**. Ce programme, du domaine public, est utilisé par le module **NUTMEG** qui permet de visualiser les courbes résultats en mode graphique. Ces modules ont été écrits pour le système d'exploitation **DOS**, **UNIX** et **VMS**, leurs codes sources se trouvant chacun dans un sous répertoire de **MFB**.

⑥ Le répertoire **SMP** s'occupe de la résolution de la matrice **Admittance**. Il contient toutes les routines permettant la factorisation d'une matrice donnée par la méthode **LU**, puis son inversion par la méthode de substitution "**Forward-Backward**".

⑦ Le répertoire **HLP** (Help) contient les routines permettant de lire les informations du système d'aide au logiciel **SPICE3**. Trois versions de ce code sont fournies : une pour **DOS**, une pour **UNIX** et une dernière pour **VMS**. Ces modules recherchent à partir du titre les informations se trouvant dans l'un des sous répertoires écrits sous **\LIB\HELDIR**.

⑧ Le répertoire **INP** (Input) s'occupe de la gestion des fichiers description. Il permet de vérifier la topologie du circuit et de construire la matrice en extrayant les paramètres nécessaires au calcul. Il incorpore au schéma électrique les modèles des dispositifs utilisés et teste le brochage. En cas d'erreur, la partie **ANALYSE** n'est pas effectuée.

⑨ Le répertoire **INCLUDE** contient la définition des variables globales utilisées par le programme, ainsi que toutes les structures mises en commun. L'instruction **INCLUDE** permet d'insérer le contenu du fichier d'en-tête **·h** (header).

#### V.2.4.6 LE REPERTOIRE DEV :

Le répertoire **DEV** (Devices) contient toute la structure des différents composants de base et leurs modèles. L'ordre d'appel des différents modules constituant le dispositif est piloté d'un autre répertoire en fonction du type d'analyse demandé. Cependant, la structure reste identique. Les parties non implantées (une résistance n'a pas de module dynamique puisqu'elle a le même comportement qu'en statique) sont toutefois définies mais leur fonction renvoie **NULL**. Par conséquent, les paramètres ne subissent alors aucune modification. Ce répertoire contient les composants suivants :

- **BJT.DIR** : Le modèle du transistor Bipolaire.
- **BSIM1.DIR** : Le modèle **BSIM1** (MOS4) du transistor MOS.
- **BSIM2.DIR** : Le modèle **BSIM2** (MOS5) du transistor MOS.
- **CAP.DIR** : Le modèle de la capacité.
- **CCCS.DIR** : Le modèle d'une Source de courant contrôlée en courant.
- **CCVS.DIR** : Le modèle d'une Source de tension contrôlée en courant.
- **CSW.DIR** : Le modèle d'Interrupteur idéal contrôlé en courant.
- **DIO.DIR** : Le modèle de la diode.
- **IND.DIR** : Le modèle d'Inductance et d'nductance mutuelle.
- **ISRC.DIR** : Le modèle d'une source de courant indépendante.
- **JFET.DIR** : Le modèle du transistor JFET.
- **MES.DIR** : Le modèle du transistor MESFET.
- **MOS1.DIR** : Le modèle du transistor MOS niveau 1.
- **MOS2.DIR** : Le modèle du transistor MOS niveau 2.
- **MOS3.DIR** : Le modèle du transistor MOS niveau 3.
- **MOS6.DIR** : Le modèle du transistor MOS niveau 6.
- **RES.DIR** : Le modèle de la Résistance.
- **SOI.DIR** : Le modèle **SOI** du **TMOS SOI (que nous avons introduit)**.
- **SW.DIR** : Le modèle d'interrupteur.
- **TRA.DIR** : Le modèle de la Ligne de transmission.
- **URC.DIR** : Le modèle de la Ligne RC.
- **VCCS.DIR** : Le modèle d'une Source de courant contrôlée en tension.
- **VCVS.DIR** : Le modèle d'une Source de tension contrôlée en tension.
- **VSRC.DIR** : Le modèle d'une Source de tension indépendante.

Chacun des composants du répertoire DEV est défini comme un sous répertoire dans lequel les équations de l'élément sont définies. La structure de ces répertoires est la même quelque soit le dispositif.

### V.2.5 STRUCTURE DU REPERTOIRE SOI:

Le répertoire SOI (qu'on a introduit) a été créé sous le répertoire DEV. Le programme principal de ce répertoire est SOI.C qui a pour seule fonction d'initialiser la variable **SOIinfo**, de type **SPICEdev** où sera complètement défini le composant en précisant son nombre de broches, son type, ses paramètres géométriques et technologiques (Stockés dans la pile **IFparam** et **IFmparam**).

La structure **SOIinfo**, se trouvant dans le fichier d'en-tête **SOIinf.H**, est remplie de la manière suivante [41],[42] :

```
SPICEdev SOIinfo = {
    { "SOI",
      "Silicon On Insulator ",

      &SOInSize,

      &SOInSize,

      SOInames,

      &SOIpTSize,

      SOIpTable,

      &SOImPTSize,

      SOImPTable,
      DEV_DEFAULT
    },
```

```
SOIparam,
```

```

#else /* NEWCONV */
    NULL,
#endif /* NEWCONV */
    NULL,
    NULL,
    NULL,
    NULL,
    NULL,
    NULL,
    NULL,
    NULL,
    NULL,

    &SOliSize,

    &SOImSize
};

```

Le remplissage de la structure **SOIinfo** comprend :

● Déclaration des paramètres géométriques de **SOI** à l'aide du tableau **SOIpTable[]**, chaque ligne de ce tableau est une structure de type **IFparam** de la forme :

```

typedef Struct {
    Char   *KeyWord;
    int    id;
    int    dataType;
    Char   Description;
} IFparam;

```

Où "**KeyWord**" représente le nom du paramètre que doit introduire l'utilisateur en entrée, "**id**" est un nombre entier (défini dans le fichier **SOIdefs.H**) utilisé comme référence à ce paramètre, "**dataType**" indique le type de l'argument que peut prendre **KeyWord** (réel, entier, vecteur, flag,...) et "**Description**" est une chaîne de caractère décrivant le paramètre en question.

- Ⓢ **SOIaccept** : demande l'acceptation d'un point temporel.
  
- Ⓢ **SOIdestroy** (fichier **SOIdest.C**) : Destruction de toutes boucle sur un modèle et ses "instances". Restitution de l'espace mémoire.
  
- Ⓢ **SOImodDelete** (fichier **SOImdel.C**) : Destruction d'une boucle sur un modèle et ses "instances". Restitution de l'espace mémoire.
  
- Ⓢ **SOIdelete** (fichier **SOIdel.C**) : Destruction d'une "instance" d'un modèle. Restitution de l'espace mémoire.
  
- Ⓢ **SOIgetIC** (fichier **SOIic.C**) : Lecture des conditions initiales de l'élément.
  
- Ⓢ **SOIask** (fichier **SOIask.C**) : Demande de détails sur le dispositif (paramètres géométriques). Lecture dans la pile **SOIinstance**.
  
- Ⓢ **SOImodAsk** (fichier **SOImask.C**) : Demande de détails sur le modèle (paramètres technologiques). Lecture dans la pile **SOImodel**.
  
- Ⓢ **SOIpzLoad** (fichier **SOIpzLd.C**) : Calcul des conductances linéaires équivalentes en mode complexe. Chargement de la matrice Admittance pour l'analyse continu .
  
- Ⓢ **SOIconvTest** (fichier **SOIcvte.C**) : Test de convergence des équations du composant.

### V.3 VALIDATION:

Pour justifier notre analyse, nous avons tracé les caractéristiques de sortie  $I_{DS}(V_{DS})$  (pour différentes valeurs de  $V_{GS}$  et de  $V_{GBS}$ ) et les caractéristiques de transfert  $I_{DS}(V_{GFS})$  (pour différentes valeurs de  $V_{DS}$  et de  $V_{GBS}$ ) sur des transistors réalisés dans différentes technologies. Nous avons par la suite comparé les résultats obtenus par simulation soit aux courbes expérimentales soit aux résultats obtenus par le simulateur SPICE2.

Nous nous sommes limité à trois cas :

#### V.3.1 Premier cas "longueur du canal $>1\mu\text{m}$ ":

La technologie est celle de **TEXAS INSTRUMENTS [18]** dont les principaux paramètres sont:

Longueur du canal	L: $40\mu\text{m}$
Largeur du canal	W : $40\mu\text{m}$
Epaisseur du film de silicium	$t_b$ : $0,5\mu\text{m}$
Epaisseur de l'oxyde de grille	$t_{oxf}$ : $60\text{nm}$
Epaisseur de l'oxyde enterré	$t_{oxb}$ : $1\mu\text{m}$
concentration de dopage	NA : $10^{15}/\text{cm}^3$

Dans la figure (V.3), nous présentons la caractéristique statique  $I_{DS}(V_{DS})$  simulée et mesurée pour  $V_{GFS}/V_{GBS} = (4/0;6/0)$  et  $(4/-80;6/-80)$ .

Les valeurs de  $V_{GBS}$  sont sélectionnées afin d'assurer une déplétion totale ou une accumulation de l'interface inférieure. Nous remarquons d'après cette figure que le courant drain est plus grand pour un dispositif complètement déplété (fig V.3a) que pour un composant avec accumulation au niveau de l'interface inférieure (voir § III p 5.1).

Notons que nous avons de bons accords entre les prédictions théoriques et les mesures.

La figure (V.4) présente la caractéristique  $I_{DS}(V_{GFS})$  simulée et mesurée pour  $V_{DS}=V_{GFS}$  et  $V_{GBS}=0$  et  $-80v$ . Nous remarquons là aussi que le courant est plus élevé pour  $V_{GBS}=0$  que pour  $V_{GBS}=-80v$ . Nous pouvons dire, d'après cette figure que nous avons une bonne concordance entre mesure et simulation.

La variation de la tension de saturation avec la tension  $V_{GFS}$  est présentée sur la figure (V.5).  $V_{DSAT}$  augmente linéairement avec l'augmentation de  $V_{GFS}$ . Nous remarquons que la tension de saturation est plus élevée pour  $V_{GBS}=0$  que pour  $V_{GBS}=-80v$ . Cependant, l'écart entre la simulation et les mesures est seulement dû au fait que pour les mesures,  $V_{DSAT}$  est fonction de  $V_{GFS}-V_T$  tandis que pour la simulation  $V_{DSAT}$  est fonction de  $V_{GFS}$ , ce qui explique la translation de la droite (simulée) d'une quantité  $V_T$ .

La caractéristique  $g_m(V_{GFS})$  est présentée sur la figure (V.6) où l'on remarque la croissance linéaire de  $g_m$  pour  $V_{GFS}<4,5v$  (région de saturation). Cependant, pour  $V_{GFS}>4,5v$ , on note la décroissance de  $g_m$  due à la dégradation de la mobilité des porteurs et également la non dépendance de  $g_m$  avec  $V_{GBS}$  (région linéaire) comme prévu par notre modèle. De bons accords entre mesures et simulation sont à observer.

nous avons également présenté sur la figure (V.7) la variation de la conductance du canal  $g_d$  avec la tension drain pour  $V_{GFS}/V_{GBS} = (4/0 ; 6/0)$  et  $(4/-80 ; 6/-80)$ . On remarque d'après cette figure que  $g_d$  décroît avec l'augmentation de la tension drain et l'influence de la polarisation de la grille arrière  $V_{GBS}$  sur la pente du tracé.

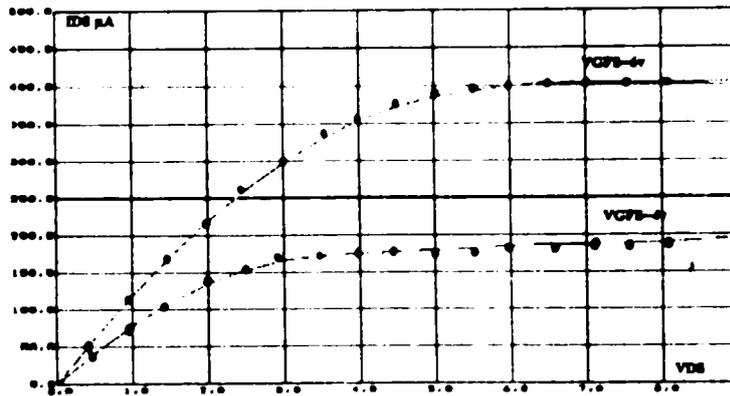


Fig.(V.3.a)Caractéristiques courant-tension mesurées (.....) et simulées (----) d'un TMOS SOI décrit dans le chapitre §4 avec .V\_GBS = 0v.

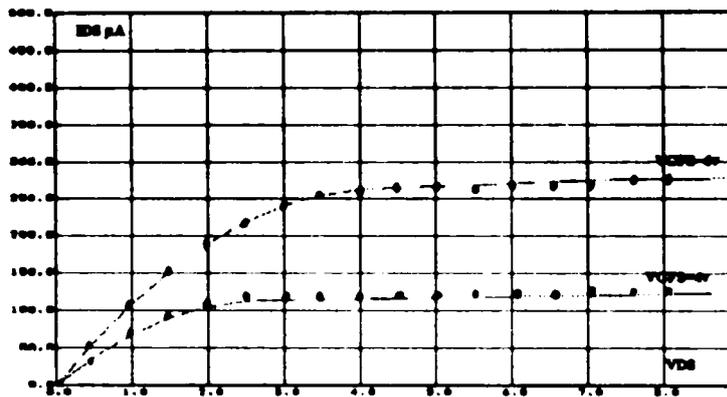


Fig.(V.3.b)Caractéristiques courant-tension mesurées (.....) et simulées (----) d'un TMOS SOI décrit dans le chapitre §4 avec .V\_GBS = -80v.

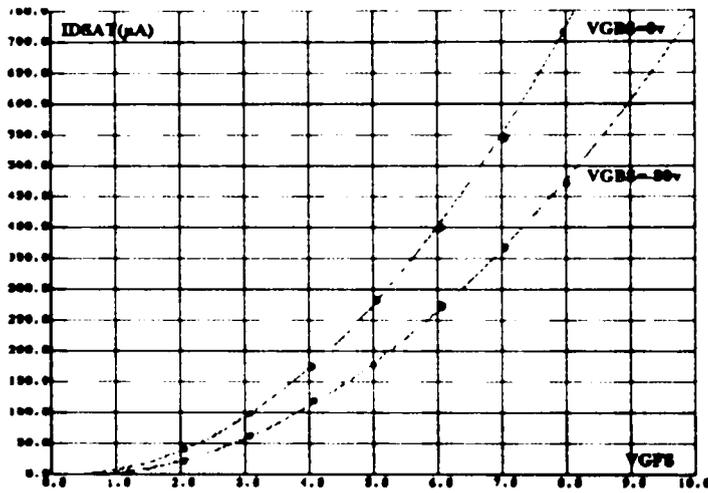
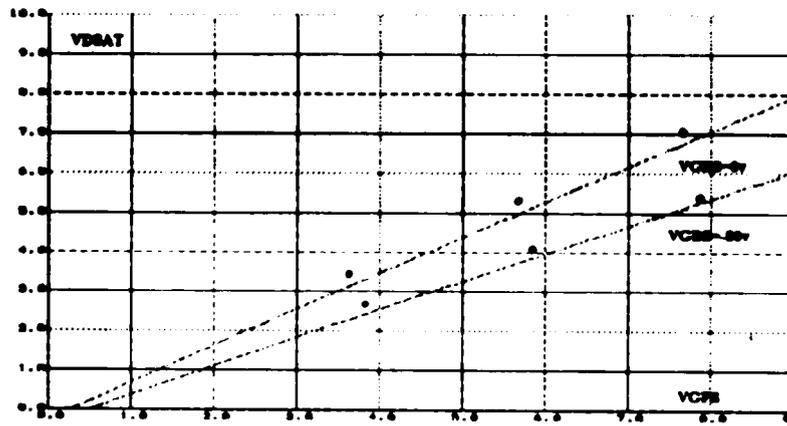


Fig.(V.4.)Variation du courant de saturation avec la tension grille avant VGFS mesurée (.....) simulée (----).avec  $V_{DS}=V_{GFS}$ .



Fig(V.5) Tension de saturation  $V_{DSAT}$  mesurée (.....)et simulée (----) comme une fonction de la tension grille avant VGFS.

### V.3.2 Longueur du canal = 1 $\mu$ m:

Nous allons justifier notre analyse par la comparaison des caractéristiques simulées à base de notre modèle avec celles obtenues par un simulateur de commerce "SPICE2" [27].

Les principaux paramètres sont:

Longueur du canal	<b>L:1<math>\mu</math>m</b>
Largeur du canal	<b>W : 10<math>\mu</math>m</b>
Epaisseur du film de silicium	<b>tb: 100nm</b>
Epaisseur de l'oxyde de grille	<b>toxf: 20nm</b>
Epaisseur de l'oxyde enterré	<b>toxb:450nm</b>
concentration de dopage	<b>NA : 5.10<sup>16</sup>/cm<sup>3</sup></b>

La figure (V.8) montre les caractéristiques  $I_{DS}(V_{DS})$  simulées à base de notre modèle et celles obtenues par SPICE2 [27].

Nous pouvons noter de bons accords entre les résultats simulés à base de notre modèle, et celles obtenues par le simulateur SPICE2, excepté pour  $V_{GFS}=3v$ ,  $V_{DS}>3v$  où on observe une borne d'erreur relative de l'ordre de 5% qui peut être expliquée par le fait que pour notre modèle, l'effet du champ longitudinal sur la dégradation de la mobilité a été négligé. En effet, ce dernier augmente quand la longueur du canal diminue et contribue d'avantage à la dégradation de la mobilité des porteurs dans la couche d'inversion [35].

### V.3.2 Longueur du canal = 1 $\mu$ m:

Nous allons justifier notre analyse par la comparaison des caractéristiques simulées à base de notre modèle avec celles obtenues par un simulateur de commerce "SPICE2" [27].

Les principaux paramètres sont:

Longueur du canal	<b>L: 1<math>\mu</math>m</b>
Largeur du canal	<b>W : 10<math>\mu</math>m</b>
Epaisseur du film de silicium	<b>tb: 100nm</b>
Epaisseur de l'oxyde de grille	<b>toxf: 20nm</b>
Epaisseur de l'oxyde enterré	<b>toxb:450nm</b>
concentration de dopage	<b>NA : 5.10<sup>16</sup>/cm<sup>3</sup></b>

La figure (V.8) montre les caractéristiques  $I_{DS}(V_{DS})$  simulées à base de notre modèle et celles obtenues par SPICE2 [27].

Nous pouvons noter de bons accords entre les résultats simulés à base de notre modèle, et celles obtenues par le simulateur SPICE2, excepté pour  $V_{GFS}=3v$ ,  $V_{DS}>3v$  où on observe une borne d'erreur relative de l'ordre de 5% qui peut être expliquée par le fait que pour notre modèle, l'effet du champ longitudinal sur la dégradation de la mobilité a été négligé. En effet, ce dernier augmente quand la longueur du canal diminue et contribue d'avantage à la dégradation de la mobilité des porteurs dans la couche d'inversion [35].

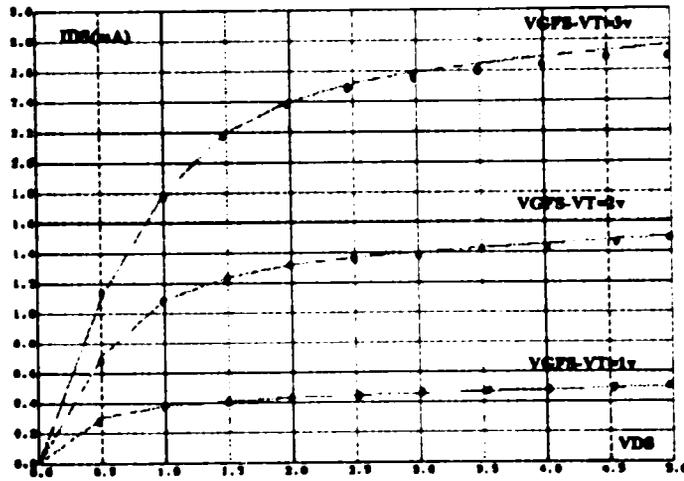


Fig (V.8.a) Caractéristiques simulées (.....)"SPICE2", (----) "SPICE3"  
Avec  $V_{GBS} = 0$ .

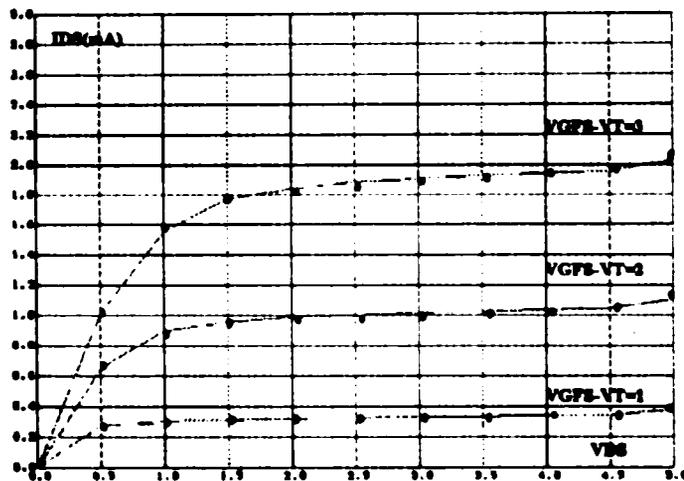


Fig (V.8.b)Caractéristiques simulées (.....)"SPICE2", (----) "SPICE3"  
Avec  $V_{GBS} = -80$ v

### V3.3 Troisième cas (longueur du canal $<1\mu\text{m}$ ):

Pour le cas des dispositifs submicroniques, nous avons simulé les caractéristique courant-tension pour une variété de composants et nous les comparons aux caractéristiques mesurées.

#### ① Premier composant (complètement dépleté):[43]

Les principaux paramètres sont:

Longueur du canal	<b>L:0,61<math>\mu\text{m}</math></b>
Largeur du canal	<b>W : 7,65<math>\mu\text{m}</math></b>
Epaisseur du film de silicium	<b>tb: 162nm</b>
Epaisseur de l'oxyde de grille	<b>toxf: 7nm</b>
Epaisseur de l'oxyde enterré	<b>toxb:380nm</b>
concentration de dopage	<b>NA : <math>10^{15}/\text{cm}^3</math></b>

La figure (V.9) présente la caractéristique courant tension simulée et mesurée. On remarque d'après cette figure que pour de faibles tensions drain ( $V_{DS}<1,5\text{v}$ ), nous avons de bons accords. Cependant, pour  $V_{DS}$  et  $V_{GFS}$  élevées ( $V_{DS}>1,5\text{v}$  et  $V_{GFS}=3\text{v}$ ) une borne d'erreur relative d'environ 27% est observée.

#### ② Deuxième composant (Complètement dépleté): [43]

Les principaux paramètres sont:

Longueur du canal	<b>L:0,28<math>\mu\text{m}</math>.</b>
Largeur du canal	<b>W : 7,83<math>\mu\text{m}</math>.</b>
Epaisseur du film de silicium	<b>tb: 94nm.</b>
Epaisseur de l'oxyde de grille	<b>toxf: 10nm.</b>
Epaisseur de l'oxyde enterré	<b>toxb:347nm.</b>
concentration de dopage	<b>NA : <math>10^{16}/\text{cm}^3</math>.</b>

La caractéristique simulée et mesurée de ce dispositif est présentée sur la figure (V.10). On peut noter les mêmes remarques que celles du premier composant. Pour de faibles tensions drain ( $V_{DS} > 1,5v$ ) une bonne concordance entre mesures et simulation est observée. On remarque que plus grand est  $V_{GFS}$ , plus grande est la borne d'erreur relative qui est de l'ordre de 30% dans ce cas (sera commenté plus loin).

### ③ Troisième composant (complètement dépleté):[44]

Les principaux paramètres sont:

Longueur du canal                    **L:0,2 $\mu$ m.**  
Largeur du canal                    **W : 9,5 $\mu$ m.**  
Epaisseur du film de silicium    **tb: 80nm.**  
Epaisseur de l'oxyde de grille **toxf: 7nm.**  
Epaisseur de l'oxyde enterré **toxb:400nm.**  
concentration de dopage        **NA : 5.10<sup>15</sup>/cm<sup>3</sup>.**

La figure (V.11) présente la caractéristique simulée et mesurée de ce composant.. Là aussi nous pouvons signaler une bonne précision pour de faibles tensions drain ( $V_{DS} \leq 1v$ ). Cependant, l'écart entre mesure et simulation augmente avec l'augmentation des tensions drain et grille avant  $V_{GFS}$  ( $V_{DS} > 1v$  et  $V_{GFS} = 2v$ ), la borne d'erreur relative est de l'ordre de 34% pour ce cas.

**④ Quatrième composant (partiellement dépleté):[24]**

Les principaux paramètres sont:

Longueur du canal            **L:0,2 $\mu$ m**  
Largeur du canal            **W : 10 $\mu$ m**  
Epaisseur du film de silicium   **tb: 75nm**  
Epaisseur de l'oxyde de grille **toxf: 5nm**  
Epaisseur de l'oxyde enterré **toxb:360nm**  
concentration de dopage    **NA : 5.10<sup>15</sup>/cm<sup>3</sup>**

La figure (V.12) présente la caractéristique mesurée et simulée **IDS(VDS)** de ce quatrième dispositif. On observe clairement dans la région de saturation l'effet Kink et l'effet du transistor bipolaire parasite. On remarque d'après cette figure que pour  $V_{DS} \leq 0,75v$  et  $V_{GS} \leq 1v$ , nous avons une bonne concordance entre mesure et simulation. Mais pour des tensions drain et grille plus élevées, l'écart entre résultat théorique et expérimentale devient plus important où une borne d'erreur de l'ordre de 40% et à signalé.

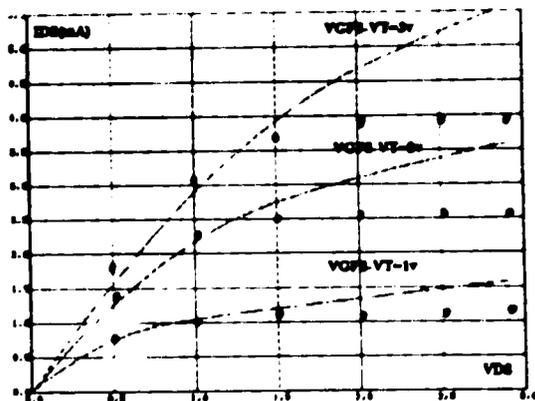


Fig (V.9) Caractéristiques courant-tension mesurées (.....) et simulées (-----) d'un TMOS SOI CD L=0,61 $\mu m$  et W=7,65 $\mu m$ .

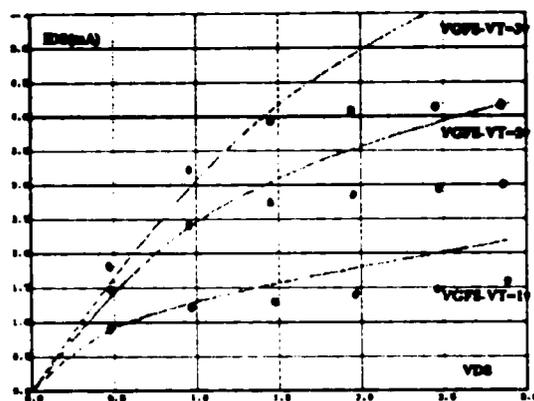


Fig (V.10) Caractéristiques courant-tension mesurées (.....) et simulées (-----) d'un TMOS SOI CD L=0,28 $\mu m$  et W=7,83 $\mu m$ .

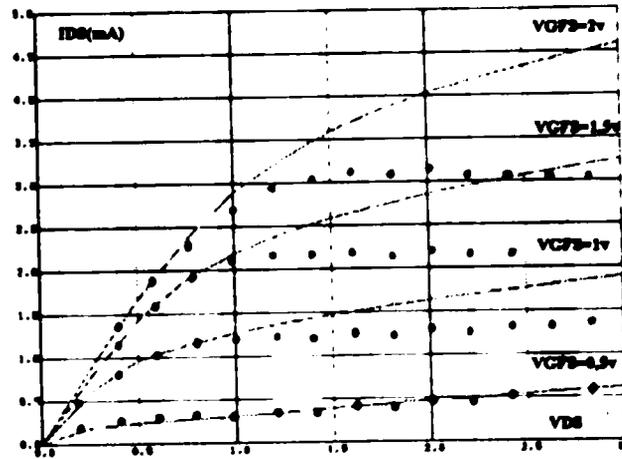


Fig (V.11) Caractéristiques courant-tension mesurées (.....) et simulées (----) d'un TMOS SOI CD L=0,2µm et W=9,5µm.

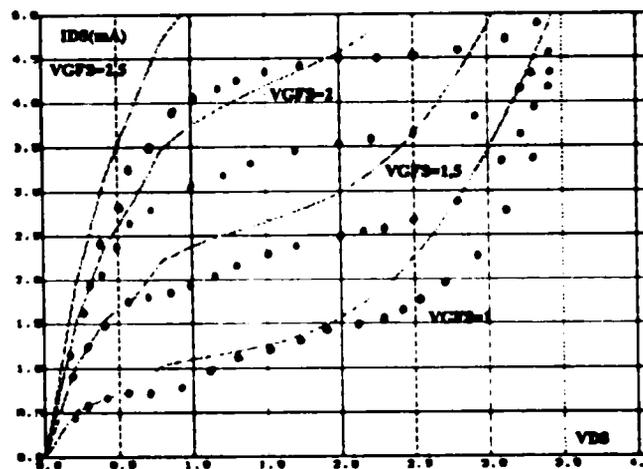


Fig (V.12) Caractéristiques courant-tension mesurées (.....) et simulées (----) d'un TMOS SOI PD L=0,2µm et W=10µm.

Dans le cadre de l'analyse faite sur ces quatre dispositifs, nous pouvons remarquer que plus la longueur du canal diminue, plus grand sera l'écart entre la simulation et les mesures. Nous pensons que ce ci est principalement dû d'une part à la valeur élevée du champ électrique qui est inversement proportionnel à la longueur du canal et contribue à la dégradation de la mobilité qui elle réduit le courant drain au niveau de la région de saturation [35]. D'autre part, il est dû à l'**auto-échauffement** du composant qui affecte d'une manière importante ces caractéristiques, c'est à dire pour des niveaux de courant plus élevés, le courant du dispositif est moins important, et ceci est dû à la décroissance de la mobilité à des températures élevées. En effet, en plus de l'isolation électrique, l'oxyde enterré du dispositif assure une isolation thermique à partir du substrat et par conséquent la température du transistor peut différer de la température ambiante et la puissance dissipée par le dispositif dans son état conducteur peut causer un **auto-échauffement**. Les caractéristiques de sortie du dispositif obtenue par des mesures statiques conventionnelles, varient d'un composant à l'autre. C'est à dire que la température du composant peut changer d'une manière importante durant les mesures et les caractéristiques ainsi obtenues ne doivent pas représenter les caractéristiques des composants.[45][46].

Ce problème peut être résolu en mesurant la température du composant en fonction de sa puissance et donc en l'incorporant dans un modèle thermique dans le modèle du composant[44].

On peut aussi utiliser une technique de mesure des caractéristiques non conventionnelle permettant d'éliminer l'effet de l'**auto-échauffement**[44].

La figure (V.13) montre des caractéristiques simulées et mesurées par une technique conventionnelle et une technique de la conductance AC permettant d'éliminer l'effet d'**auto-échauffement**. Ainsi, nous pouvons noter en premier lieu, l'écart entre les deux techniques de mesures. Une borne d'erreur relative de l'ordre de  $\approx 30\%$  est observée. ce qui montre clairement que cet effet affecte d'une manière significative les caractéristiques du composant.

Cependant, la simulation obtenue à partir de notre modèle montre que même pour VDS et VGFS élevées, la borne d'erreur relative entre la simulation et les mesures obtenues par la technique de la conductance AC est de l'ordre de  $\approx 11\%$  tandis qu'elle est de l'ordre de  $37\%$  par rapport aux mesures obtenues par la technique de mesure conventionnelle.

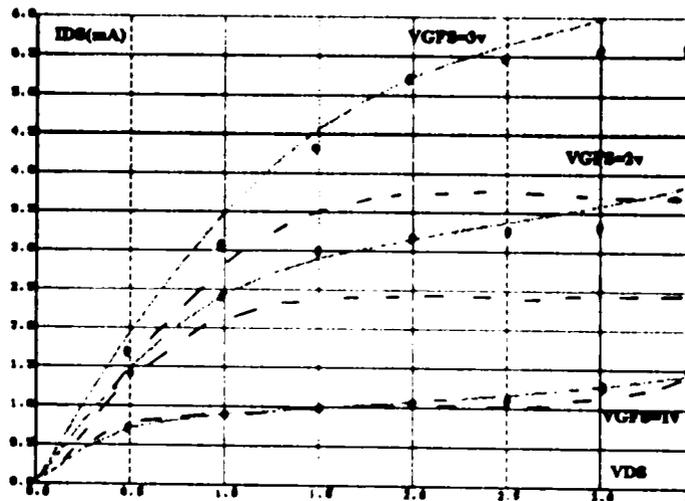


Fig (V.13) Caractéristiques courant-tension d'un TMOS SOI CD  $L=0,6\mu\text{m}$  et  $W=10\mu\text{m}$   
 $t_b=85\text{nm}$ ,  $t_{of}=9,1\text{nm}$ ,  $t_{ob}=400\text{nm}$ ,  $NA=10^{15}/\text{cm}^3$ .

- ..... : Mesurées à l'aide de la technique de la conductance AC [44]
- - - - : Mesurées à l'aide de la technique conventionnelle.[44]
- ..... : Simulées à base de notre modèle.

#### IV.4 CONCLUSION

La simulation des caractéristiques courant-tension du dispositif MOS SOI basé sur l'analyse du chapitre IV, montre une bonne concordance entre résultats théoriques et expérimentaux. Nous pouvons conclure que notre modèle convient bien à la modélisation micronique ( $L \geq 1\mu\text{m}$ ).

De plus, on peut souligner la bonne continuité entre le régime linéaire et le régime saturé, notion très importante pour la simulation des circuits analogiques.

# CONCLUSION

## **CONCLUSION ET PERSPECTIVES**

Nous avons présenté l'étude du transistor MOS à substrat et du transistor MOS SILICIUM SUR ISOLANT (SOI). Cette étude est menée pour tenir compte de l'évolution technologique (réduction des dimensions physiques des composants et mise au point de nouvelles technologies).

Nous avons accompli une étude comparative des deux technologies afin de mettre en évidence les avantages offerts par la technologie SOI qui permet d'éliminer nombre de comportements parasites.

Nous avons développé un modèle de transistor MOS SOI micronique (canal court) qu'on a dénommé "Modèle Physique en Forte Inversion". Ce modèle tient compte des effets canal court prédominants (La réduction de la tension de seuil dû au partage de charge, l'enrichissement de la conductivité du canal dû à la polarisation du drain, la dégradation de la mobilité, la modulation de la longueur du canal, le courant de génération dû à l'ionisation par impact, l'effet Kink et l'effet du transistor Bipolaire parasite).

Nous avons étudié la structure du simulateur électrique SPICE3F4, de type semi-ouvert, de l'Université de BERKELEY (§4) et nous avons alors constaté que les dispositifs implantés dans ce simulateur électrique possèdent au plus quatre noeuds, et parce que le transistor MOS SOI et à cinq noeuds, ce qui nous a obligatoirement conduit à créé un cinquième noeud "Body" afin d'implanter notre modèle que nous avons désigné par SOI LEVEL1 (niveau 1).

Cette approche méthodologique nous parait la plus adéquate de par les perspectives qu'elle offre en matière d'approfondissement de l'étude des divers phénomènes physiques.

En effet, compte tenu des résultats intéressants qui ont été obtenus pour un dispositif micrométrique (longueur du canal  $\geq 1\mu\text{m}$ ), la poursuite de ce travail serait d'une grande importance. De nouveaux champs d'investigation s'ouvrent notamment dans l'étude du phénomène d'auto-échauffement et d'autres aspects. A cet effet, nous proposons plusieurs perspectives:

❶ La modélisation du courant sous le seuil, et le lieu de claquage constituent des perspectives très intéressantes.

❷ Il serait très intéressant de compléter le modèle en traitant l'analyse AC et transitoire, afin de déterminer le comportement en fréquence et la réponse du circuit à des signaux de fortes amplitudes.

❸ Nous pensons, que notre modèle pourrait être un bon outil d'analyse pour l'étude des défauts d'interfaces dans les transistors MOS SOI.

# BIBLIOGRAPHIE

## **BIBLIOGRAPHIE**

- [1]- **J.D.CHATELAIN**, "Dispositifs à semiconducteur", Editions Georgi, Paris, Avril 1979.
- [2]- **F.DJAHLI**, "Mise au point d'un dispositif experimental pour l'étude des structures MOS : application à l'étude du vieillissement des TMOS microniques par la technique de pompage de charges", Thèse de Doctorat, INSA, Lyon , Septembre 1992.
- [3]- **A.VAPAILLE, R.CASTAGNE**, "Dispositifs et circuits intégrés semiconducteurs", Editions Bordas, Paris 1990.
- [4]- **R.LYON-CAEN**, "Transistors MOS. Principes, différents types, caractéristiques", Editions Masson ,Paris , 1978.
- [5]- **R.J.VAN OVERSTRAETEN, G.J.DECLERCK, P.A.MULS, G.BROUX**, "Theory of the MOS transistor in weak inversion. New method to determine the number of surface states", IEEE Trans. on E.D, N° 5, pp.282-288, May 1975.
- [6]- **R.RMMOUCHE**, "Etude et modélisation du transistor MOS", Thèse de Magister, Université de Sétif, Mai 1994.
- [7]- **R.REMMOUCHE, Z.LASTAB**, "Modélisation des composants SC et simulation électrique des circuits intégrés", Mémoires d'ingenieur, Institut d'Electronique, Setif, Juin 1991.
- [8]- **Z.X.YAN, M.J.DEEN**, "Physically-Based Method for Measuring The Threshold Voltage of MOSFET's", IEE Proceedings-G Vol. 138, N°3, pp. 351-357, March 1991.

- [9]- **J.J.CHARLOT**, "Le transistor MOS", Notes techniques, ENST, Paris 1984.
- [10]- **Y.BOUTERFA**, "Composants Semiconducteurs", Cours de DEA 1990-1991, Institut d'électronique, Université de Sétif.
- [11]- **R.R.TOUTMAN, A.G.FORTINO**, "Simple Model for Thershold Voltage in Short Channel IGFET", IEEE Transaction on Electron. Devices, Vol.ED-24, N°10, pp. 1266-1278, October 1977.
- [12]- **E.DE CHAMBOST**, "Estimate of Substrate Influence on Space Charge Limited current", Electronics letters., Vol .9 N°16, August 1973
- [13]-**P.RICHMAN**, "MOS Field-Effect Transistors and Integrated Circuits", Edition Jhon Wiley 1967).
- [14]- **S.TOUTAIN**, "Modélisation Distribuée Des Transistors MOS Submicroniques" Thèse de Doctorat, ENST, Paris, Mai 1989.
- [15]- **J.P.COLINGE**, "Silicon-On-Insulator Technology Material to VLSI", NORWELL, MA : Klumer Academic, 1991, ISBN.0-7923-9150-0.
- [16]- **J.F.CHASSERAY**, "Simulateurs électriques et modèles utilisateurs : Modélisation à Charges Distribuées du Transistor Bipolaire et de la Structure Silicium sur Isolant", Thèse de Doctorat, ENST, Paris 1990.

- [17]- **A.J.AUBERTON-HERVE**, "Etude de la faisabilité d'une filière CMOS-micronique sur Silicium sur Isolant", Thèse de Doctorat, Ecole Centrale, Lyon, Juillet 1986.
- [18]- **H.K.LIM, J.G.FOSSUM**, "Current-Voltage Characteristics of Thin-Film SOI MOSFET's in Strong Inversion", IEEE Transactions on Electron. Devices, Vol.ED.32, N°4, pp.401-408, April 1984.
- [19]- **S.M.SZE**, "Semiconductor Devices: Physics and Technology", Jhon Wiley & Sons, Singapore 1985.
- [20]- **S.C.SUN, J.D.PLUMMER**, "Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces", IEEE Transactions on Electron. Devices, Vol.ED-27, pp.1497-1508, August 1980.
- [21]- **S.R.BANNA, P.C.H.CHAN, P.K.HO, C.T.NGUYEN, M.CHAN**, "Depleted SOI MOSFET's", IEEE Transactions on Electron. Devices, Vol..42, N°11, pp.1949-1954, November 1995.
- [22]- **T.C.HSIO, J.C.S.WOO**, "Subthreshold Characteristics of Fully Depleted Submicrometer SOI MOSFET's", IEEE Transactions on Electron. Devices, Vol.ED.42, N°6, pp.1120-1124, June 1995.
- [23]- **K.SUZUKI, T.SUGII**, " Analytical Models for n<sup>+</sup>-p<sup>+</sup> Double-Gate SOI MOSFET's", IEEE Transactions on Electron. Devices, Vol.ED.42, N°11, pp.1940-1947, November 1995.
- [24]- **D.SUH, G.FOSSUM**, "A Physical Charge-Based Model for Non Fully Depleted SOI MOSFET's and Its Use in Asserssing Floating-Body Effects in SOI CMOS Circuits", IEEE Transactions on Electron. Devices, Vol.ED.42, N°.4, pp.728-737, April 1995.

- [25]- **K.KATO, T.WADA, K.TANIGUCHI**, "Analysis of Kink Characteristics in Silicon-On-Insulator MOSFET's Using Two-Carrier Modeling", *IEEE Transactions on Electron. Devices*, Vol.ED32, N°.2, pp.458-462, February 1985.
- [26]- **J.Y.CHOI, J.G.FOSSUM**, "Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometer SOI MOSFET's", *IEEE Transactions on Electron. Devices*, Vol.38, N°.6, pp.1384-1396, June 1991.
- [27]- **J.G.FOSSUM, J.Y.SHOI, R.SUNDARESAN**, "SOI Design for Competitive CMOS VLSI", *IEEE Transactions on Electron. Devices*, Vol37, N°.3, pp.724-729, March 1990.
- [28]- **P.SMEYS, J.P.COLINGE**, "Analysis of Drain Breakdown Voltage in Enhancement-Mode SOI MOSFET's", *Solid-State Electronics* Vol.36, N°.4, pp.569-573, 1993.
- [29]- **B.OSMANI**, "Etude et Modélisation du Transistor MOS.SOI, Implantation d'un Modèle DC dans SPICE3 F4", *Mémoire d'ingénieur, Institut d'Electronique, Sétif, Juin 1995.*
- [30]- "MOS, Silicon-On-Insulator", *Mémoire d'Ingénieur, Université Catholique de Louvain, Belgique, Juin 1993.*
- [31]- **J.P.COLNGE**, "Subthreshold Slope of Thin-Film SOI MOSFET", *IEEE Electron. Devices Letters*, Vol.EDL.7, N°.4, pp.244-246, April 1986.
- [32]- **S.VERARAGHAVAN, J.G.FOSSUM**, "A Physical Short-Channel Model for the Thin-Film SOI MOSFET Applicable to Device and Circuit CAD", *IEEE Transactions on Electron. Devices*, Vol.35, N°.11, pp.1866-1875, November 1988.
- [33]- **A.VLADIMIRUSCU, S.LIU**, "The Simulation of MOS Integrated circuits using SPICE2", *University of Berkeley; M 80/7, February 1980.*

- [34]- " Silvaco SmartSpice / UTMOST III Modeling Manual Version 1.1 November 1993.
- [35]-S.W.LEE, R.C.RENNICK, "A Compact IGFET Model-ASIM", IEEE Transactions on Computer-Aided design, Vol., N°9, pp.952-975, September 1988.
- [36]-H.TRANDUC, P.ROSSEL, J.L.SANCHEZ, " Premier et Second Claquages dans les Transistors MOS",Revue Physique, pp II\_93-II\_111, Octobre 1984.
- [37]- "CADENCE SPICE Référence manuel", March 1991.
- [38]-S.RAHMANI, M.KHOMS, "Etude et Modélisation du Transistor MOS, Implantation d'un Modèle Simple et Précis dans SPICE3 F2", Mémoire d'Ingénieur, Institut d'Electronique, Sétif, Juillet 1993.
- [39]- A.RABHI, "Prise en Compte du Phénomène de Vieillessement dans un Modèle à Charges Distribuées du Transistor MOS" Thèse de Magister, Université de Constantine, Mai 1993.
- [40]-B.JHONSON, T.QUARLES & al, "SPICE3 Version F2 User's Manual", Departement of Computer Sciences, University of California, Berkeley, October 1992.
- [41]-T.QUARLES, "Adding Devices to SPICE3" Memorandum N°U.C.B/E.R.L M89/45, Electronics Reseach Laboratory, Université of California, Berkeley, April 1989.
- [42]-J.J.CHARLOT, "Implantation d'un modèle UNICEL dans SPICE3F2", Notes techniques, ENST, Paris; Décembre 1993.

- [43]-**C.HSIO, A.KISTLER, J.C.S.WOO**, "Modeling I-V Characteristics of Fully Depleted Submicrometer SOI MOSFET's" IEEE Electron. Devices Letters, Vol.15, N°.2, pp.45-47, February 1994.
- [44]-**Y.G.CHEN, S.Y.MA, J.B.KUE, Z.YU, R.W.DUTTON**, "An Analytical Drain Current Model Considering Both Electron and Lattice Temperatures Simultaneously for Deep Submicron Ultrathin SOI NMOS Devices with Self-Heating" IEEE Transactions on Electron. Devices, Vol.42, N°.5, pp.899-909, May 1995.
- [45]-**K.A.JENKIS, J.Y.C.SUN**, "Measurement of I-V Curves of Silicon-on-Insulator (SOI) MOSFET's Without Self-Heating" IEEE Electron. Devices Letters, Vol.16, N°.4, pp.145-147, April 1995.
- [46]-**R.H.TU, C.WANN, J.C.KING, P.K.KO, C.HU**, "An AC Conductance Technique for Measuring Self-Heating in SOI MOSFET's" IEEE Electron. Devices Letters, Vol.16, N°.2, pp.67-69, February 1995.