

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

**MINISTRE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE**

**UNIVERSITE MENTOURI DE CONSTANTINE
FACULTE DES SCIENCES DE L'INGENIEUR
DEPARTEMENT D'ELECTRONIQUE**

N° d'Ordre :.....

Série :.....

MEMOIRE DE MAGISTER

Présenté Par

Mr. BELLA MOURAD

Option : Microélectronique

THEME

**Influence des effets quantiques sur les caractéristiques de
transistors DGMOS nanométrique.**

Soutenu le : 09 / 06 / 2009

Examiné Par le Jury :

Président : BENGHALIA Abdelmadjid	Professeur	Université Mentouri Constantine
Rapporteur : LASSOUED Saida	Professeur	Université Mentouri Constantine
Examineur : CHAABI Abdelhafid	Professeur	Université Mentouri Constantine
Examineur : BOUHEDJA Samia	M.C	Université Mentouri Constantine

Année 2008-2009

Remerciements

Je tiens à remercier tout d'abord ALLAH qui ma donnée la patience et le courage LE le long de tout le chemin de ma formation.

Je tiens à exprimer, par ce modeste travail, ma gratitude, mon respect et ma considération à mon directrice de thèse, Le Professeur Madame LASSOUED Saida pour avoir suivi mon travail avec une attention soutenue, et pour sa qualité humaine et scientifique.

Je suis honoré que monsieur ABDELMADJID BENGHALIA professeur à l'université Mentouri de Constantine de ait accepté de présider mon jury.

Je tiens à remercier ABDEHAFID CHAABI et SAMIA BOUHEDJA de l'université Mentouri de Constantine, d'avoir accepté d'examiner mon travail.

J'exprime une grande reconnaissance à l'équipe du Laboratoire LHS de Constantine, pour leur aide morales, leur sympathie, et leur compréhension.

Mes remerciements vont également à ma famille, et surtout mon père que Dieu l'accueille dans son vaste paradis.

Sommaire

Introduction Générale.....	1
----------------------------	---

Chapitre I : Limitation à la miniaturisation des transistors MOSFET

I.1. Introduction.....	3
I.2. Evolution de la technologie CMOS	3
I.3. Contraintes pour les générations futures	4
I.4. Fonctionnement d'un TMOS à canaux longs	6
I.4.1. Structure.....	6
I.4.2. Principe de fonctionnement du transistor MOS.....	7
I.4.3. Régime de fonctionnement	7
I.4.3.1. Régime d'accumulation	8
I.4.3.2. Régime de déplétion	8
I.4.3.3. Faible d'inversion (régime sous le seuil).....	9
I.4.3.4. Forte d'inversion	10
a) régime ohmique	11
b) régime pincé	11
c) régime de saturation	11
I.4.4. Tension de seuil.....	12
I.4.5. Caractéristique courant- tension	13
I.4.6. Caractéristique I_{ON}/I_{OFF} : familles technologiques.....	13
I.5. Effet de la miniaturisation	14
I.5.1. DIBL.....	15
I.5.2. L'effet de canaux courts.....	16
I.6. Technologie SOI à double grille.....	17
I.7 .Conclusion	19

Chapitre II :

Modèle mathématique de DG MOS à canaux courts et logiciel de simulation

II.1. Introduction	20
II.2. Modélisation physique du silicium	20
II.2.1. Structure de bandes	20
II.2.2. densité d'état	24
II.3. Notion de masse effective	25
II.4. Effets quantiques dans les structures MOS	25
II.4.1. Confinement quantique.....	25
II.5. Equations considérés	27
II.5.1. Equation de Poisson	27
II.5.2. Equation de Schrödinger	28
II.6. Equations Discrètes	28
II.6.1. Discrétisation de l'équation de Poisson	28
II.6.1.a. Approximation Discrète à l'intérieur	29
II.6.1.b. Approximation discrète à l'interface	30
II.6.1.c. Approximation discrète aux frontières	30
II.6.2. Discrétisation de l'équation de Schrödinger	31
II.7. Solution de l'équation discrète de Poisson par la méthode de Newton-Raphson	33
II.8. Résolution auto-coherente des équations Poisson-Shrodinger (Modèle self consistent)	34
II.9. Transport dans les TMOS nanométriques	35
II.9.1. Densité des électrons.....	36
II.9.2. Densité de courants	38
II.10. Approximations considérées et conséquences	38
II.11. Algorithme Générale du Programme de simulation.....	40
II.12. Conclusion	41

Chapitre III : Résultats et Discussions

III.1.Introduction.....	42
III.2. Présentation du dispositif simulé	42
III.3. Résultats obtenus	43
III.3.1. caractéristique statique	47
III.3.1.1. Etat passant	48
III.3.1.2. Etat bloqué	52
III.4. Analyse des effets canaux courts : DIBL.....	53
III.5. Influence des paramètres technologiques caractéristiques de la structure de transistor MOS à double grille (DGMOS)	55
III.5.1. Effet de la longueur du canal Lg (zone active)	55
III.5.2. Epaisseur de la couche active (canal).....	55
III.5.3. Travail de sortie	56
III.6. Simulation avec ISE-TCAD.....	57
III.6.1. ISE-CAD	57
III.6.1.1. GENESIS	58
III.6.1.2. MDRAW	59
III.6.1.3. DESSIS	59
III.6.1.4. INSPECT	59
III.6.2 : Modélisation quantique sous ISE-TCAD	60
III.6.3. Analyse des résultats : Comparaison.....	60
III.7. Conclusion	61
 Conclusion Générale.....	 62

Introduction Générale

Introduction Générale

L'industrie des semi-conducteurs cherche toujours comment faire évoluer les technologies des semi-conducteurs vers des géométries de plus en plus fines. Les circuits plus petits réduisent la surface globale de la puce électronique et permettent donc l'augmentation de la densité d'intégration (produire plus de transistors sur un même substrat), et l'amélioration des performances électriques. Ceci est rendu possible par la diminution de la taille des transistors ; la longueur caractéristique d'un transistor qui distingue une génération de transistor de la suivante est la longueur de grille L_G .

La diminution des dimensions des composants de la microélectronique a pour effet la diminution du coût et l'amélioration des performances des composants, mais ceci conduit cependant à l'apparition d'effets néfastes tel que l'effet DIBL (Drain Induced Barrier Lowering). Pour minimiser ces effets, il est intéressant de se tourner vers de nouvelles architectures de transistors tel que les MOSFET à double grille qui s'avèrent actuellement comme une alternative très prometteuse.

Dans ce travail, nous avons étudié les caractéristiques électriques du transistor MOS à double grille (DGMOS). La détermination de ces caractéristiques a été obtenue par l'adaptation et la mise au point d'un logiciel de résolution des équations 'Schrödinger-Poisson'. La validité de nos résultats a été confirmée en les comparant avec ceux obtenus par le logiciel ISE-TCAD.

Le premier chapitre de ce mémoire rappelle le fonctionnement des transistors à effet de champ MOSFET substrat massif dit 'MOSFET bulk'. Les différents régimes de fonctionnement, ainsi que les problèmes engendrés par sa miniaturisation sont aussi présentés. Nous présenterons ensuite, la technologie SOI à double grille qui est l'une des solutions permettant d'élimination des problèmes de la miniaturisation.

La présentation des équations régissant le fonctionnement de composants nanométriques est présentée dans le chapitre deux. Il s'agit des équations de Poisson et Schrödinger.

Nous les résolvons en pseudo- 2D en utilisant le principe de discrétisation des différences finies. Un souci particulier est donné, dans ce chapitre, pour la présentation, de toutes les équations ainsi que les procédures de résolution présentes dans le programme utilisé.

Dans le dernier chapitre, nous avons présenté les résultats des simulations obtenues par le programme ainsi que leur analyse. Les résultats obtenus sont validés par le simulateur de composant ISE-TCAD.

Chapitre I :
*Limitation à la
miniaturisation des
transistors MOSFET*

I.1. Introduction :

Dans ce chapitre nous nous intéressons dans un premier temps à l'évolution de la technologie CMOS, et les contraintes prévues pour les générations futures. Dans un second temps nous présentons le comportement du transistor MOS dans ses différents régimes de fonctionnement.

Nous montrons ensuite l'influence de la miniaturisation sur les composants microélectroniques, et nous présentons les différentes solutions prévues pour minimiser cette influence.

I.2. Evolution de la technologie CMOS :

L'évolution des technologies des semi-conducteurs vers des géométries de plus en plus fines permet un accroissement des performances et des fonctionnalités par puce mais s'accompagne simultanément d'une augmentation de la puissance dissipée.

La miniaturisation du transistor à effet de champ est dictée à la fois par des arguments de coût, par la nécessité d'intégrer de nombreuses fonctions sur une surface réduite, mais aussi par la volonté d'augmenter la vitesse des circuits tout en diminuant leur consommation. En fait, la diminution de la longueur de grille des dispositifs a deux avantages décisifs pour les fabricants: d'une part, à puissance égale, elle permet de réduire la surface de silicium de la puce, ce qui en termes de coût est bénéfique, et d'autre part, elle permet d'augmenter la fréquence des circuits, cette dernière étant inversement proportionnelle à la longueur de grille. La grandeur caractéristique donc d'un transistor qui distingue d'une génération à une autre est la longueur de grille L_G .

En 1965, Gordon Moore, un des fondateurs d'Intel, postula qu'on serait capable de doubler chaque 18 mois le nombre de transistors d'un circuit électronique à prix constant. Sa prédiction s'est extraordinairement bien vérifiée non seulement pour les microprocesseurs, mais aussi pour les mémoires RAM. Aujourd'hui, des circuits intégrés (IC) comprenant plus de 200 millions de transistors sont produits de façon industrielle (microprocesseurs). La longueur de grille des CMOS utilisés pour ces dernières générations de microprocesseurs est égale à $0.1\mu\text{m}$ tandis que la surface de la puce varie de 80 à 150 mm^2 [1, 2].

I.3. Contraintes pour les générations futures :

A chaque nouvelle génération de transistor, la réalisation du défi lancé par la loi de "Moore" (figure I-1) apparaît comme un "casse-tête" de plus en plus difficile à réaliser.

Un compromis complexe entre la physique, la technologie et la rentabilité concentre ainsi toute l'attention des ingénieurs et des chercheurs. Des paramètres et contraintes souvent contradictoires, tels que la performance, la consommation et la fiabilité sont à prendre en compte. Pour résumer, disons que le jeu consiste à augmenter les performances en diminuant les dimensions, sans trop augmenter la puissance dissipée à l'état bloqué du transistor.

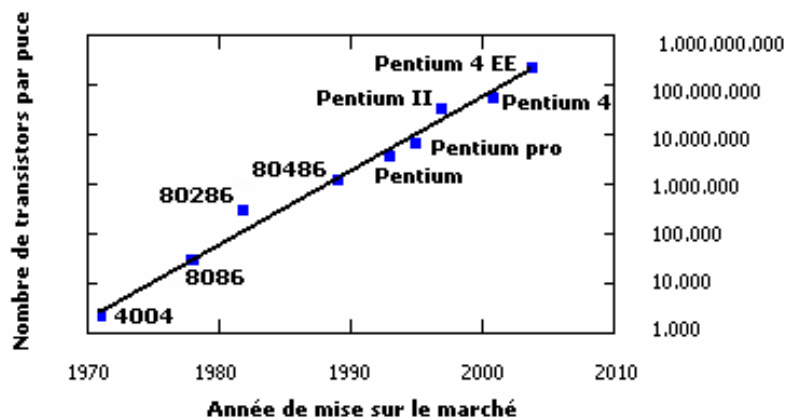


Figure I.1 : Evolution du nombre de transistors dans les microprocesseurs Intel [3]

Malgré l'utilisation de matériels de plus en plus performant il sera difficile de maintenir l'augmentation des performances électriques des composants au rythme de la loi de Moore.

Il convient cependant de rappeler que les données du tableau (I.1) sont basées sur de simples projections des progrès passés. Ceci ne garantit pas forcément qu'un dispositif plus court pourra être fabriqué, ni qu'il présentera les mêmes performances [1].

Année	1999	2002	2005	2008	2011	2014
L_g (nm)	180	130	100	70	50	35
V_{dd} (v)	1.5- 1.8	1.2-1.5	0.9-1.2	0.6-0.9	0.5-0.6	0.3-0.6
V_T (v)	0.5	0.4	0.35	0.3	0.25	0.2
d_{ox} (nm)	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-0.8	0.5-0.6
N_a (cm^{-3})	$<10^{18}$	$<10^{18}$	$<10^{18}$	$<10^{18}$	$<10^{18}$	$<10^{18}$
X_j (nm)	45-70	30-50	25-40	20-28	13-20	10-14
E (MV / cm)	<5	5	>5	>5	>5	>5
I_{on} ($\mu A / \mu m$)	750/350	750/350	750/350	750/350	750/350	750/350
I_{off} ($\mu A / \mu m$)	5	10	20	40	80	160
ϕ du wafer	200	300	300	300	300	450

Tableau I.1 : Prévission SIA de l'évolution de la technologie CMOS [1]

La figure (I.2) illustre graphiquement l'évolution espérée des principales caractéristiques des TMOS, à savoir, la longueur de grille (L_g), la tension d'alimentation (V_{DD}), l'épaisseur d'oxyde de grille (d_{ox}) et les profondeurs de jonctions des extensions de source et drain (X_j).

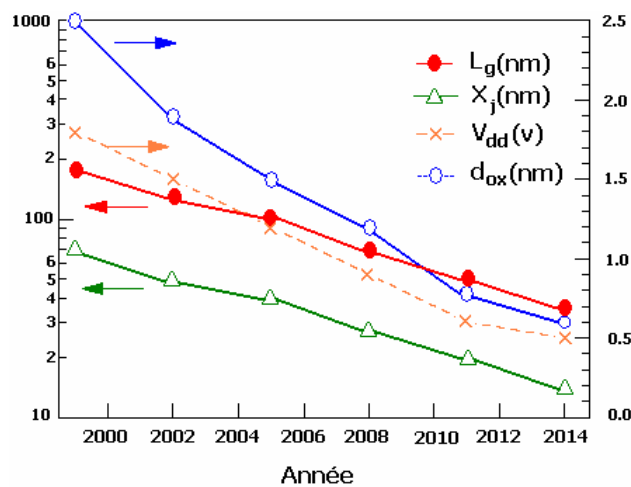


Figure I.2: Evolution espérée des principales caractéristiques des TMOS [1]

Une première analyse de ces valeurs permet d'annoncer quelques possibles limitations et freins technologiques à la réduction d'échelle énoncée selon les critères de la SIA :

* En raison de la réduction de la résistance du canal à l'état passant, il faut veiller à ce que les résistances source/drain, placées en série avec celle du canal, soient suffisamment faibles pour ne pas dégrader sérieusement les performances du composant. Cette contrainte impose donc

de ne pas choisir des profondeurs de jonctions X_j trop faibles, et conduit à adopter un très fort dopage de source et de drain. Cela est cependant défavorable du point de vue des effets canaux courts car la réduction des profondeurs de jonctions source/drain permet en fait un meilleur contrôle de la charge du canal à l'état bloqué.

* La tension d'alimentation ne peut que difficilement être réduite en dessous de 0.6 V, en raison de la nécessité du maintien de la tension de seuil (V_T) à un niveau suffisant pour garantir des marges de bruit acceptables dans les circuits logiques.

* La réduction de l'épaisseur d'oxyde en dessous de 2 nm induit un important courant tunnel, or vu les épaisseurs annoncées (figure (I.2)) de sérieux problèmes risquent de se poser au niveau de la consommation statique. Il est admis que pour une tension d'alimentation de 1 V, la limite maximale admise pour le courant de fuite de grille est de l'ordre de 1 A/cm^2 , ce qui situe l'épaisseur minimale d'oxyde aux environs de 1.8 nm. Cependant, on sait que ces courants de fuite ne perturberont pas le fonctionnement élémentaire des transistors MOS de longueur de canal inférieure à $1 \mu\text{m}$, mais en revanche, augmenteront la puissance dissipée à l'état bloqué. Par ailleurs, il est clair également que la réduction des dimensions ne peut se faire sans réduire l'oxyde de grille, sous peine de ne plus parvenir à contrôler les effets canaux courts.

I.4. Fonctionnement d'un TMOS à canaux longs :

I.4.1. Structure:

Le transistor MOSFET (*Transistor Métal-Oxyde-Semiconducteur à effet de champ*) est organisé autour d'une structure MOS suivant la dispositif type représenté sur la figure I.3.

Le transistor MOS type N est constitué :

* d'un substrat de type P, pour le transistor NMOS, et de type N pour le transistor PMOS.

* d'une couche conductrice métallique (ou d'une couche de polysilicium fortement dopé) déposé sur l'isolant, appelée électrode de commande (grille) ; ici l'isolant est un oxyde (silice SiO_2).

* deux régions de type opposé à celui du substrat, fortement dopé, appelées source et drain. La région entre la source et drain est appelée la région du « canal ».

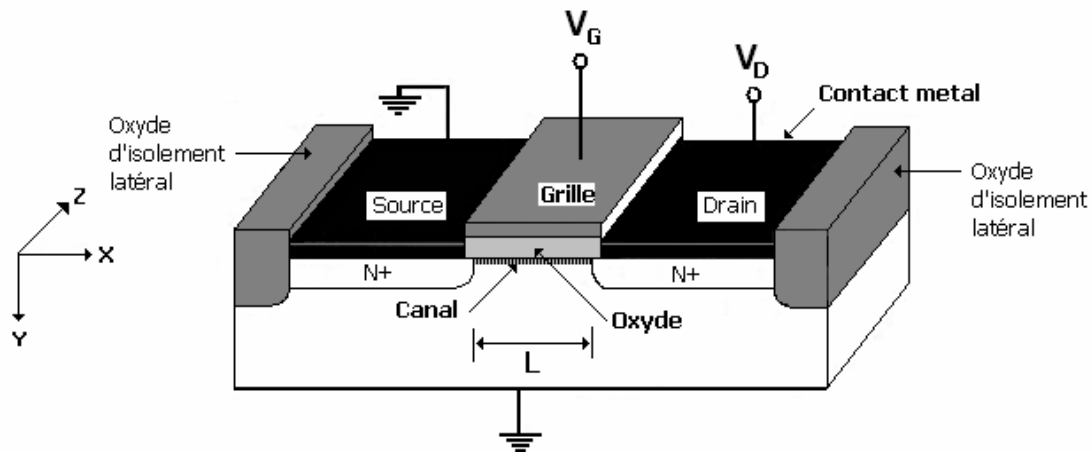


Figure I. 3: Structure et Principe du MOSFET en régime d'inversion

I.4.2. Principe de fonctionnement du transistor MOS:

En l'absence de toute polarisation ($V_D < 0$), l'état électrique de la structure est conditionné par l'état de la capacité MOS qui peut être en régime d'accumulation, de déplétion ou d'inversion. Le principe de fonctionnement du transistor MOS consiste à moduler par la tension de grille l'épaisseur du canal de conduction.

L'application sur la grille d'une tension positive par rapport au substrat génère un champ électrique qui attire les porteurs minoritaires du substrat (les électrons pour le substrat de type P, et les trous pour le substrat de type N), vers la surface, donc la couche d'inversion est créée et le canal est ainsi formé. Maintenant, en polarisant le transistor par une tension V_{DS} , cette tension autorise le passage d'un courant entre la source et le drain.

Le courant qui circule dans le canal est le courant des porteurs minoritaires.

I.4.3. Régime de fonctionnement :

L'application d'une tension V_G sur la grille se traduit par un décalage du niveau de fermi. Suivant le signe et la valeur de V_G on peut distinguer quatre cas de fonctionnement :

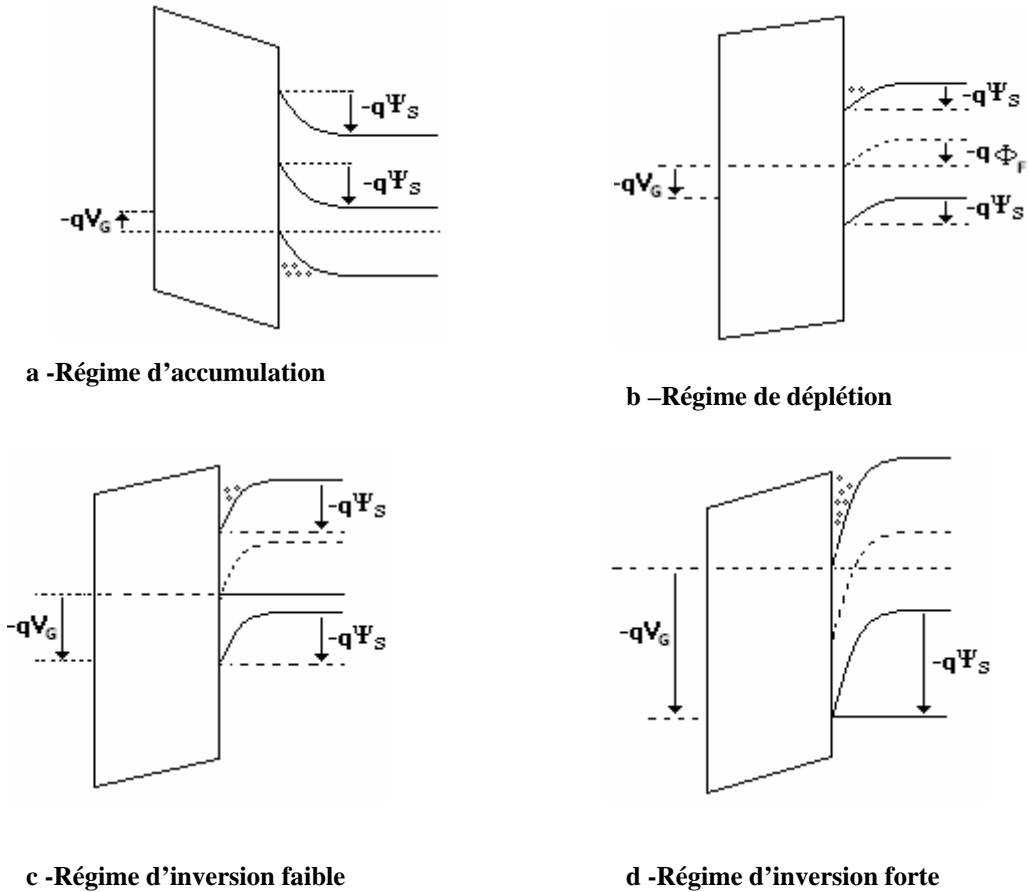


Figure I. 4 : Diagrammes des bandes dans les différents modes de fonctionnement d'un transistor nMOS [4]

I.4.3.1. Régime d'accumulation :

Lorsque la tension appliquée sur la grille est négative, le champ électrique généré attire les porteurs majoritaires du substrat à l'interface entre le semi conducteur et l'oxyde. Il existe une barrière de potentiel entre la source et le substrat. Le courant ne passe pas dans ce cas et le transistor est à l'état bloqué (figure I-4-a).

I.4.3.2. Régime de déplétion :

Dans ce régime la tension appliquée sur la grille est supérieure à la tension de bande plate $V_G > V_{FB}$. Le transistor est à l'état bloqué, puisque les porteurs sont repoussés en profondeur du substrat. Aucune courant ne circule dans le composant dans ce cas également (figure I-4-b).

I.4.3.3. Faible d'inversion (régime sous le seuil) :

Si on fait augmenter V_G , le potentiel à la surface du substrat augmente jusqu'à atteindre une valeur permettant le déplacement des électrons de la source vers le drain, les électrons sont alors collectés par celui-ci et par conséquent participent au courant électrique dans le cas où $V_G < V_T$ (V_T est appelée tension de seuil : elle représente une valeur particulière de la tension de grille, nécessaire pour amorcer la forte inversion). On dit alors que le canal est en faible inversion.

Le courant qui circule entre le drain et la source, appelé courant sous le seuil, est alors donne par [5] :

$$I_{DS} = \mu C_{ox} \frac{W}{L} \phi_t^2 \exp\left(\frac{V_{GS} - V_T}{n \phi_t}\right) \left\{ 1 - \exp\left(-\frac{V_{DS}}{\phi_t}\right) \right\} \quad (I.1)$$

Où $\phi_t = \frac{KT}{q}$

$n = 1 + C_D / C_{ox}$ (en technologie bulk)

avec C_D , la capacité de la couche déplétée ; C_{ox} , la capacité de l'oxyde de grille.

μ : mobilité des porteurs majoritaires.

W : largeur du canal.

L : longueur du canal.

De plus, pour une tension grille - source nulle (transistor bloqué), un courant très faible circule dans le composant : c'est un courant de fuite dont l'expression est donnée par [6] :

$$I_{OFF} = I_T \exp\left(\frac{-V_T \ln 10}{S}\right) \quad (I.2)$$

I_T : courant correspondant à la tension de seuil.

S : la pente sous le seuil en échelle semi- logarithmique.

L'expression de la pente sous le seuil est [3]

$$S = \ln(10) \frac{\partial V_{gs}}{\partial (\ln(I_D))} = n \frac{kT}{q} \ln(10) = \left(1 + \frac{C_D}{C_{ox}}\right) \frac{kT}{q} \ln 10 \quad (I.3)$$

La pente sous le seuil s'exprime en mV/dec, elle correspond à la tension qu'il faut appliquer sur la grille pour augmenter le courant d'une décade. Dans la cas idéal et à la température ambiante, $n=1$ et $S=60\text{mV/dec}$ [7].

Toutes les caractéristiques sous le seuil peuvent être obtenues à partir d'une courbe $I_d (V_g)$ tracée sur une échelle semi-logarithmique (figure I-5) :

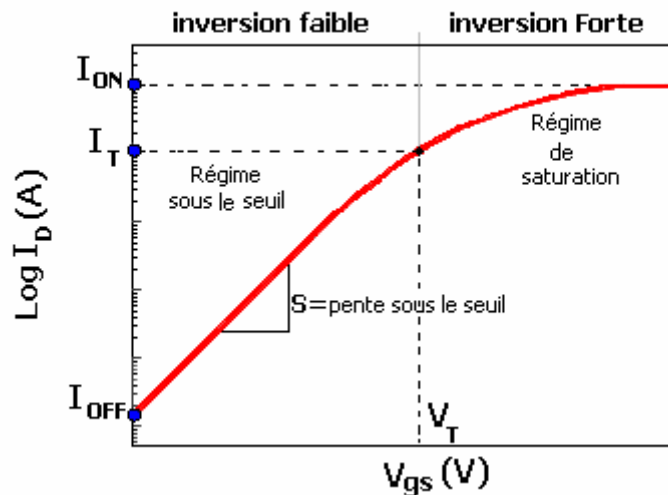


Figure I. 5: Courbe $I_d (V_g)$ illustrant la séparation établie par la tension de seuil entre Inversion faible et forte, et regroupant les principales caractéristique sous le seuil

I.4.3.4. Forte d'inversion :

Dés que la tension de grille dépasse la tension de seuil. On dit que le canal est en forte inversion. Dans se cas on peut distinguer trois modes de fonctionnement selon la valeur de la tension du drain V_{DS} .

a) régime ohmique :

Pour des tensions drain -source (V_{DS}) très inférieurs à la tension de saturation ($V_{DS} \ll V_{DSSAT}$), la couche d'inversion est pratiquement uniforme le long de canal, et le courant de drain varie proportionnellement à la tension (V_{DS}) (équation I.4) ; le transistor fonctionne alors en régime linéaire (figure I-6).

Dans ce régime le courant peut s'écrire sous la forme suivante :

$$I_D = \mu c_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS} \tag{I.4}$$

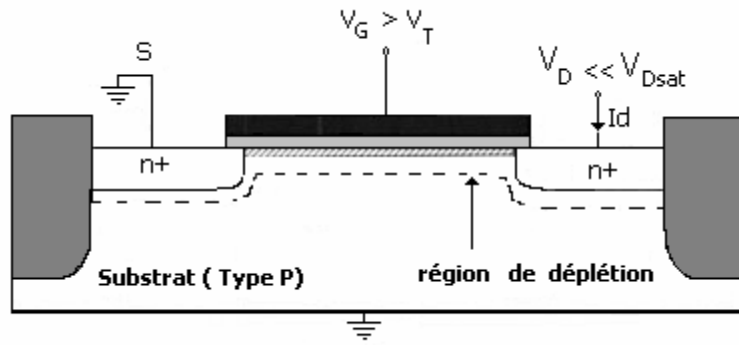


Figure I. 6: régime de fonctionnement linéaire (ohmique)

b) régime pincé :

Si on continue à augmenter la tension de drain V_{DS} , l'effet de V_{GS} au niveau de drain diminue de sorte qu'il devient insuffisant pour maintenir la couche d'inversion. Le canal est interrompu près du drain. On dit qu'il est pincé. La tension au point de pincement est égale à $(V_G - V_T)$, valeur limite nécessaire pour maintenir l'inversion. (figure I.7).

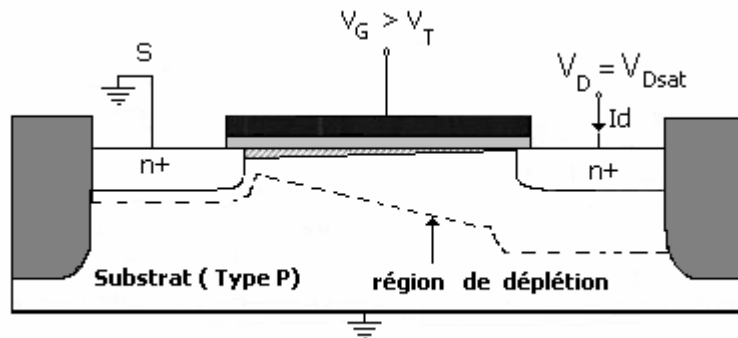


Figure I. 7: régime pincé

c) régime de saturation :

Maintenant on augmente plus la tension drain-source ($V_{DS} > V_{sat}$), le point de pincement est déplacé vers la source (figure I-8).

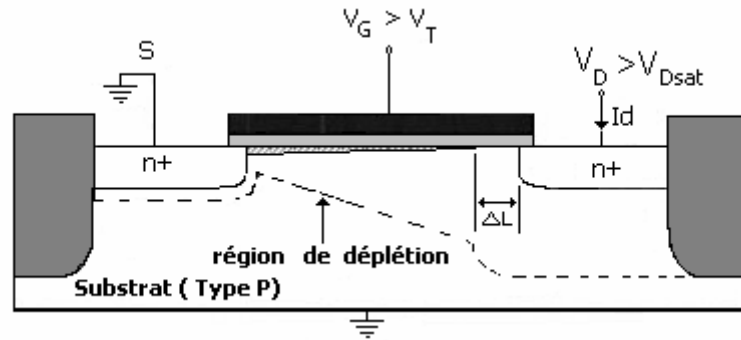


Figure I. 8 : régime de saturation

Le courant de saturation s'écrit sous la forme :

$$I_{sat} = \mu c_{ox} \frac{W}{2L} (V_{GS} - V_T)^2 \quad (I.5)$$

Ou encore :

$$I_{sat} = \mu c_{ox} \frac{W}{2L} .V_{Dsat}^2 \quad (I.6)$$

En tenant compte de la longueur effective du canal ($L - \Delta L$), le courant de drain s'exprimé par :

$$I_D = I_{sat} \frac{1}{1 - \frac{\Delta L}{L}} \quad (I.7)$$

Ou ΔL : représente la longueur de déplacement de point de pincement vers la source.

I.4.4. Tension de seuil :

La tension de seuil est l'un des paramètres les plus important dans l'étude de transistor MOS, est définie comme étant la tension à appliquer sur la grille pour obtenir la forte inversion, c'est-à-dire [3] :

$$\psi_s = 2 \cdot \Phi_F$$

Où ψ_s : potentiel de surface.

Φ_F : est le potentiel correspond au déplacement du niveau de Fermi.

Dans le cas idéal, l'expression de la tension de seuil est donnée par [3]:

$$V_T = 2 \cdot \phi_F + \frac{\sqrt{4 \cdot e \cdot N_A \cdot \epsilon_{Si} \cdot \phi_F}}{C_{OX}} \quad (I.8)$$

Où : N_A : dopage du substrat.

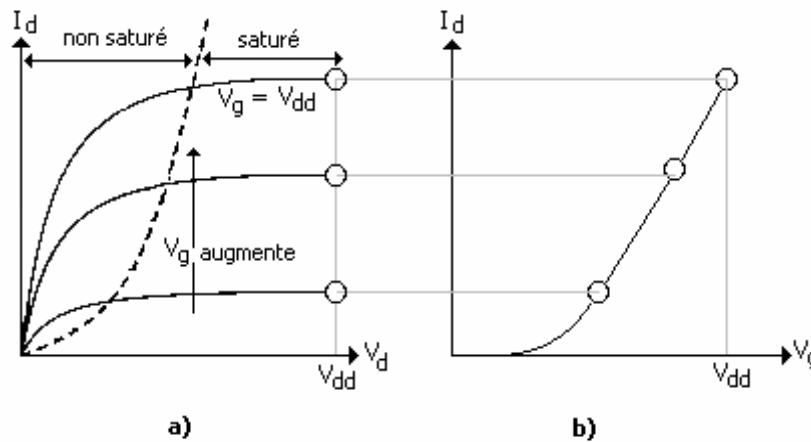
Mais lorsque on incorpore les effets de charges fixes dans l'oxyde et la différence des travaux de sortie (du métal et du semi-conducteur), il apparaît un décalage de la tension de seuil d'une quantité égale à la tension de bande plate V_{FB} ; donc la tension de seuil devient :

$$V_T = V_{FB} + 2 \cdot \phi_F + \frac{\sqrt{4 \cdot e \cdot N_A \cdot \epsilon_{Si} \cdot \phi_F}}{C_{OX}} \quad (I.9)$$

La tension de seuil typique d'un nanoMOSFET est comprise entre 0.2 et 0.4V [8].

I.4.5. Caractéristique courant- tension :

A partir des expressions du courant de drain en fonction des la tensions drain - source et grille- source, on représente alors les caractéristiques de sortie et de transfert du MOSFET qui est donnée sur la figure (I-9)



**Figure I.9 : Réseau du caractéristique du MOSFET a) caractéristique de sortie
b) caractéristique de transfert**

I.4.6. Caractéristique I_{ON}/I_{OFF} : familles technologiques :

Il apparaît que les paramètres I_{ON} et I_{OFF} constitues de très bons indicateurs des performances d'un dispositif. Le rapport I_{ON}/I_{OFF} doit être élevé que possible, avec I_{ON} défini comme le courant de drain lorsque $V_{GS} = V_{DS} = V_{DD}$ et I_{OFF} comme le courant de drain lorsque $V_{GS} = 0$ et $V_{DS} = V_{DD}$. De cette manière, des fréquences de commutation élevée sont autorisées par un courant I_{ON} élevé et un courant de I_{OFF} minimal permet une faible dissipation d'énergie au repos [9, 10].

Le graphe I_{ON}/I_{OFF} constitue aussi une des principales figures de mérite utilisées pour évaluer et comparer rapidement les performances de plusieurs dispositifs (figure I.10) [9].

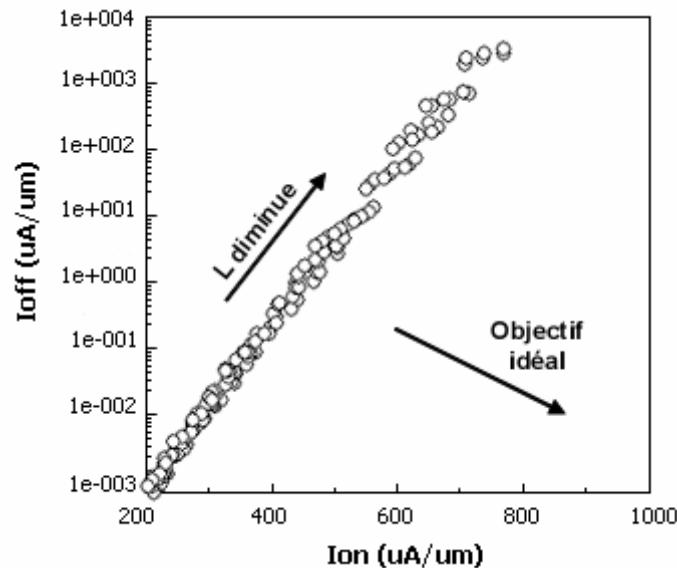


Figure I. 10 : Graphe I_{ON} / I_{OFF} pour des NMOS [9]

A partir de la figure I.10, on peut distinguer deux principales familles de transistors :

- Transistor LSTP (Low Stand-by Power) : peut maintenir un courant de saturation assez élevé, pour une faible consommation.
- Transistor HP (High Performance) : ce type de transistor, il a des courants de fuites relativement élevés, car il est aussi très rapide.

Ce dernier est beaucoup plus utilisé dans le microprocesseur.

I.5. Effet de la miniaturisation :

Toutefois, à diminuer les dispositifs ou les composants, il y a plusieurs problèmes qui apparaissent, parce que, la diminution engendre alors des effets parasites. Deux effets parasites sont prédominants lorsque l'on atteint des dimensions très faibles : l'effet des canaux courts (*SCE : Short Effect Channel*), et le DIBL (*Drain Induced Barrier Lowering*).

I.5.1. DIBL

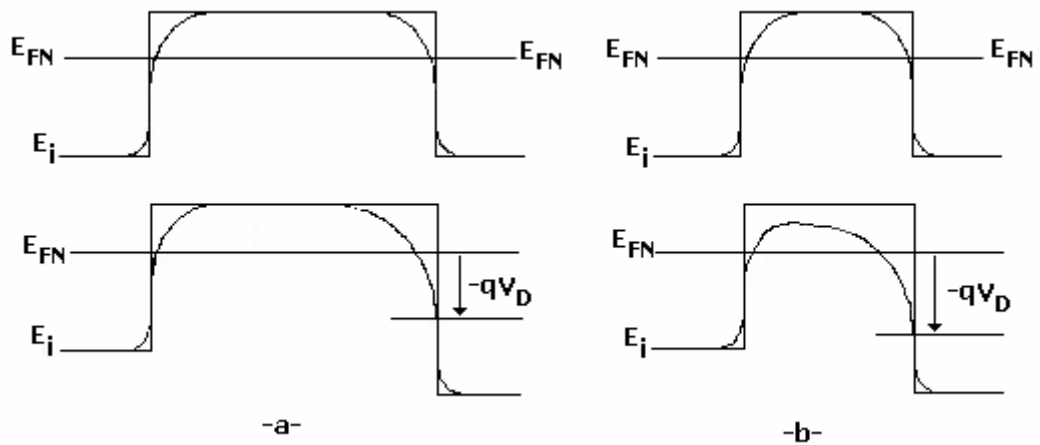


Figure I. 11 : Profil du potentiel de surface pour le transistor nMOS à canal
a) long et b) court.

Le phénomène de DIBL est pris en compte lorsque le transistor travail en régime sous seuil (ou faible inversion) et concerne le potentiel de surface. En effet la distribution du potentiel dans le canal dépend à la fois du champ transversal (contrôlé par la tension de grille), et du champ longitudinal (contrôlé par la tension de drain). Un l'accroissement de la ZCE côté drain, provoque alors l'abaissement de la barrière de potentiel source/substrat .Cet effets est d'autant plus marqué que la tension de drain augmente et que la longueur de canal diminue figure (I-10) [11].

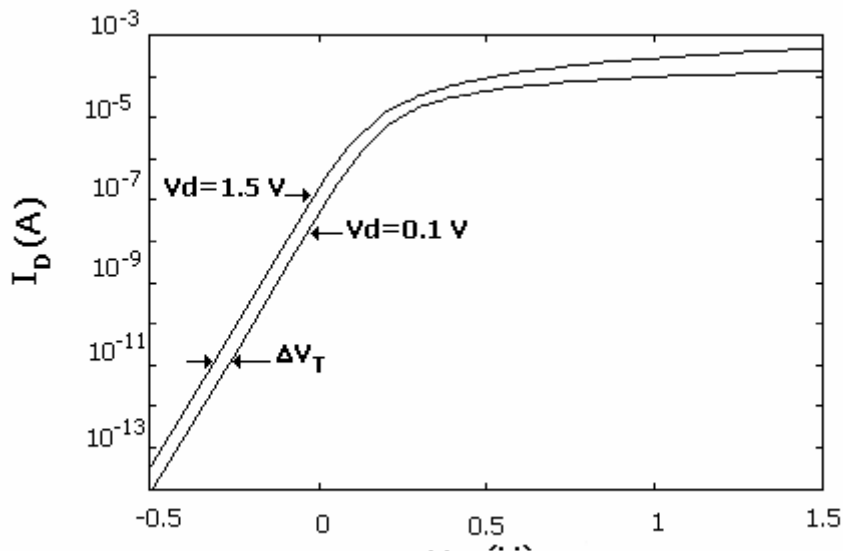


Figure I. 12 : Courbes de transfert pour des tension de drain de 0.1V (régime linéaire) et 1.5V (régime de saturation).

L'effet DIBL est habituellement mesuré par le décalage de la courbe de transfert en régime sous seuil ΔV_T divisé par le ΔV_D entre deux courbes résultant de deux tensions de drain différentes (figure I.11):

$$DIBL = \frac{\Delta V_T}{\Delta V_D} \text{ (mV/V)} \quad \text{(I-10)}$$

I.5.2. L'effet de canaux courts :

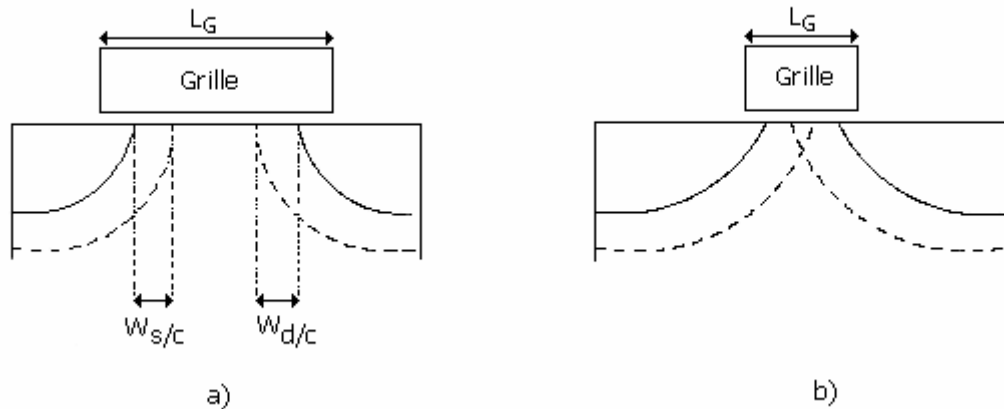


Figure I. 13 : Structure d'un transistor MOSFET bulk a) à canal long. b) à canal court. Dans le dernier cas, les effets canaux courts résultent du chevauchement des zones de charges d'espaces des régions dopées ($W_{s/c}$ et $W_{d/c}$).

La réduction de L_G s'accompagne de l'apparition d'effets électrostatiques parasites, dits "effet canal court" « *SCE* », qui perturbent le bon contrôle par V_{GS} de la conductivité entre source et drain [12]. En effet, plus la longueur du canal est faible, plus les zones des charges d'espace (ZCE) des jonctions, source/substrat et drain/substrat se rapprochent jusqu'à ce qu'elles se recouvrent en partie (figure I-12).

A ce moment là, la charge de déplétion dans le canal de conduction est en grande partie contrôlée par les jonctions et non par la grille. Cet effet canal court se traduit alors par un abaissement de la barrière entre la source et le drain.

Afin de limiter l'impact de ces effets de canal court et donc d'augmenter le contrôle de la grille sur le canal, plusieurs solutions sont proposées dans la littérature [3,13] dont la plus importante est la technologie SOI.

I.6. Technologie SOI à double grille:

Historiquement, on a commencé par considérer, dans la technologie SOI, un transistor MOS à grille unique, le transistor sur film mince ou SOI (Silicon On Insulator) se distingue du transistor conventionnel par la présence d'une couche d'oxyde enterré.

Le schéma d'un transistor MOS SOI est présenté en figure (I-14). On constate que les caissons source et drain et la zone active de silicium, tous d'épaisseur T_{Si} , reposent directement sur l'oxyde enterré d'épaisseur T_{oxen} . Alors, l'intérêt de l'oxyde enterré est de sépare les zones actives du substrat. Les effets canaux courts résultant du chevauchement des zones de charges d'espace avec les régions dopées coté substrat sont aussi éliminés (figure I-14).

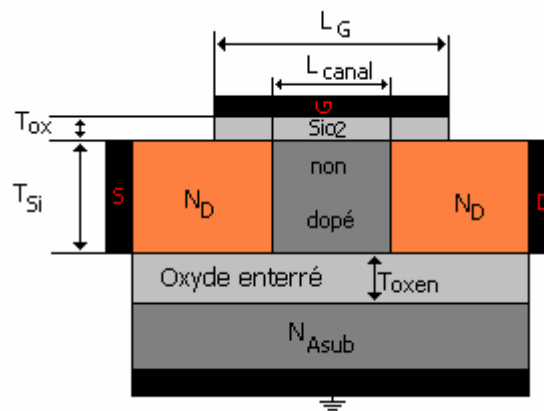


Figure I. 14: Schéma d'un transistor MOS sur SOI

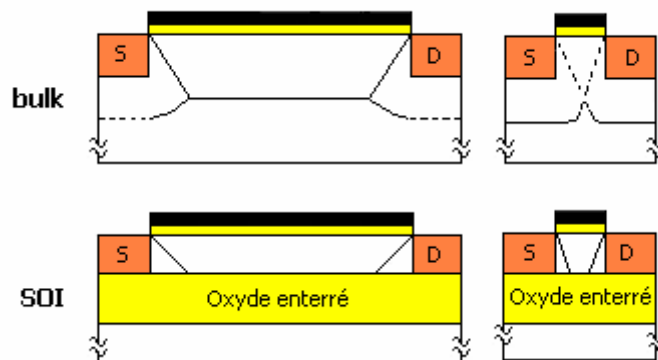


Figure I.15 : Distribution de la charge de déplétion pour le MOSFET bulk et le SOI

Cependant, la technologie SOI comme la technologie bulk présentes des limites quant les dimensions du dispositif diminuent (réduction de la longueur de la grille). En effet il y a apparition d'effets parasites qui sont représentés essentiellement par des influences électrostatiques existant dans le dispositif (voir figure I-15).

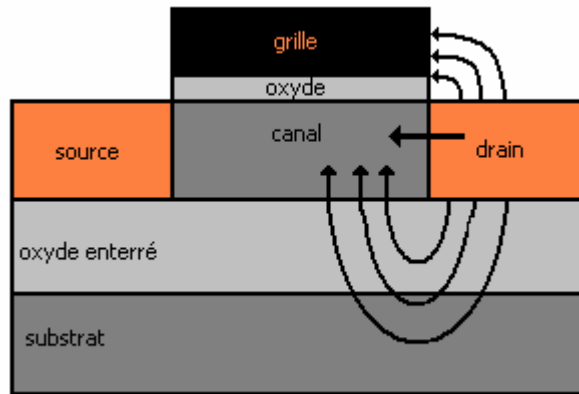


Figure I. 16 : Influence électrostatique dans le SOI

La solution pour éliminer ou supprimer complètement les lignes de champs (influence électrostatique) réside dans l'insertion d'une grille en dessous de l'oxyde enterré. Ceci permettrait directement de protéger le canal et de réduire les effets canaux courts.

Cette structure est appelée double grille DG MOSFET [3], et fera l'objet de notre travail.

Par souci de clarté quant à la définition du MOSFET double grille, nous allons considérer la structure de double grille présentée dans la figure suivante :



Figure I.17 : Schéma d'une structure de double grille

Donc l'application sur les deux grilles d'une tension positive par rapport au couche centrale génère deux champs électriques (champ génère par la grille 1, et d'autre par la grille 2). Les deux champs sont attirés les porteurs minoritaires vers la surface de l'oxyde 1 et ver le surface de l'oxyde 2, donc deux canaux formés.

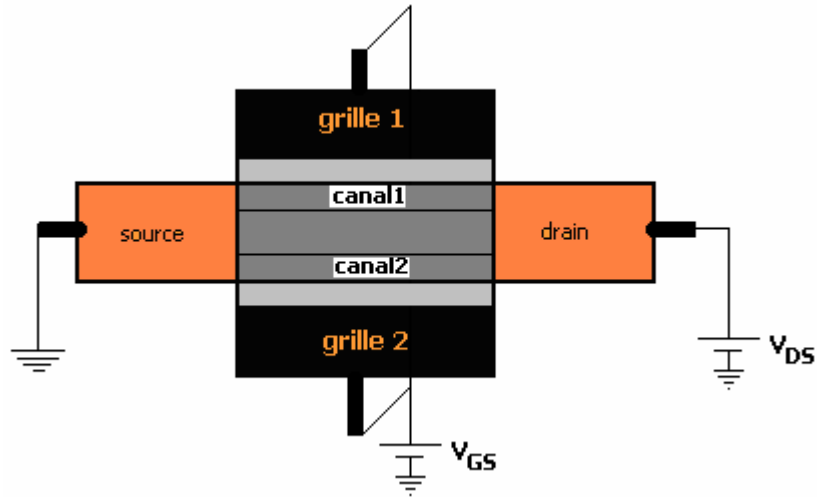


Figure I.18 : Principe de fonctionnement du transistor double grille

I.7 .Conclusion :

Dans ce premier chapitre, nous avons commencé par rappelles les divers régions de fonctionnement le transistor MOS.

Cependant, la diminution des dimensions de ce type de structure fait apparaître des effets parasites. Nous citons en particulier l'apparition les effets des canaux courts et l'effet DIBL.

La technologie du transistor MOS SOI, est un technologie qui est utilise un oxyde enterré présent sur le substrat. Le but de la présence de cet oxyde enterré est de séparer le chevauchement des zones des charges d'espaces source/ substrat et drain /substrat du lui – même.

Mais, la réduction des dimensions de TMOS en technologie SOI, montre également ses limites surtout par rapports à l'influence électrostatique généré par les lignes de champ parasites qui apparaissent dans le composant. La recherche de solutions pour minimiser ces effets a permis à une nouvelle technologie d'émarger et la conception d'un nouveau composant le DGMOS (Double Gate Metal Oxide Semiconductor). Celui-ci fera l'objet de notre travail.

Chapitre II :

*Modèle mathématique de
DGMOS à canaux courts
et logiciel de simulation*

II.1. Introduction :

La miniaturisation des dimensions des TMOS fait apparaître des phénomènes complexes. A partir de 10nm d'épaisseur d'oxyde, les effets quantiques deviennent inévitables. Dans ce cas, les calculs des concentrations des porteurs, par les modèles classiques (Modèle Drift -Diffusion) ne sont plus valables. Il est donc nécessaire de faire appel à calculs quantiques (Modèle Schrödinger - Poisson).

Dans ce chapitre, nous commençons par présenter un rappel théorique sur la modélisation physique du silicium, dans ce contexte, nous considérons ensuite les équations relatives à ces phénomènes. Leur discrétisation par la méthode des différences finies est alors présentée. Enfin, nous terminons le chapitre par l'exposé de l'organigramme général du programme de résolution des équations de Poisson et Schrödinger.

II.2. Modélisation physique du silicium :

II.2.1. Structure de bandes :

On utilise des relations analytiques de dispersion en énergie $E(k)$ pour décrire les extrema (Vallées) de la structure de bandes du Semiconducteur susceptibles d'être occupés par des porteurs [11]. Pour le silicium, la structure de bandes $E(k)$ est représentée sur la figure (II.1), en fonction de k dans les deux directions choisies $\{\langle 111 \rangle, \langle 100 \rangle\}$.

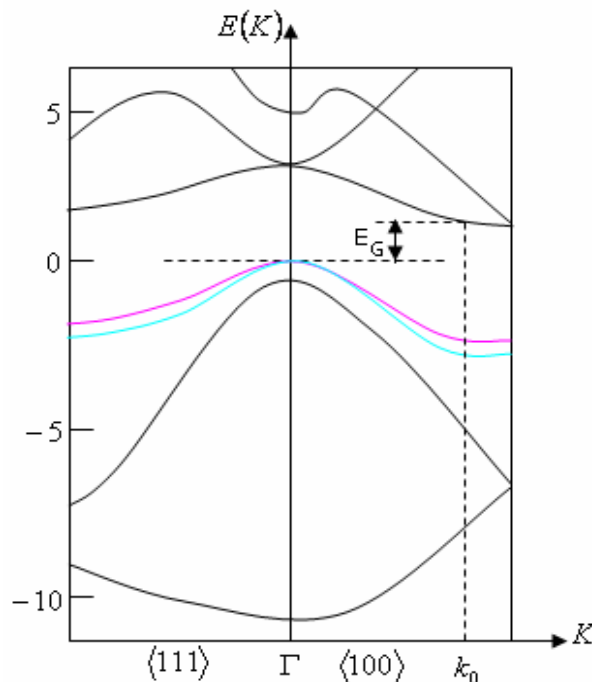


Figure II.1 : Diagramme de bandes d'énergie du silicium. Echelle des énergies en eV [14]

Chapitre II: Modèle mathématique de DGMOS à canaux courts et logiciel de simulation

L'origine de l'échelle des énergies est fixée au sommet de la bande de valence à $k=0$. Ce minimum de la bande de conduction se trouve dans la direction $[100]$ à 85 % du bord de la zone de Brillouin (figure II.2) [15, 11]. La largeur de bande interdite à température ambiante est égale $E_G=1.12$ eV et augmente faiblement quand la température diminue.

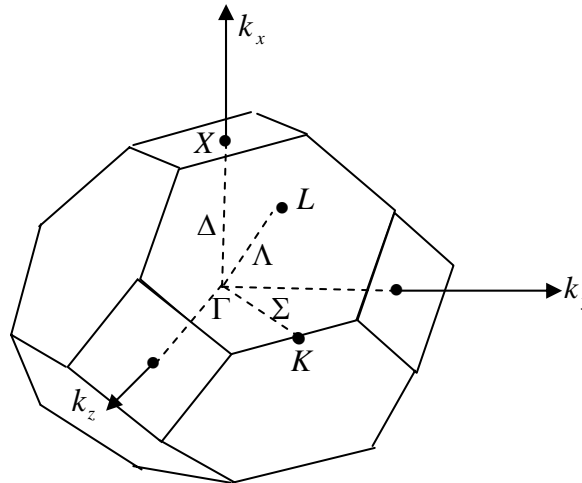


Figure II.2 : Première zone de Brillouin d'un cristal cubique[16].

avec

- Direction Δ : direction 100 et équivalentes.
- Direction Λ : direction 111 et équivalentes.
- Direction Σ : direction 110 et équivalentes.
- Point Γ : centre de zone.
- Point X : bord de zone dans la direction 100 et les directions équivalentes.
- Point L : bord de zone dans la direction 111 et les directions équivalentes.
- Point K : bord de zone dans la direction 110 et les directions équivalentes

Comme le silicium a une structure cubique, il existe six directions équivalentes qui sont $(1,0,0)$, $(-1,0,0)$, $(0,1,0)$, $(0,-1,0)$, $(0,0,1)$ et $(0,0,-1)$. La bande de conduction présente donc six minima équivalents, on dit que le silicium est un semi-conducteur multivallée à six vallées (figure II.3). La masse effective dépend de la direction cristallographique considérée. Pour chacune des 6 vallées, on aura une masse longitudinale ($m_l=0.98m_e$), qui décrit le mouvement parallèle à l'axe $[100]$ et deux masses transverses ($m_t=0.19m_e$), qui décrivent le mouvement perpendiculaire à l'axe $[100]$ [17- 18].

La bande de valence du silicium, présentée en Figure II.4, est modélisée de façon simple par deux vallées sphériques. La bande à faible courbure correspond à une masse

Chapitre II: Modèle mathématique de DGMOS à canaux courts et logiciel de simulation

effective supérieure à celle de la bande à forte courbure. On appelle trous lourds, de masse m_{hh} , les porteurs de charges dans les états de la première bande et trous légers, de masse m_{lh} Ceux des états de la deuxième.

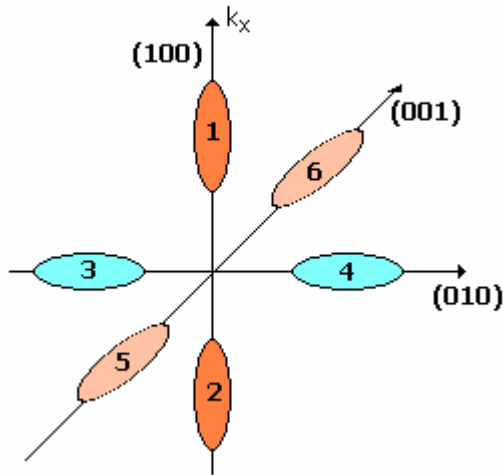


Figure II. 3 : Les six vallées équivalentes de la bande de conduction du silicium.

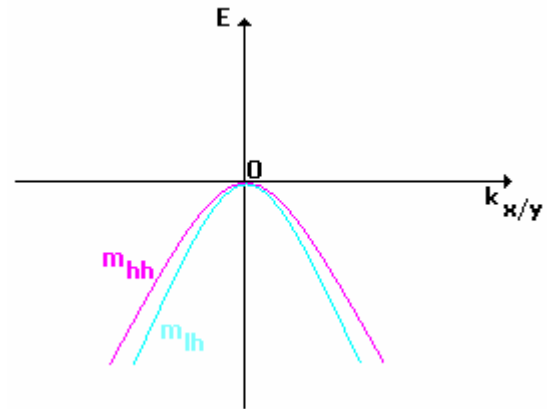


Figure II.4 : Les bandes de valence analytiques du silicium.

La relation de dispersion pour un électron 2Dk du niveau (appelé aussi sous- bande) numéro 'n' s'écrit :

$$E(1 + \alpha.E) = E_n + \frac{\hbar^2}{2} \left(\frac{k_x^2}{m_x} + \frac{k_y^2}{m_y} \right) \quad (\text{II.1})$$

où α : coefficient de non parabolicité.

k_x et k_y sont les composantes du vecteur d'onde à partir du minimum du niveau, m_x et m_y celles des masses effectives et E_n l'énergie quantifiée (dans la direction z) du niveau 'n'.

Cas du DGMOS :

Dans notre étude le schéma et le diagramme de bande du transistor MOS à double grille sont représentés sur les figures suivantes :

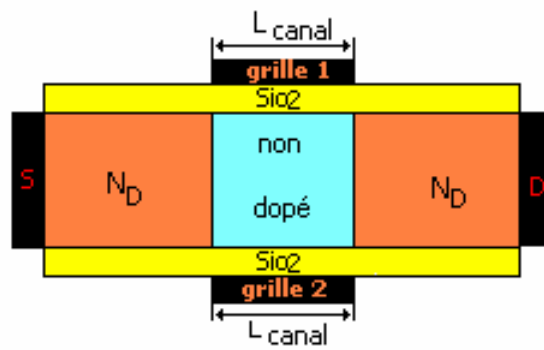


Figure II. 5 : Structure du transistor MOS SOI à double grille

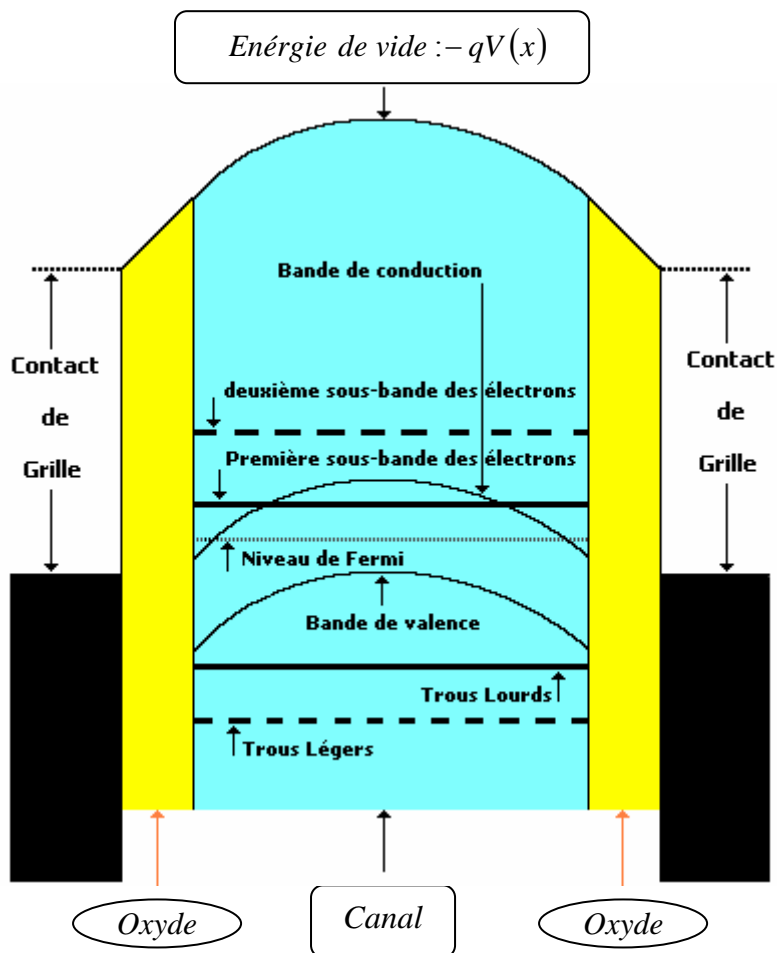


Figure II. 6 : Diagramme des bandes d'énergies d'un DGMOS [19]

Le transistor DGMOS fonctionne en mode symétrique. Ainsi,, les épaisseurs de couches d'oxyde sont identiques et valent T_{OX} , les polarisations des deux grilles sont également identiques et correspondent à V_G .

Chapitre II: Modèle mathématique de DGMOS à canaux courts et logiciel de simulation

II.2.2. densité d'état :

La définition de la "densité d'états" est une fonction de l'énergie, notée $D(E)$ telle que pour toute fonction f ne dépendant que de l'énergie, on a $\langle f \rangle = \int f(E)D(E)dE$ [20].

Ainsi, la concentration des porteurs libres (par unité de volume) possédant une énergie E est donné par le produit de la densité d'états par la fonction de distribution.

- Pour les électrons : $dn = D_n(E).f_n(E).dE$

- Pour les trous : $dp = D_p(E).f_p(E).dE$

La concentration totale des électrons dans la bande de conduction est obtenue en intégrant l'énergie E sur toute cette bande.

$$n = \int_{E_c}^{\infty} D_n(E).f_n(E,T).dE \quad (\text{II.2})$$

De la même façon que pour les électrons, on trouve dans la bande de valence une concentration des trous dont l'expression est:

$$p = \int_{-\infty}^{E_v} D_p(E).f_p(E,T).dE \quad (\text{II.3})$$

- $D(E)$: représente le nombre maximum de particules de masses m_n^* ou m_p^* pouvant être comprises entre les niveaux d'énergies E et $E+dE$.

- $f(E,T)$: fonction de distribution (probabilité d'occupation de l'état d'énergie E).

Cette dernière obéit à la statistique de FERMI – DIRAC, et est donnée par l'expression suivante:

- Pour les électrons : $f_n(E,T) = \frac{1}{1 + \exp\left(\frac{E - \mu}{K_B T}\right)}$

- Pour les trous : $f_p(E) = 1 - f_n(E)$

En remplaçant $f_n(E)$ par son expression on obtient :

$$f_p(E) = 1 - \frac{1}{1 + \exp\left(\frac{E - \mu}{K_B T}\right)}$$

Chapitre II: Modèle mathématique de DGMOS à canaux courts et logiciel de simulation

Où K_B : constante de Boltzmann, μ : potentiel chimique de cristal.

II.2.3 Notion de masse effective :

Les propriétés électroniques du silicium sont connues dans la littérature. Un électron dans la bande de conduction subit un potentiel électrostatique. Dans le silicium il y a la périodicité du réseau cristallin, donc il est possible d'après la théorie de Bloch, de trouver les fonctions d'ondes décrivant l'état d'une particule dans un potentiel périodique [15].

Dans la bande de conduction, un électron peut exister à l'état lié, quasi-libre ou libre. Dans le cas du silicium, l'électron est dans un état quasi-libre, à cause de la périodicité du silicium, et sa masse est alors donnée par :

$$m = \frac{\hbar^2}{\partial^2 E / \partial k^2}$$

Le potentiel cristallin n'étant pas isotrope on peut donc montrer que la masse des porteurs est variable au sein du réseau cristallin dans ce cas on parle de masse effective [16 - 18].

II.4. Effets quantiques dans les structures MOS :

La réduction des dimensions des dispositifs jusqu'à des tailles nanométriques fait apparaître des phénomènes de nature quantique, jusqu'alors considérés comme inexistantes ou en grande partie négligeables.

La mécanique quantique est prise en compte lorsque les dimensions de la structure considérée sont nanométriques. Il s'ensuit que la largeur caractéristique de la couche d'inversion devient comparable à la longueur d'onde associée aux porteurs de charge de la couche, ce qui conduit à l'émergence des effets quantiques. Ces effets quantiques jouent un rôle très important dans le comportement électrique du transistor MOS nanométrique, leur présence perturbe le fonctionnement conventionnel du transistor MOS.

II.4.1. Confinement quantique :

Pour des composants MOS de dimensions classiques ($L_G > 50nm$, $T_{OX} > 20nm$), la couche d'inversion se situe directement sous l'interface Oxyde/Semiconducteur. Par contre, si les dimensions diminuent (longueur de grille et épaisseur d'oxyde); des phénomènes quantiques apparaissent. Ceux-ci se traduisent par le déplacement du maximum du profil

Chapitre II: Modèle mathématique de DGMOS à canaux courts et logiciel de simulation

d'électrons de l'interface vers le substrat d'une distance de l'ordre du nanomètre. Ce phénomène est appelé confinement des porteurs, la distance citée est appelée « dark space » (figure II.7).

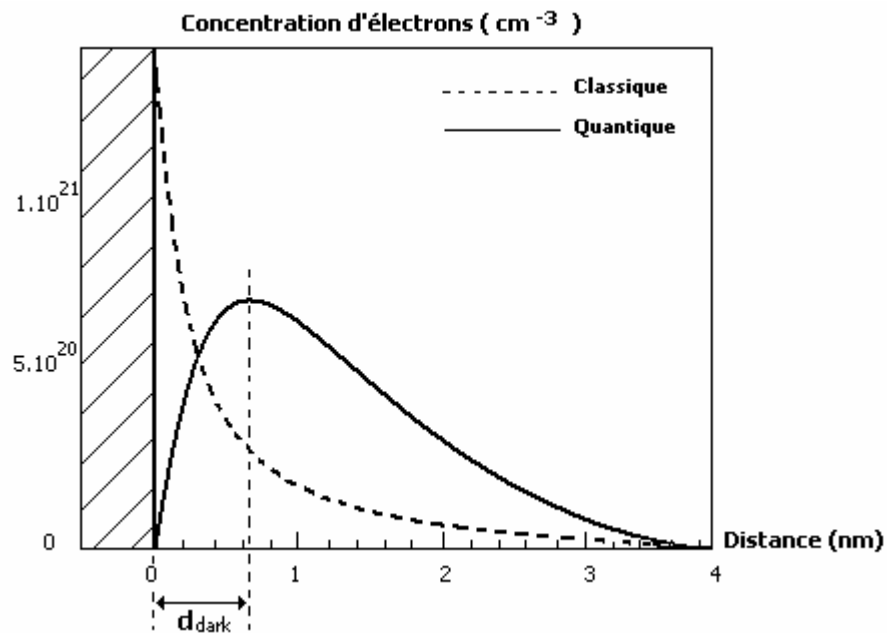


Figure II.7 : Comparaison du modèle quantique et modèle classique

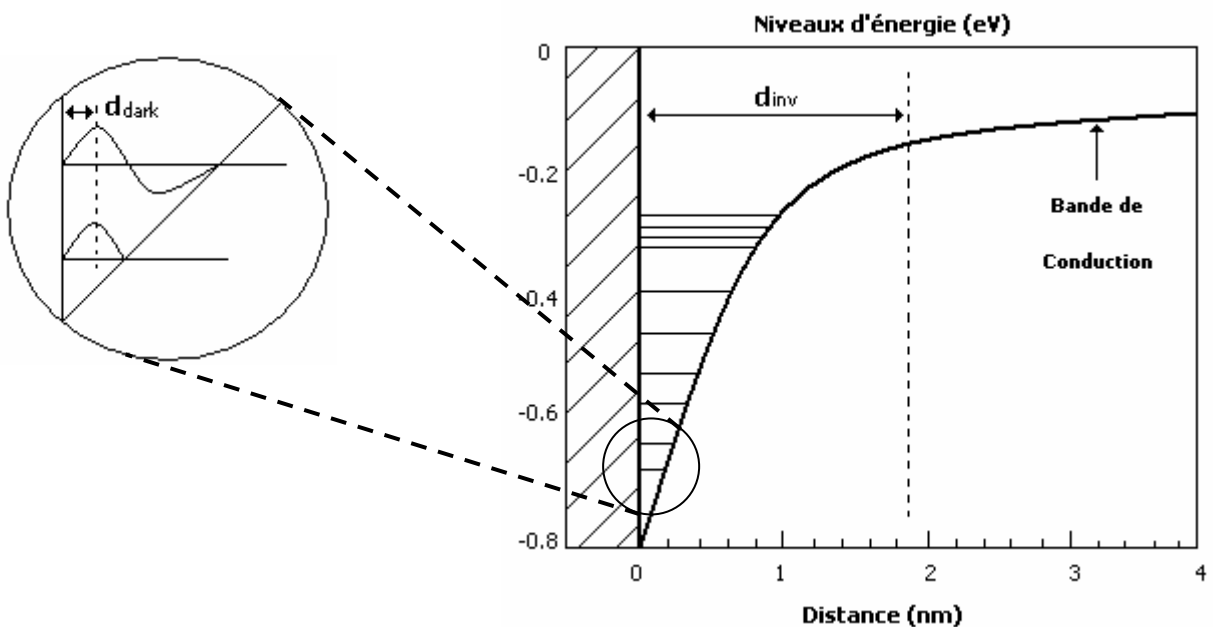


Figure II.8 : Quantification des niveaux d'énergie à l'interface du au confinement des porteurs.

Chapitre II: Modèle mathématique de DGMOS à canaux courts et logiciel de simulation

Avec : d_{inv} : désigne largeur de couche d'inversion ou puit quantique ; et d_{dark} : désigne la largeur de la région de confinement « dark space ».

Les porteurs qui sont confinés dans un puits de potentiel peuvent être considérés comme un gaz bidimensionnel. La statistique classique de Fermi-Dirac pour un gaz tridimensionnel d'électrons n'est plus valable pour modéliser ce phénomène. Il est nécessaire de faire appel à des équations issues de la mécanique quantique [21]. L'approche la plus rigoureuse consiste à résoudre simultanément les équations de Poisson et de Schrödinger, afin de prendre en compte les phénomènes quantiques.

II.5. Equations considérées :

II.5.1. Equation de Poisson :

Afin de modéliser les effets 'canaux courts', nous allons résoudre l'équation de Poisson suivant la dimension transversale au canal et la dimension longitudinale à celui-ci [3].

L'équation de Poisson à deux dimensions s'écrit comme suit :

$$\frac{d^2V(x, y)}{dx^2} + \frac{d^2V(x, y)}{dy^2} = \frac{-\rho(x, y)}{\epsilon_0\epsilon_r} \quad (\text{II.4})$$

Où

$V(x, y)$: Le potentiel électrostatique.

$\rho(x, y)$: La densité de charge.

ϵ_0 : La permittivité du vide.

ϵ_r : La permittivité diélectrique du milieu.

On pose $\epsilon = \epsilon_0\epsilon_r$ permittivité du matériau et qui égale à $\epsilon = 1.04e-12 F/cm$ pour le silicium.

La densité de charge totale d'un Semiconducteur de type P est donnée par :

$$\rho(x, y) = -q[p(x, y) - n(x, y) + N_D^+(x, y) - N_A^-(x, y)] \quad (\text{II.5})$$

Où $N_D^+(x, y)$ et $N_A^-(x, y)$ sont les concentrations des dopants accepteurs et donneurs, et $n(x, y)$ et $p(x, y)$ sont les densités d'électrons et de trous. Dans le cas d'un transistor NMOS, le semi-conducteur est de type P et (II.5) se réduit alors à :

$$\rho(x, y) = -q[p(x, y) - n(x, y) - N_A^-(x, y)] \quad (\text{II.6})$$

II.5.2. Equation de Schrödinger :

La résolution de l'équation de Schrödinger nous permet d'obtenir les niveaux d'énergie et les fonctions d'ondes dans la direction du confinement quantique.

On considère une particule de masse effective m^* , dans un puit de potentiel à une dimension $V(x)$. On 'oublie' les autres directions. Ce sera donc une résolution pseudo-2D que l'on fera.

Donc l'équation de Schrödinger à résoudre est donnée par :

$$-\frac{\hbar^2}{2m^*} \frac{\partial^2}{\partial y^2} \psi(y) + qV(y)\psi(y) = E\psi(y) \quad (\text{II.7})$$

Où

- $\psi(y)$: fonction d'onde.
- E énergie quantifiée.
- h Constante de Planck.
- $V(y)$ potentiel électrostatique.

Les fonctions d'ondes sont égales à zéro à l'interface oxyde / Si dans le cas où, la pénétrations des électrons dans l'oxyde est négligeable.

II.6. Equations Discrètes :

II.6.1. Discrétisation de l'équation de Poisson

La figure (II-9) représente la discrétisation du domaine étudié (DGMOSFET) selon le concept des différences finies. Les nœuds obtenus appartiennent à l'intérieur de la structure, ainsi qu'aux frontières de celui-ci à l'interface silicium/oxyde.

Donc, pour chaque état des nœuds, il y a une formule particulière pour indiquer ces états.

Ainsi, **i)** les conditions de Dirichlet correspondent à un contact métallique (valeur fixe du potentiel), qui est celle perpendiculaire à l'interface Si/SiO_2 .

ii) l'interface Oxyde/Semi conducteur est régie par la condition d'interface.

Chapitre II: Modèle mathématique de DGMOS à canaux courts et logiciel de simulation

iii) la condition de Newman correspond à toutes les fonctions libres et sont régies par la neutralité de la dérivée normale de la variable considérée.

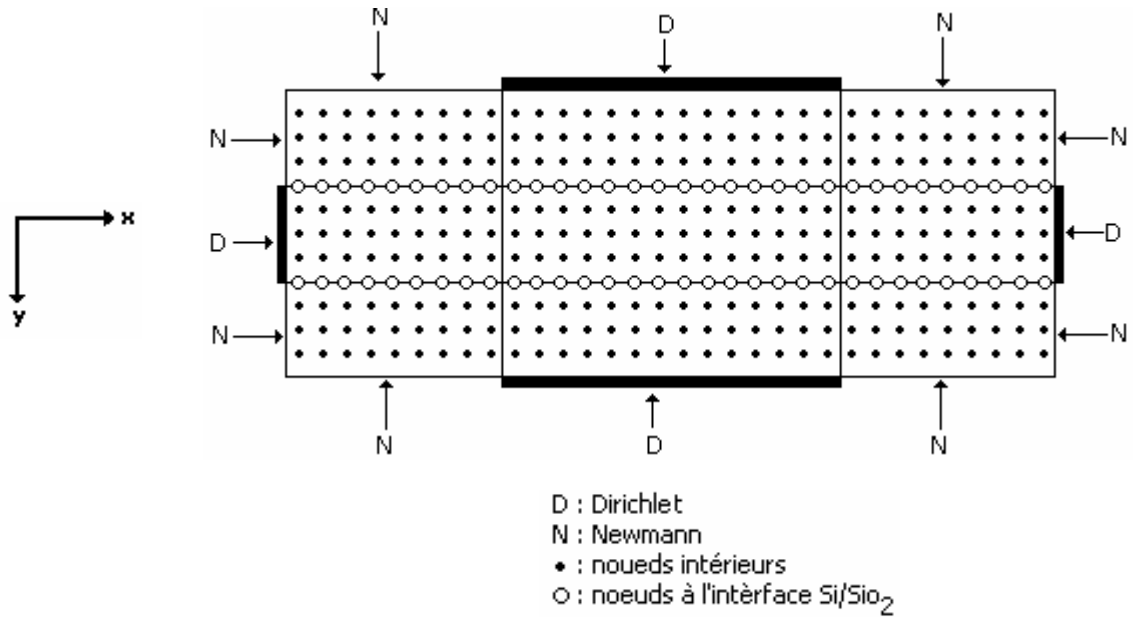


Figure II.9 : Maillage et condition aux limites

II.6.1.a. Approximation Discrète à l'intérieur du domaine:

L'équation de Poisson dans les directions (x, y) s'écrit :

$$\frac{d^2V(x, y)}{dx^2} + \frac{d^2V(x, y)}{dy^2} = -\frac{\rho(x, y)}{\epsilon} \quad (\text{II-8})$$

En $x = x_{i,j}$ et $y = y_{i,j}$; l'équation discrétisée selon la méthode des différences finies devient :

$$\frac{V_{i+1,j} - 2V_{i,j} + V_{i-1,j}}{\Delta x^2} + \frac{V_{i,j+1} - 2V_{i,j} + V_{i,j-1}}{\Delta y^2} = -\frac{\rho(x, y)}{\epsilon} \quad (\text{II-9})$$

En multipliant le premier terme par $\frac{\Delta y}{\Delta x}$ et le deuxième terme par $\frac{\Delta x}{\Delta y}$, et après

distribue la formule obtenue.

La forme finie est :

$$\frac{\Delta y}{\Delta x} V_{i-1,j} + \frac{\Delta x}{\Delta y} V_{i,j-1} - 2 \left(\frac{\Delta x}{\Delta y} + \frac{\Delta y}{\Delta x} \right) V_{i,j} + \frac{\Delta x}{\Delta y} V_{i,j+1} + \frac{\Delta y}{\Delta x} V_{i+1,j} = -\Delta x \Delta y \frac{\rho(x, y)}{\epsilon} \quad (\text{II-10})$$

Chapitre II: Modèle mathématique de DGMOS à canaux courts et logiciel de simulation

Avec :

Δx et Δy sont les pas de maille dans les directions x,y respectivement (voir figure II.9). Habituellement Δx et Δy sont constants quand on applique la méthode de différence finies.

Ils peuvent être considérés variable aux niveaux des jonctions.

Dans notre cas, on considère $\Delta x \gg \Delta y$, par ce que l'épaisseur des couches suivant y est très mince ($t_{total} = 4.5nm$), par contre suivant x elle est égale à $20nm$.

L'équation (II-9) est appliquée dans les trois régions considérées : silicium (canal, $V = V_{si}$), oxyde au-dessus ($V = V_{ox1}$), et oxyde au-dessous ($V = V_{ox2}$).

II.6.1.b. Approximation discrète à l'interface :

Dans le cas où les nœuds sont placés à l'interface silicium/oxyde; l'équation (II-9) devient [19] :

$$\begin{aligned} \frac{\Delta y}{\Delta x} V_{i-1,j} + \frac{\Delta x}{2\Delta y} \left(1 + \frac{\epsilon_{bot}}{\epsilon_{top}} \right) V_{i,j-1} - \left(\frac{\Delta x}{\Delta y} + \frac{\Delta y}{\Delta x} \right) \left(1 + \frac{\epsilon_{bot}}{\epsilon_{top}} \right) V_{i,j} + \frac{\Delta x}{2\Delta y} \left(1 + \frac{\epsilon_{bot}}{\epsilon_{top}} \right) V_{i,j+1} \\ + \frac{\Delta y}{\Delta x} \frac{\epsilon_{bot}}{\epsilon_{top}} V_{i+1,j} = -\Delta x \Delta y \frac{\rho(x)}{\epsilon_{top}} \end{aligned} \quad (II-11)$$

Où ϵ_{bot} et ϵ_{top} sont les constantes diélectrique pour les matériaux au-dessus de l'interface et au-dessous de l'interface.

Dans notre étude les deux oxydes sont identiques ($\epsilon_{ox1} = \epsilon_{ox2} = 3.9 F.m^{-1}$).

II.6.1.c. Approximation discrète aux frontières

L'approximation discrète aux frontières représente les conditions aux limites. Parmi celle-ci, on distingue deux types des conditions aux limites : les conditions de Newman, et les conditions de Dirichlet.

. Condition de Dirichlet :

Les conditions de Dirichlet sont appliquées sur les contacts métalliques (source, drain et les deux grilles).

Chapitre II: Modèle mathématique de DGMOS à canaux courts et logiciel de simulation

On applique une potentiel V_D sur le drain, le potentiel obtenu sur ce contact est égale le potentiel appliqué plus une autre terme qui est égale à $U_T \ln \frac{N_D}{n_i}$. Le même principe est appliqué pour la source.

$$V_{i,j} = V_D + U_T \ln \frac{N_D}{n_i} \quad (\text{sur le Drain}) \quad : \text{contact métal / Semiconducteur}$$

$$V_{i,j} = V_s + U_T \ln \frac{N_D}{n_i} \quad (\text{sur la Source}) \quad : \text{contact métal / Semiconducteur}$$

$$V_{i,j} = V_G \quad (\text{sur les deux Grilles}) \quad : \text{contact métal / Oxyde}$$

. Condition de Newman :

Sur les autres frontières, nous appliquons les conditions de Newman. La considération des lignes de champ perpendiculaires à la structure permet d'écrire que la dérivée selon la normale est nulle.

Nous écrivons alors :

$$\frac{\partial V}{\partial y} = 0 \Rightarrow V_{i,j+1} = V_{i,j-1}$$

$$\frac{\partial n}{\partial y} = 0 \Rightarrow n_{i,j+1} = n_{i,j-1}$$

II.6.2. Discrétisation de l'équation de Schrödinger :

Dans notre étude (DGMOSFET), le confinement se fait dans une seule direction (puits quantique) ; nous résolvons alors l'équation de Schrödinger en une seule dimension.

La technique de résolution l'équation de Schrödinger est alors la division de la structure en tranches dans la direction de transport. Celles-ci appelées tranches de Schrödinger. La résolution est alors réalisée en 'pseudo' 2D.

La figure (II-10), illustre la structure double grille divisée en tranche de Schrödinger. Dans chaque tranche (ou même colonne). On connaît, le profil du potentiel, donc la résolution de l'équation de Schrödinger dans la direction de confinement (axe y) permet d'obtenir les niveaux d'énergies et les fonctions d'ondes [22].

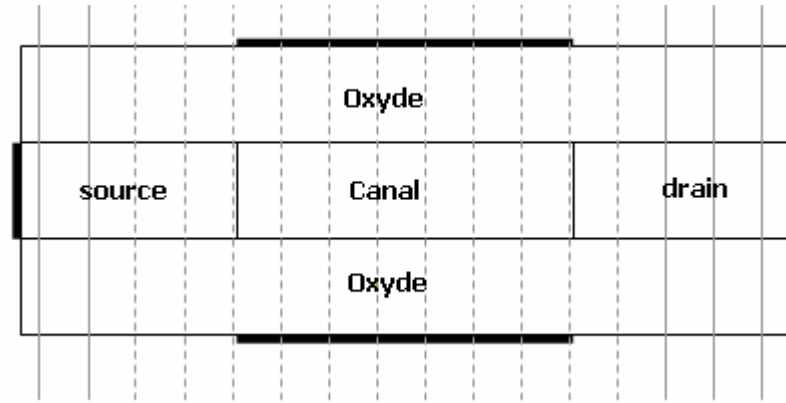


Figure II.10 Schéma d'une structure DGMOS divisé en tranche de Schrödinger

L'équation de Schrödinger dans la direction de confinement (direction y) s'écrit :

$$-\frac{\hbar^2}{2m^*} \frac{\partial^2}{\partial y^2} \psi_i(y) + qV(y)\psi_i(y) = E_i\psi_i(y) \quad (\text{II-12})$$

En $Y=Y_{i,j}$, l'équation discrétisée devient :

$$\frac{\hbar^2}{2m^*(y)} \frac{\psi_i(y_{i+1}) - 2\psi_i(y_i) + \psi_i(y_{i-1}))}{\Delta y^2} + qV(y_i)\psi_i(y_i) = E_i\psi_i(y_i) \quad (\text{II-13})$$

L'équation (II-13), représente l'équation de Schrödinger discrétisée dans une seule colonne. Nous répétons cette opération pour tous les indices j (1 à N).

$$j = 0 ; \quad \frac{\hbar^2}{2m^*(y)} \frac{\psi_i(y_1) - 2\psi_i(y_0) + \psi_i(y_{-1}))}{\Delta y^2} + qV(y_0)\psi_i(y_0) = E_i\psi_i(y_0)$$

$$j = 1 ; \quad \frac{\hbar^2}{2m^*(y)} \frac{\psi_i(y_2) - 2\psi_i(y_1) + \psi_i(y_0))}{\Delta y^2} + qV(y_1)\psi_i(y_1) = E_i\psi_i(y_1)$$

$$j = N-1 ; \quad \frac{\hbar^2}{2m^*(y)} \frac{\psi_i(y_N) - 2\psi_i(y_{N-1}) + \psi_i(y_{N-2}))}{\Delta y^2} + qV(y_{N-1})\psi_i(y_{N-1}) = E_i\psi_i(y_{N-1})$$

$$j = N ; \quad \frac{\hbar^2}{2m^*(y)} \frac{\psi_i(y_{N+1}) - 2\psi_i(y_N) + \psi_i(y_{N-1}))}{\Delta y^2} + qV(y_N)\psi_i(y_N) = E_i\psi_i(y_N)$$

Chapitre II: Modèle mathématique de DGMOS à canaux courts et logiciel de simulation

Donc, l'équation de Schrödinger discrétisée se met sous la formule matricielle :

$$H\psi_i(y) = E_i\psi_i(y)$$

Où : H est l'Hamiltonien du système défini par [15] :

$$H = -\frac{\hbar^2}{2m^*(y)} \begin{bmatrix} -2 & 1 & 0 & \dots & \dots & 0 \\ 1 & -2 & 1 & 0 & \dots & 0 \\ 0 & 1 & -2 & 1 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & \dots & 0 & 1 & -2 & 1 \\ 0 & \dots & \dots & 0 & 1 & -2 \end{bmatrix} + q \begin{bmatrix} V(y_1) & 0 & \dots & \dots & \dots & 0 \\ 0 & V(y_2) & 0 & \dots & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & \dots & 0 & V(y_i) & 0 & \dots \\ \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & \dots & \dots & \dots & \dots & V(y_N) \end{bmatrix}$$

A partir de la détermination des vecteurs et des valeurs propres de la matrice 'Hamiltonien' (H) (sous programme utilisé : EIG), nous pouvons obtenir les fonctions d'ondes ψ_i et les niveaux énergétique E_i .

EIG : étant un sous programme MATLAB qui détermine les valeurs propres et les vecteur propres (Eigen values) d'une matrice.

II.7. Solution de l'équations discrète de Poisson par la méthode de Newton-Raphson :

L'équation de Poisson discrète est non linéaire, et s'écrit donc sous la forme :

$$F(\vec{V}_i) = 0 \tag{II-14}$$

Avec : $F(\vec{V}_i)$: Fonctionnelle de l'équation de Poisson.

Pour N équations de N inconnues :

$$\begin{aligned} F_1(V_1, V_2, \dots, V_i, \dots, V_N) &= 0 \\ F_2(V_1, V_2, \dots, V_i, \dots, V_N) &= 0 \\ \vdots & \\ F_N(V_1, V_2, \dots, V_i, \dots, V_N) &= 0 \end{aligned}$$

Chapitre II: Modèle mathématique de DGMOS à canaux courts et logiciel de simulation

Le potentiel V , solution de l'équation (II.14), peut s'écrire : $V = V_i + \Delta V_i$.

Par un développement limité en série de Taylor au premier ordre, on peut écrire [19, 15]:

$$F(V_i + \Delta V_i) = F(V_i) + J * \Delta V_i = 0 \quad (\text{II-15})$$

Ou :

' J ' représente la matrice Jacobienne du système (II-14), qui égale la dérivé de la fonctionnelle de l'équation de Poisson.

$$J = \frac{\partial F(\vec{V}_i)}{\partial V_i} \quad (\text{II-16})$$

A partir de l'expression (II-15) nous obtenons :

$$\Delta V_i = -[J]^{-1} * F(\vec{V}_i) \quad (\text{II-17})$$

II.8. Résolution auto-coherente des équations de Poisson et Schrödinger

(Modèle self-consistent) :

Dans ce paragraphe, nous présentons un modèle auto-coherent qui permet la résolution des équations couplées de Poisson Schrödinger. Cette approche est justifiée par plusieurs résultats présentés dans la littérature [23-24-25]

Le couplage des équations Poisson-Shrodinger est nécessaire lorsque l'épaisseur de l'oxyde est de plus en plus mince et l'épaisseur du canal du dispositif (MOSFET) proche de la longueur d'onde des électrons.

Dans la direction de transport (x), les porteurs dans la couche d'inversion sont libres, mais dans la direction perpendiculaire à la surface du canal (y) (direction de confinement), les porteurs sont confinés dans un puit de potentiel étroit.

La modélisation du transport des porteurs se fait comme pour un gaz 2D (cas de l'équation de Poisson), et comme un gaz 1D (cas de l'équation de Schrödinger).

Pour la résolution de l'équation de Schrödinger, il faut connaître le potentiel électrostatique $[V(x)]$; et pour résoudre de l'équation de Poisson, il faut connaître la concentration des porteurs ou la densité de charge $[\rho(x)]$. Il y a donc auto cohérence entre les résolutions de l'équation de Poisson 2D, et l'équation de Schrödinger 1D. On peut illustrer le système auto cohérent par le système suivant (chaque tranche x) [15].

$$\left\{ \begin{array}{l} \rho(y) = S[V(y)] \\ V(y) = P[\rho(y)] \end{array} \right.$$

Où les fonction $S[V(y)]$ et $P[\rho(y)]$ représentent respectivement les équations de Schrödinger et Poisson.

Les différentes étapes nécessaires à la résolution de Poisson – Schrödinger sont résumées sur la figure suivante :

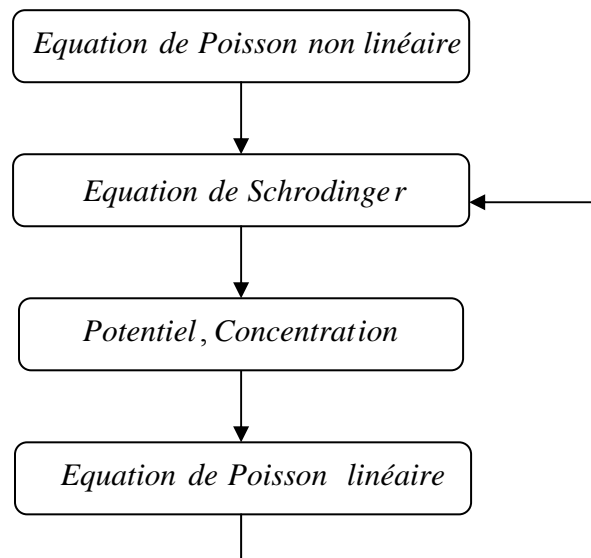


Figure II-11: Les séquences de la résolution couplée des équations de Poisson et de Schrödinger

II.9. Transport dans les TMOS nanométriques :

Le transport électrique dans un matériau s'apparente à une marche au 'hasard': l'électron (décrit de façon classique) subit des collisions (avec des défauts, avec les phonons, avec d'autres électrons), mais aujourd'hui le transistor MOS atteint des dimensions nanométriques, et le transport des porteurs dans la zone active (canal) est modifié puisque la longueur du canal est de l'ordre de la distance moyenne entre deux interactions, appelée libre parcours moyen (environ dix nanomètres dans Si à 300 K).

Une grande proportion de porteurs est alors capable de traverser tout le canal sans subir de collision. Les électrons peuvent se déplacer sans diffuser comme dans un tube à vide : le transport est dit alors transport ‘ balistique’ (canal balistique) [8].

II.9.1. Densité des électrons :

Le profil énergétique d’un canal balistique pour le transistor MOS est illustré sur la figure suivante :

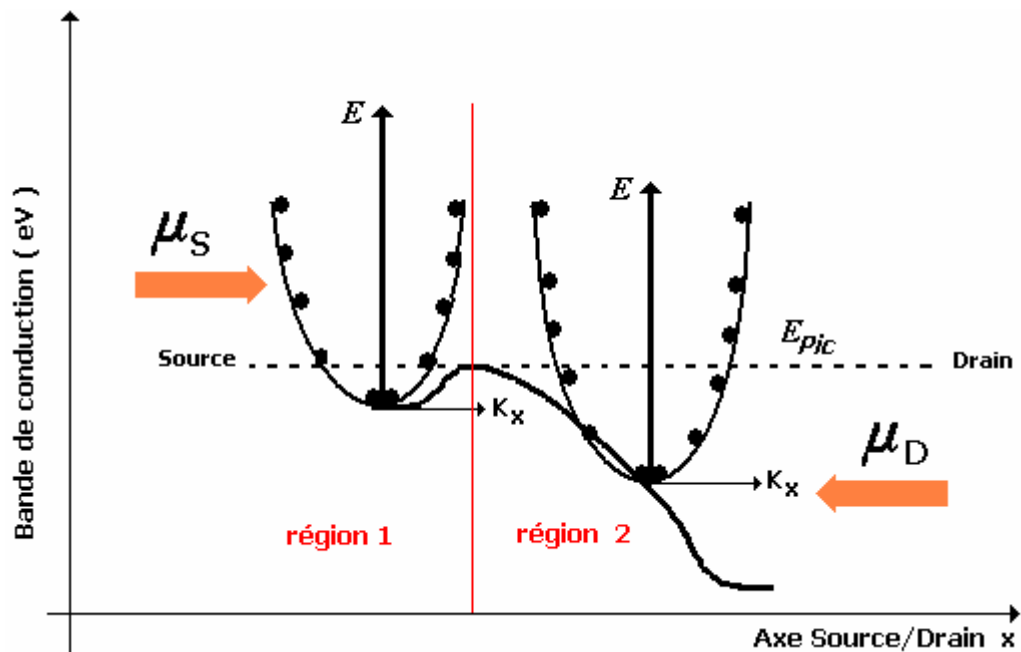


Figure II.12 : Evolution typique de la bande de conduction le long de l'axe source drain dans un transistor balistique

On peut diviser ce profil en deux régions : les point à gauche du pic de l'énergie (région 1), et les point à droite du pic de l'énergie (région 2). Dans la région 1, les électrons d'énergie inférieure à E_{pic} sont arrivés à partir du réservoir de la source, les électrons d'énergie plus élevé que E_{pic} sont par contre venu à partir du réservoir du drain. La même explication peut être faite dans la région 2. Ceci est expliqué par la fait qui à chaque porteur est associé une onde incidente et une onde réfléchi (mécanique quantique).

Les deux réservoirs (source, drain) sont caractérisés par deux niveaux de Fermi μ_S et μ_D .

La densité d'électrons dans la région 1 peut être écrire comme suit [19] :

$$\begin{aligned}
 n_{gouche}(x, E_{kj}) &= \int_0^{\infty} \left[\frac{1}{\pi \hbar} \sqrt{\frac{m_x^*}{2E_x}} \frac{1}{1 + \exp(E_x + E_i + E_{kj} - \mu_S / K_B T)} \right] dE_x, \\
 &+ \int_0^{E_{pic}} \left[\frac{1}{\pi \hbar} \sqrt{\frac{m_x^*}{2E_x}} \frac{1}{1 + \exp(E_x + E_i + E_{kj} - \mu_S / K_B T)} \right] dE_x, \\
 &+ \int_{E_{pic}}^{\infty} \left[\frac{1}{\pi \hbar} \sqrt{\frac{m_x^*}{2E_x}} \frac{1}{1 + \exp(E_x + E_i + E_{kj} - \mu_D / K_B T)} \right] dE_x
 \end{aligned} \tag{II-18}$$

Où l'indice gauche est retenu pour la région 1.

En tenant compte des contributions de tous les modes transverses, sur l'intégration E_{kj} on obtient :

$$\begin{aligned}
 n_{gouche}(x) &= \int_0^{\infty} \frac{1}{\pi \hbar} \sqrt{\frac{m_y^*}{2E_{kj}}} [n_{gouche}(x, E_{kj})] dE_{kj} \\
 &= n_{2Di} \left\{ \ln(1 + e^{\tilde{\mu}_S}) + \frac{1}{\sqrt{\pi}} \int_0^{\tilde{E}_{pic}} \frac{d\tilde{E}_x}{\sqrt{\tilde{E}_x}} \mathfrak{S}_{-1/2}(\tilde{\mu}_S - \tilde{E}_x) + \frac{1}{\sqrt{\pi}} \int_{\tilde{E}_{pic}}^{\infty} \frac{d\tilde{E}_x}{\sqrt{\tilde{E}_x}} \mathfrak{S}_{-1/2}(\tilde{\mu}_D - \tilde{E}_x) \right\}
 \end{aligned} \tag{II-19}$$

Où le chapeau \sim signifie que toutes les quantités sont indiquées par rapport à la sous bande de potentiel $E_i(x)$, et étalonnée par rapport à l'énergie thermique $K_B T$ et n_{2Di} . La densité électronique de surface pour chaque sous bande, qui est donnée par :

$$n_{2Di} = \frac{\sqrt{m_x^* m_y^*} K_B T}{\pi \hbar^2} \frac{1}{2} \tag{II-20}$$

De la même manière, la densité électronique dans la région 2, peut être obtenue selon :

$$n_{droite} = n_{2Di} \left\{ \ln(1 + e^{\tilde{\mu}_D}) + \frac{1}{\sqrt{\pi}} \int_0^{\tilde{E}_{pic}} \frac{d\tilde{E}_x}{\sqrt{\tilde{E}_x}} \mathfrak{S}_{-1/2}(\tilde{\mu}_D - \tilde{E}_x) + \frac{1}{\sqrt{\pi}} \int_{\tilde{E}_{pic}}^{\infty} \frac{d\tilde{E}_x}{\sqrt{\tilde{E}_x}} \mathfrak{S}_{-1/2}(\tilde{\mu}_S - \tilde{E}_x) \right\} \tag{II-21}$$

II.9.2. densité de courants :

Pour chaque sous bande, la densité de courant en régime balistique écrit par [19]

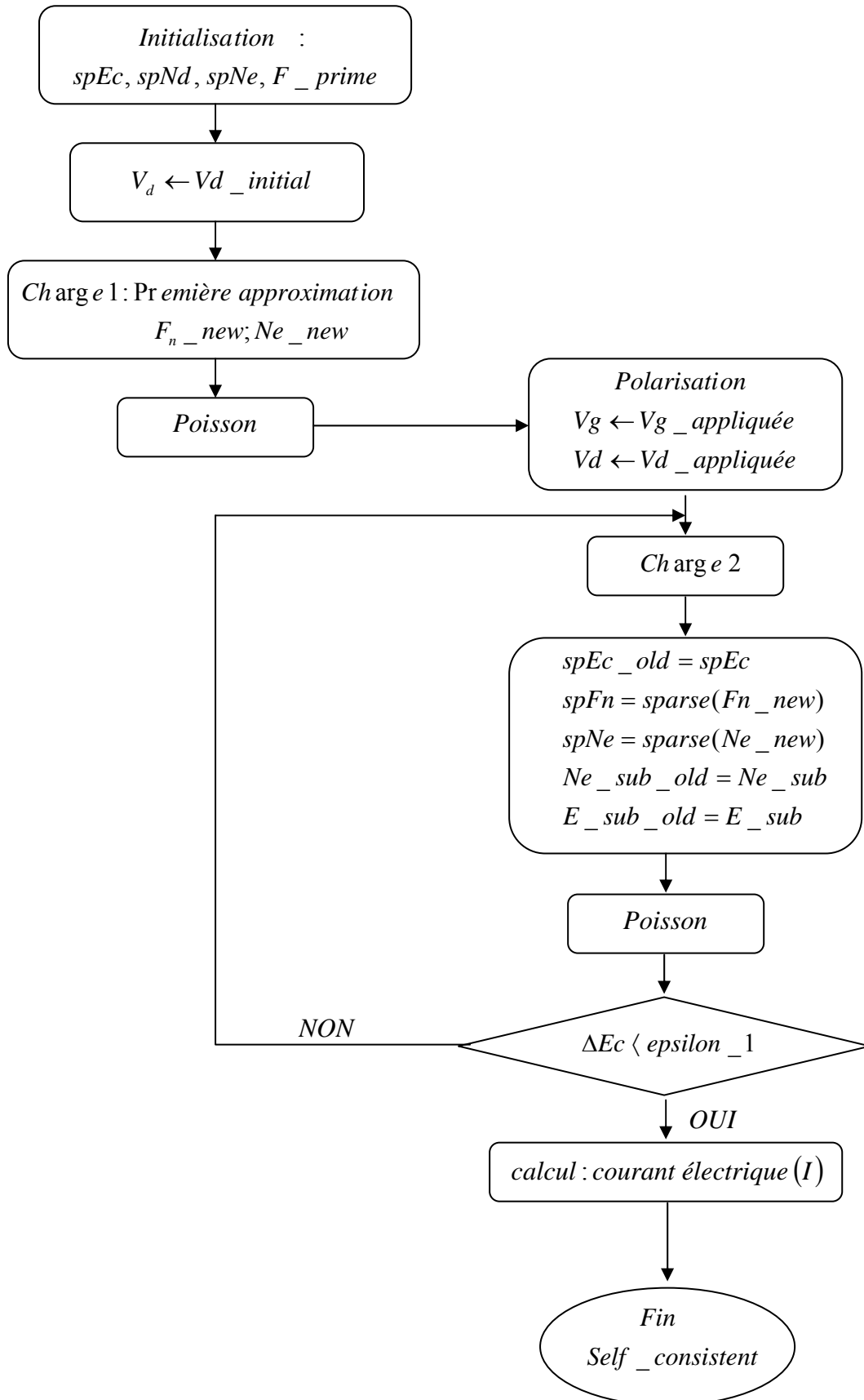
$$\begin{aligned}
 J(E_{kj}) &= \frac{q}{\pi\hbar} \int_{E_{pic}}^{\infty} \left[\frac{1}{1 + \exp\left(\frac{E_x + E_i + E_{kj} - \mu_S}{K_B T}\right)} - \frac{1}{1 + \exp\left(\frac{E_x + E_i + E_{kj} - \mu_D}{K_B T}\right)} \right] dE_x \\
 &= \frac{q}{h^2} \sqrt{\frac{m_y^*}{2}} \left(\frac{K_B T}{\pi}\right)^{3/2} \left[\mathfrak{F}_{1/2}(\tilde{\mu}_S - \tilde{E}_{pic}) - \mathfrak{F}_{1/2}(\tilde{\mu}_D - \tilde{E}_{pic}) \right] \quad (II-22)
 \end{aligned}$$

Où le chapeau \sim assume la même signification que celle en équation (II-18). La densité total est la somme des contributions de toutes les vallées et sous bande.

II.10. Approximations considérées et conséquences :

- 1- on considère l'approximation parabolique pour le diagramme de bande d'énergie : donc le coefficient de non parabolicité α est égal à zéro.
- 2- Diagramme d'énergie de la bande de conduction, de Si est constitué de six (06) vallées (Si gap indirect). On considère deux types électrons dans la direction $\langle 100 \rangle$.
- 3- Supposons que les deux oxydes sont parfaits, donc les fonctions d'ondes ne pénètrent pas dans les oxydes.

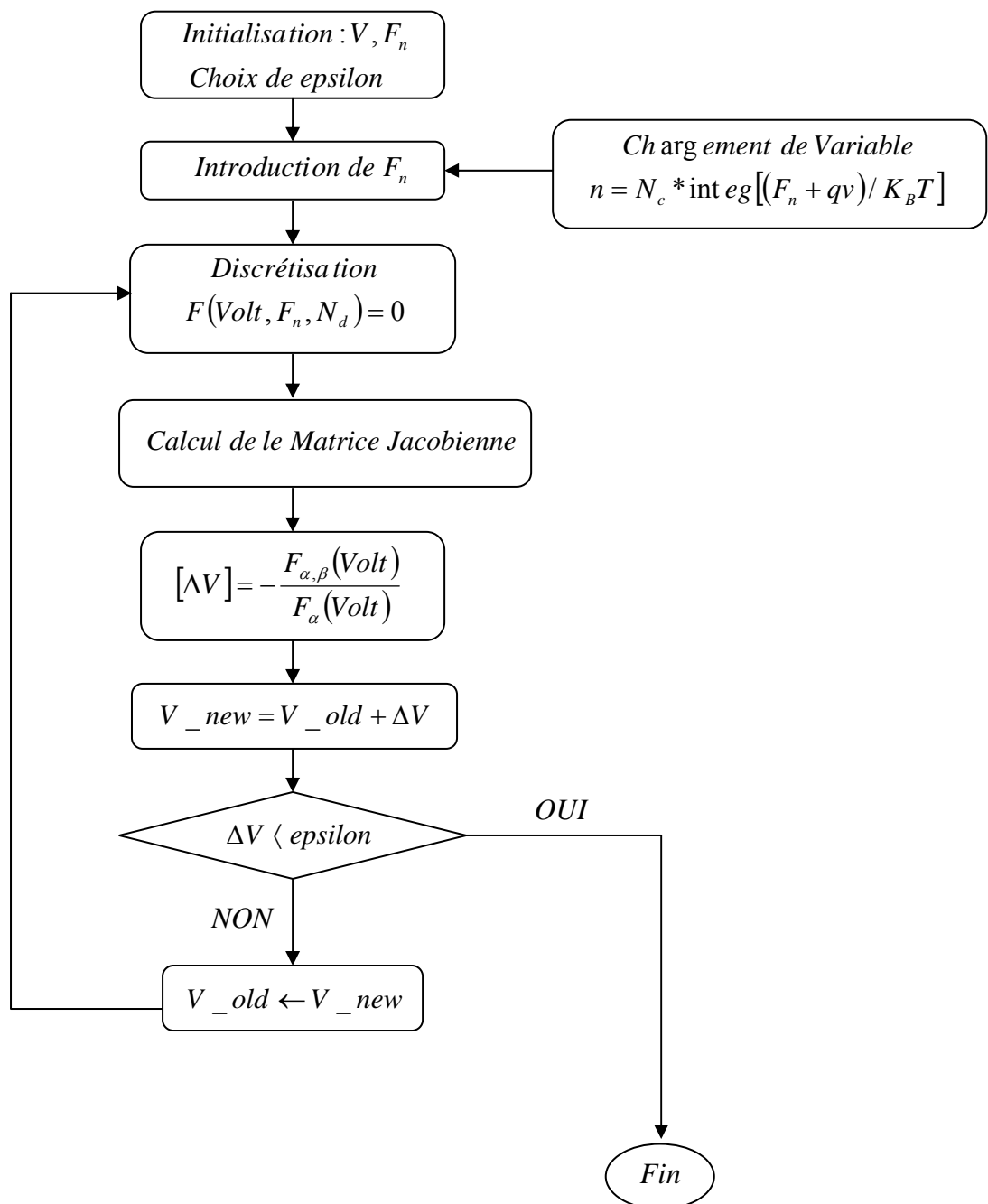
Figure II.13 : Algorithme général du programme



II.11. Algorithme Générale du Programme de simulation :

Dans ce paragraphe, nous représentons l'algorithme du programme de simulation que nous avons adapté à notre cas et utilisé (figure II.13). La figure II.14 représente l'algorithme utilisé pour résoudre l'équation de Poisson par la méthode de Newton-Raphson [19].

Figure II.14 : Algorithme utilisé pour la résolution de l'équation de Poisson (Newton-Raphson)



II.12.Conclusion :

Dans ce chapitre, nous avons essayé de donner un aperçu clair sur les équations utilisées dans le programme de simulation. Celui-ci est basé sur la résolution auto-coherente des équations de Poisson et Schrödinger. La discrétisation de ces deux dernières équations est réalisée par la méthode des différences finies. La discrétisation de l'équation de Poisson conduit à une équation non linéaire. La solution à cette équation est obtenue alors par la méthode de Newton-Raphson. Ce programme tient en compte également du transport des électrons, qui est supposé balistique dans ce cas, à cause des dimensions du canal.

L'algorithme général du programme est présenté. L'application de cet algorithme sera considérée dans le chapitre suivant.

Chapitre III :
Résultats et Discussions

III.1.Introduction :

Dans ce chapitre, nous présentons dans un premier temps la structure sur laquelle nous allons effectuer les simulations. Ensuite, nous présentons et analysons les résultats obtenus par les simulations réalisées. Finalement, nous terminons le chapitre par la comparaison de nos résultats, afin de les valider, avec ceux obtenus par le logiciel ISE-TCAD.

III.2. Présentation du dispositif simulé :

Le schéma de transistor MOS à double grille est considéré présent sur la figure III-1. Les régions de source et de drain sont dopées à 10^{20} cm^{-3} et le canal est intrinsèque (10^{10} cm^{-3}). Les longueurs de la source et du drain sont de 5nm. L'épaisseur d'oxyde aux dessus et aux dessous du canal est $T_{\text{ox}}=1.5\text{nm}$ ainsi que l'épaisseur du substrat de silicium. Les métallisations sont réalisées avec de l'Al, le travail de sortie considéré est alors de 4.25 eV. Les tensions V_{GS} appliquées sur les deux grilles sont identiques. Tous les calculs ont été fait à la température ambiante ($T=300\text{K}$).

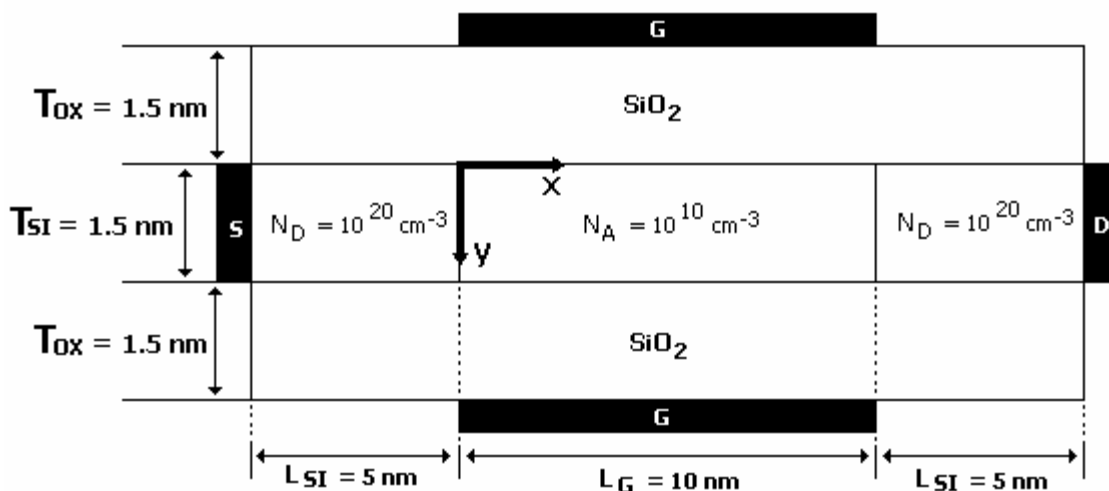


Figure III.1 : Structure du transistor DG MOSFET.

III.3. Résultats obtenus :

Nous allons présenter dans cette section l'essentiel des résultats obtenus lors de la simulation de transistor DGMOS, avec le programme de simulation que nous avons présenté (cf. chapitre 2).

Les figure III.2 et III.3 représentent l'énergie potentielle et la densité des électrons du transistor DGMOS étudié pour des tension de polarisation : $V_{DS}=0.6V$, $V_{GS}=0.6V$. La barrière d'énergie potentielle entre source et canal est évidente.

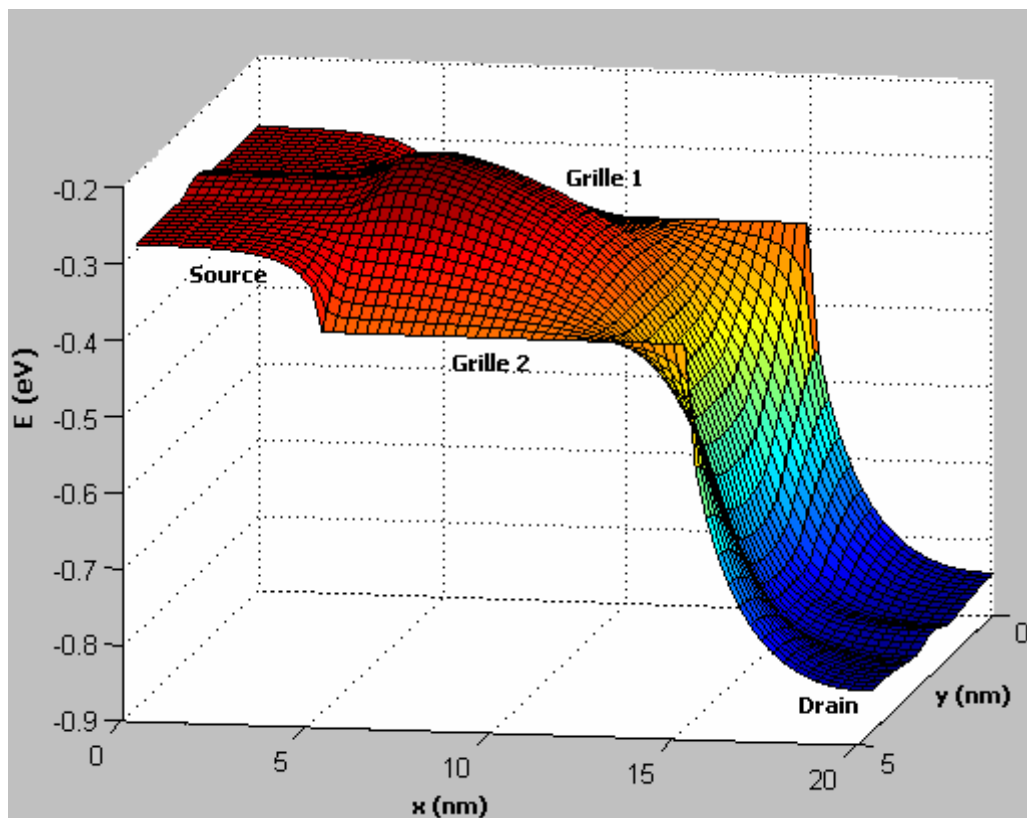


Figure III.2. Energie potentielle du DGMOS

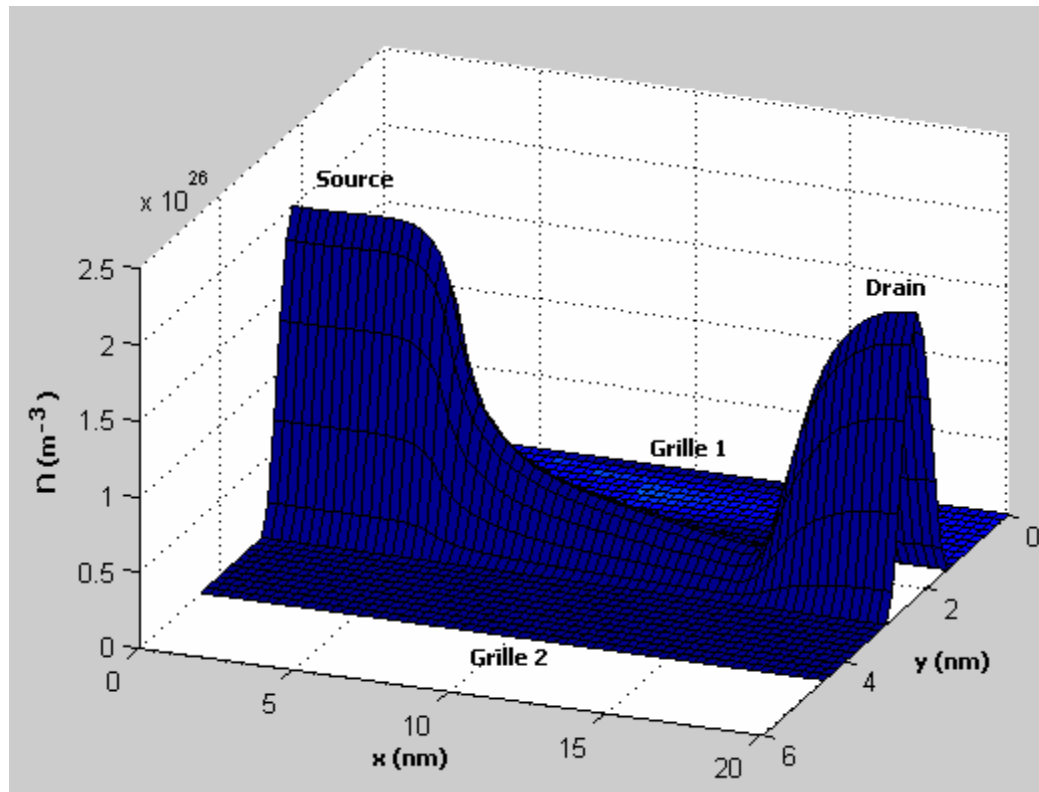


Figure III.3 : Densité des électrons du DGMOS

L'évolution de l'énergie potentielle et la densité des électrons de la structure double-grille pour différentes tensions de grille V_G sont représentées sur les figures III.4 et figure III-5 respectivement. Sur la figure III.4, nous observons la diminution de la barrière de potentiel avec l'augmentation de la tension de grille. A faible tension de grille V_G , la barrière de potentiel du canal interdit le passage des électrons depuis la source vers le drain, dans ce cas le transistor est bloqué. Par contre pour les valeurs de tension de grille plus grandes, la barrière de potentiel diminue et les électrons peuvent passer depuis la source vers le drain.

La densité des électrons le long du canal pour les diverses valeurs des tensions de grille confirme ce processus (figure III.5).

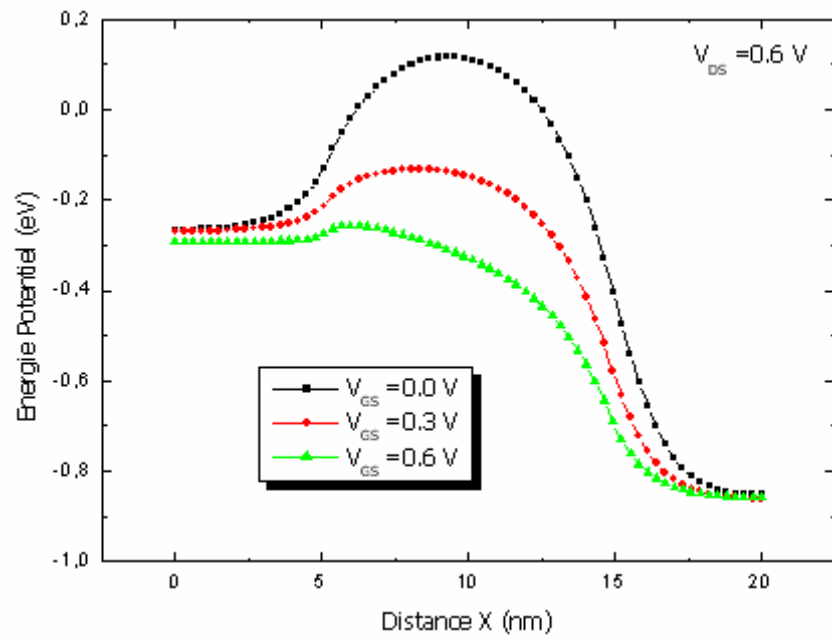
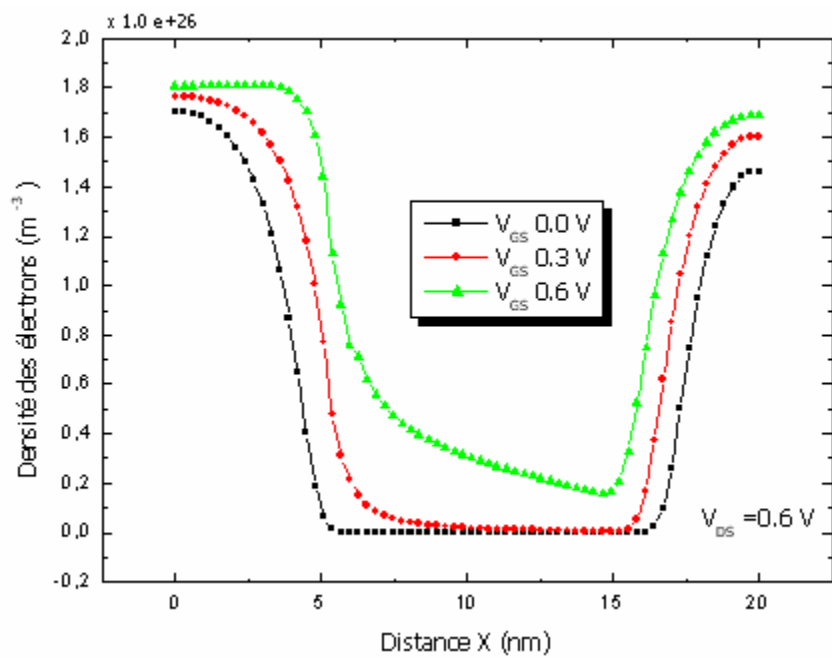


Figure III.4 : Profils d'énergie potentielle le long du canal pour différent de polarisation de grille.



a)

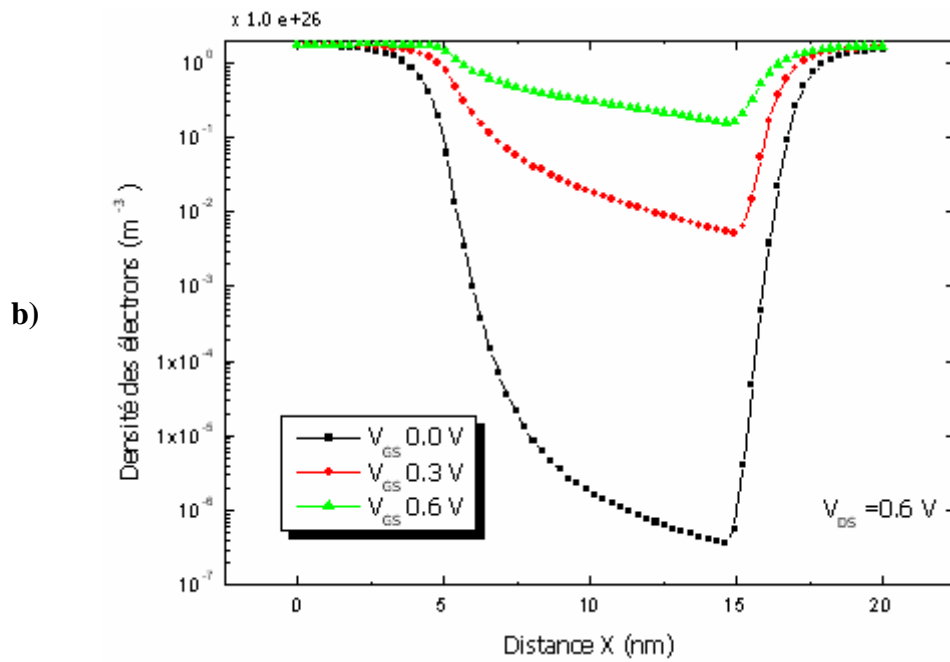


Figure III.5 : Densité des électrons le long du canal pour différentes polarisation de grille.
a) linéaire, b) logarithmique

En principe, deux canaux de conduction sont formés dans un DGMOS (cf. chapitre 1). Lorsque, les dimensions du substrat P sont nanométriques les deux canaux sont très voisins et même se rejoignent pour former un seul canal de conduction.

Nous avons observé ceci dans le transistor considéré (figure III.6).

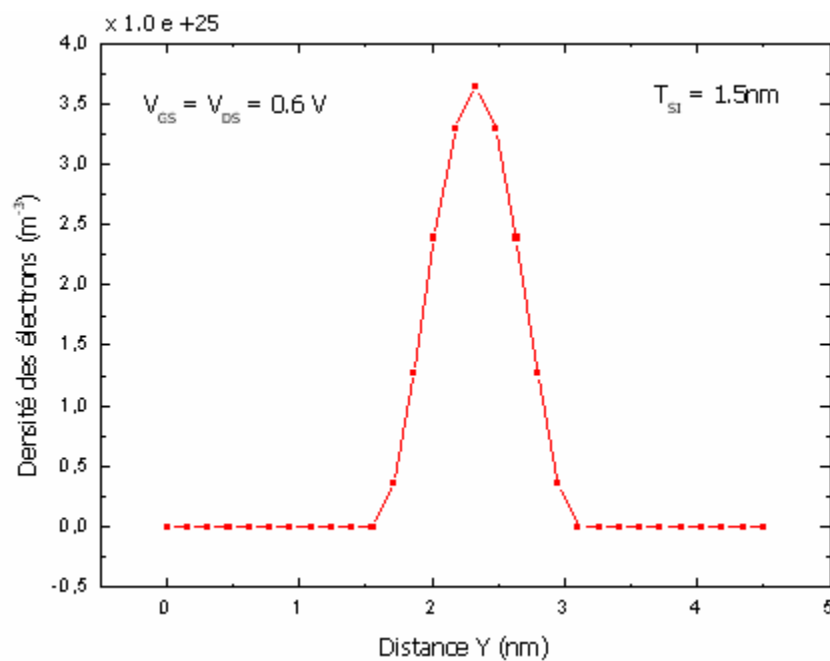


Figure III.6 : Densité des électrons (coupe $x = 10 \text{ nm}$) pour $V_{GS} = V_{DS} = 0.6 \text{ V}$.

La figure III.7, montre clairement l'influence de l'épaisseur T_{SI} sur la formation des canaux de conduction dans le cas classique et quantique. En prenant en compte les phénomènes quantiques, présents dans le composant considéré (dimensions nanométriques), nous observons la formation d'un canal unique pour des épaisseurs $T_{SI} < 5 \text{ nm}$. Notons que ceci ne peut pas être observé dans le cas classique.

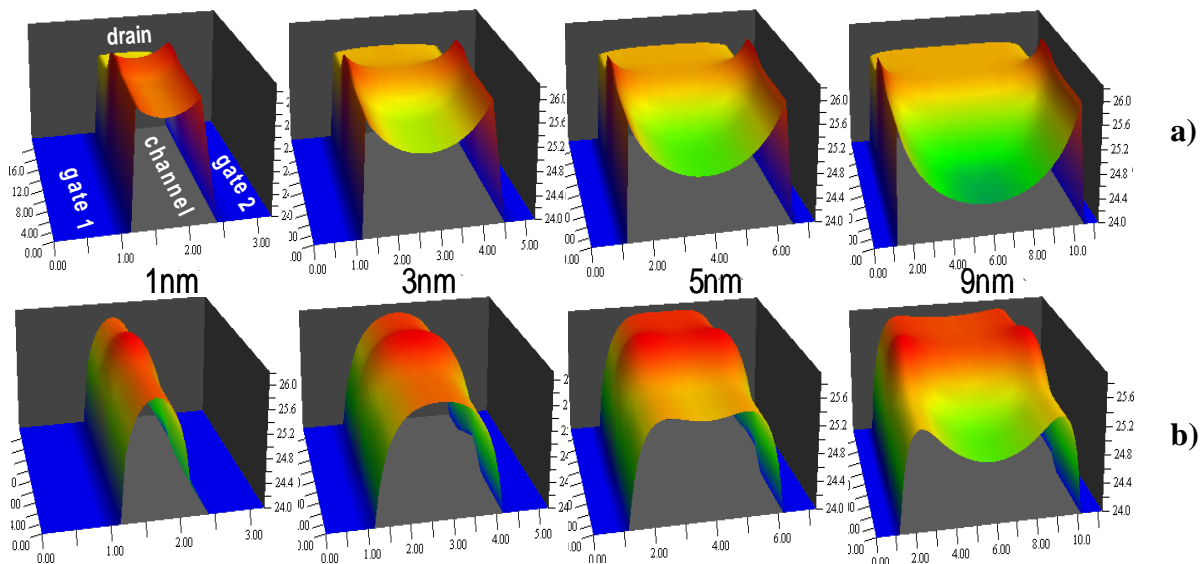


Figure III.7 : Densité des électrons dans le cas : a) Classique ;b) Quantique [26]

III.3.1. caractéristique statique :

Dans le chapitre 1, nous avons vu que l'avantage de l'architecture SOI à double grille par rapport à l'architecture SOI à une seule grille est la minimisation des effets des canaux courts. Dans cette partie nous mettons en évidence ce résultat.

Nous avons considéré, dans un but de comparaison, une structure SOI identique à celle du DGMOS (mêmes dimensions, mêmes caractéristiques) mais à une seule grille (figure III. 8)

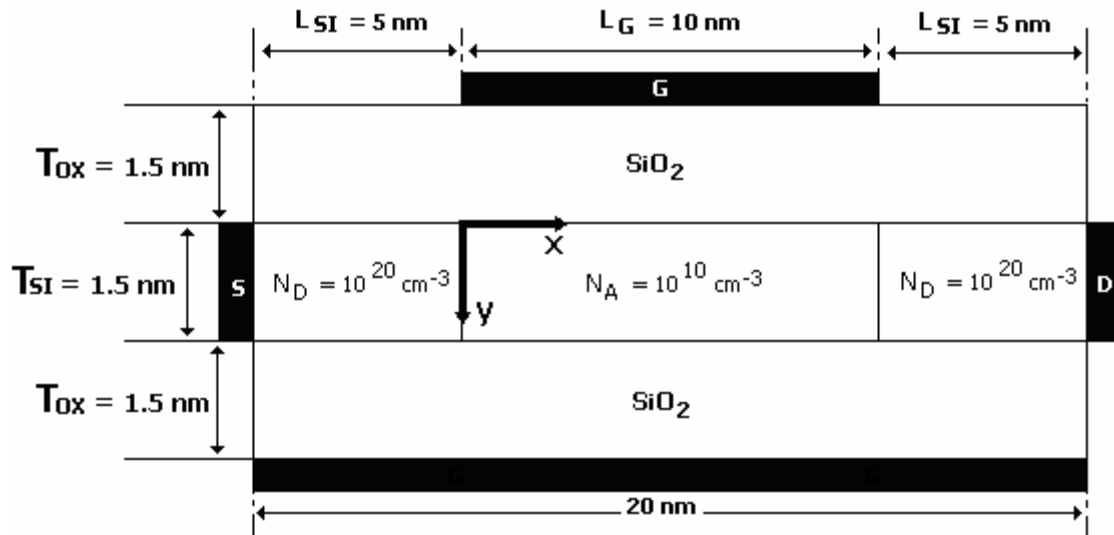


Figure III.8 : Structure du transistor SOI.

III.3.1.1. Etat passant :

Les figures III.9 et figure III.10 représentent les caractéristique $I_D (V_{DS})$ à fort V_{GS} pour l'architectures SOI et DGMOS simulées avec $L_{canal} = 10 \text{ nm}$ respectivement pour $T_{si} = 2 \text{ nm}$ et 1.5 nm .

Les effets de canaux courts sont d'autant plus importants que l'épaisseur du substrat est plus faible. En effet, nous observons une augmentation de la pente des transistors (SOI et DGMOS) en régime linéaire quand l'épaisseur T_{si} est réduite de 2 à 1.5 nm.

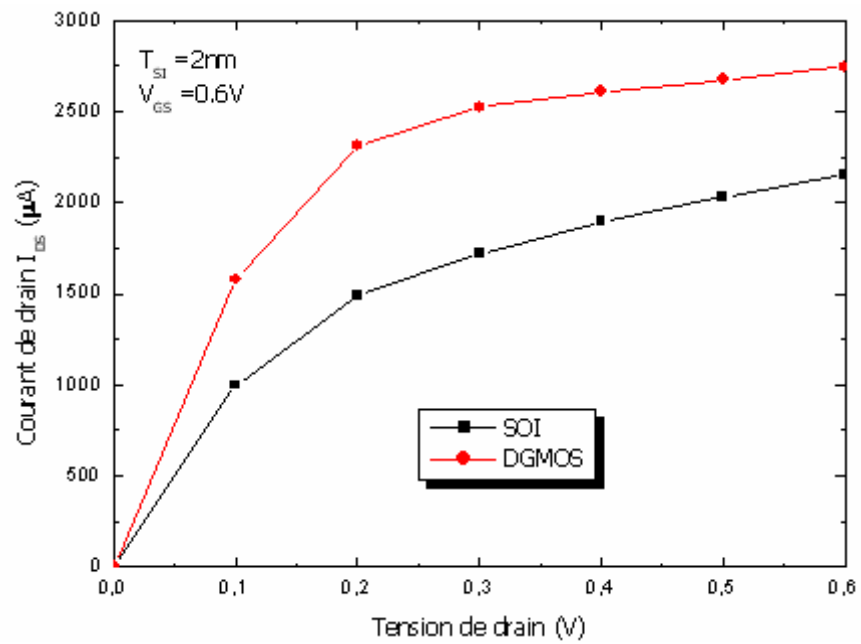


Figure III.9: Caractéristique I_D (V_{DS}) à $V_{GS}=0.6V$ dans différentes architectures : SOI et DGMOS $L_{canal}=10nm$, $T_{si}=2nm$

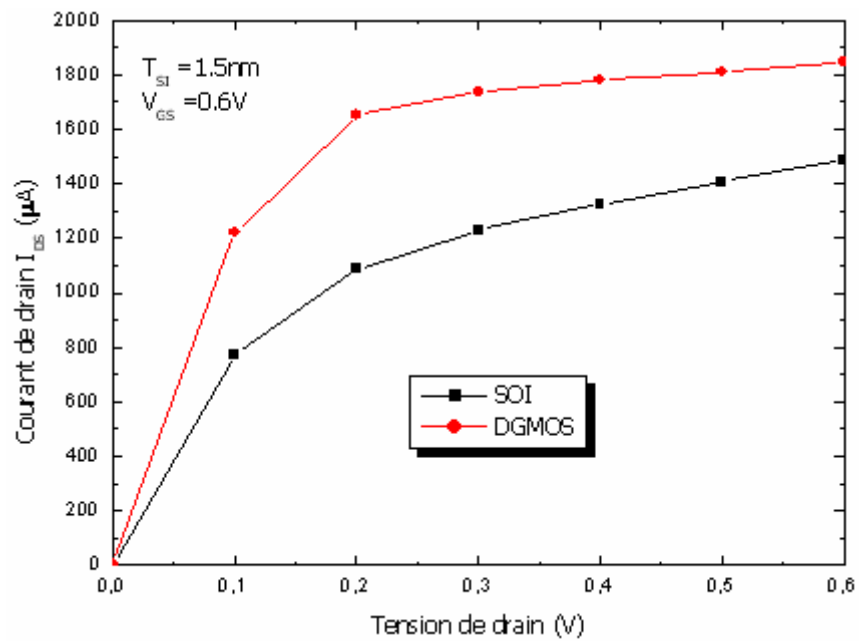


Figure III. 10: Caractéristique I_D (V_{DS}) à $V_{GS}=0.6V$ dans différentes architectures : SOI et DGMOS $L_{canal}=10nm$, $T_{si}=1.5nm$

Le courant à l'état passant I_{on} (courant de saturation) est plus important dans le DGMOS par rapport au transistor SOI. Vaut $2150 \mu A$ pour le transistor SOI et $2745 \mu A$ pour le DGMOS dans le cas où T_{Si} vaut $2nm$.

Sur les caractéristiques de transfert $I_D(V_{GS})$ à fort V_{DS} (figure III.11 et figure III.12) nous confirmons le résultat précédent ($I_{ON}(DGMOS) > I_{ON}(SOI)$). De plus le DGMOS présente des tensions de seuil meilleures (supérieures) que celles correspondant au SOI ; comme il est représenté sur la figure III.13.

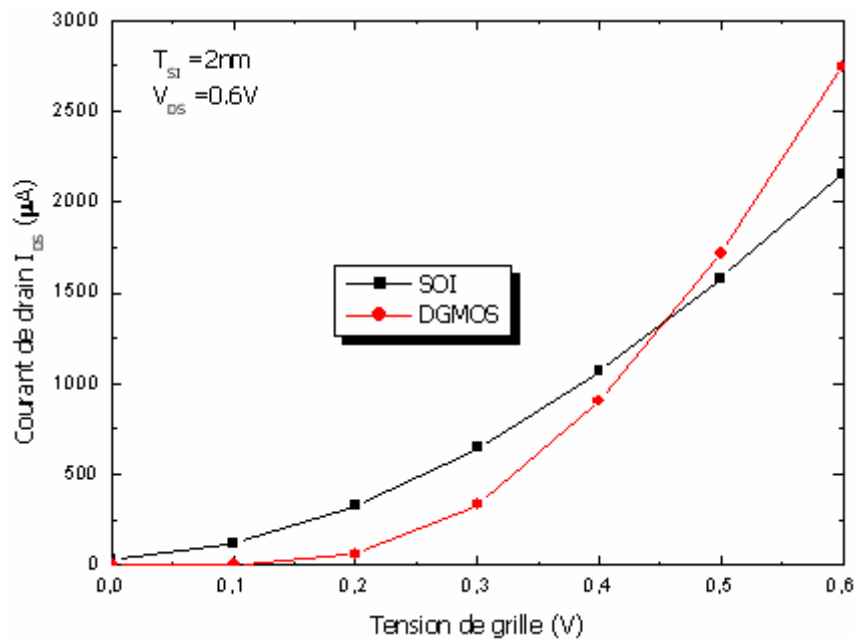


Figure III. 11: Caractéristique $I_D(V_{GS})$ à $V_{DS}=0.6V$ dans différentes architectures : SOI et DGMOS $L_{canal}=10nm$, $T_{Si}=2nm$

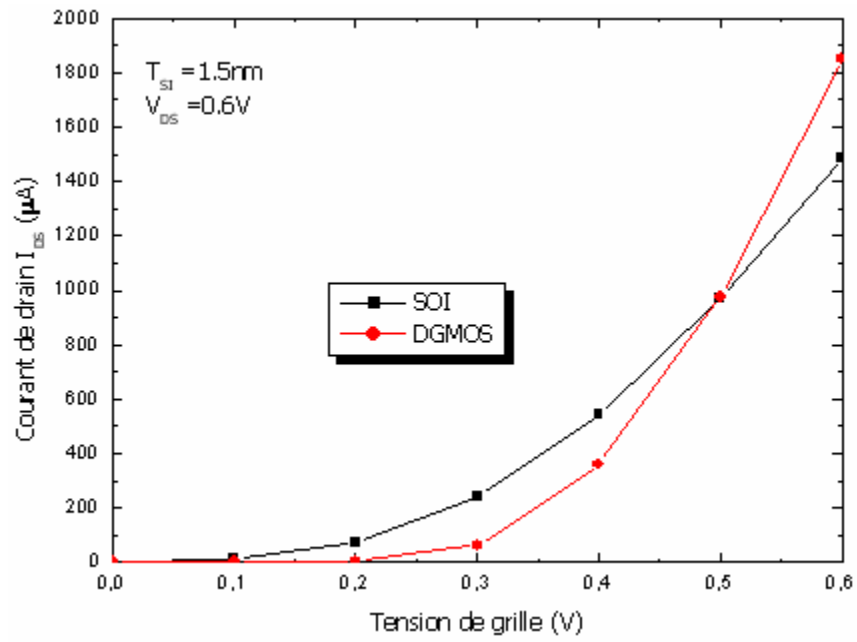


Figure III. 12: Caractéristique $I_D (V_{DS})$ à $V_{GS}=0.6V$ dans différentes architectures : SOI et DGMOS $L_{canal}=10nm$, $T_{si}=1.5nm$

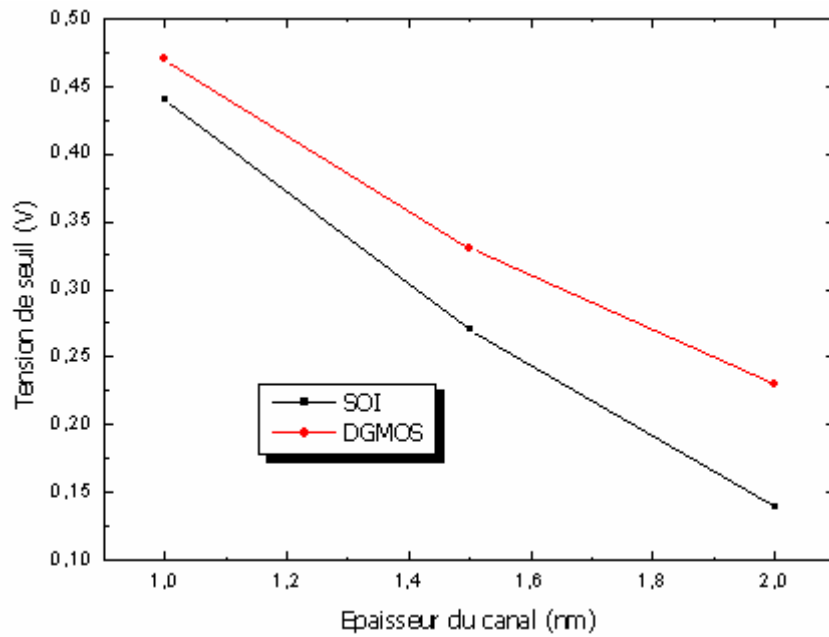


Figure III.13 : Evolution de la tension de seuil en fonction de l'épaisseur du canal pour les SOI et DGMOS.

III.3.1.2. Etat bloqué :

La figure III.14 et figure III.15 représente les caractéristique en échelle semi-logarithmique I_D (V_{GS}) à fort V_{DS} des dispositifs (SOI, DGMOS) avec $L_{canal}=10nm$ et des épaisseur de substrat $T_{si}=2nm$ et $1.5nm$. Nous pouvons alors observer les effets sous seuil.

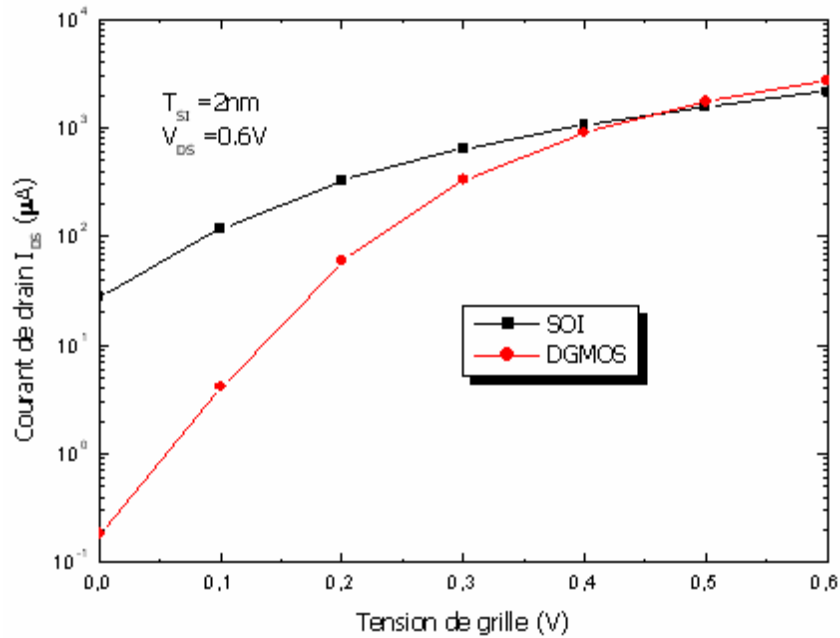


Figure III. 14: Effet sous seuil : caractéristique I_D (V_{GS}) à $V_{DS}=0.6V$ dans différentes architectures : SOI et DGMOS $L_{canal}=10nm$, $T_{si}=2nm$

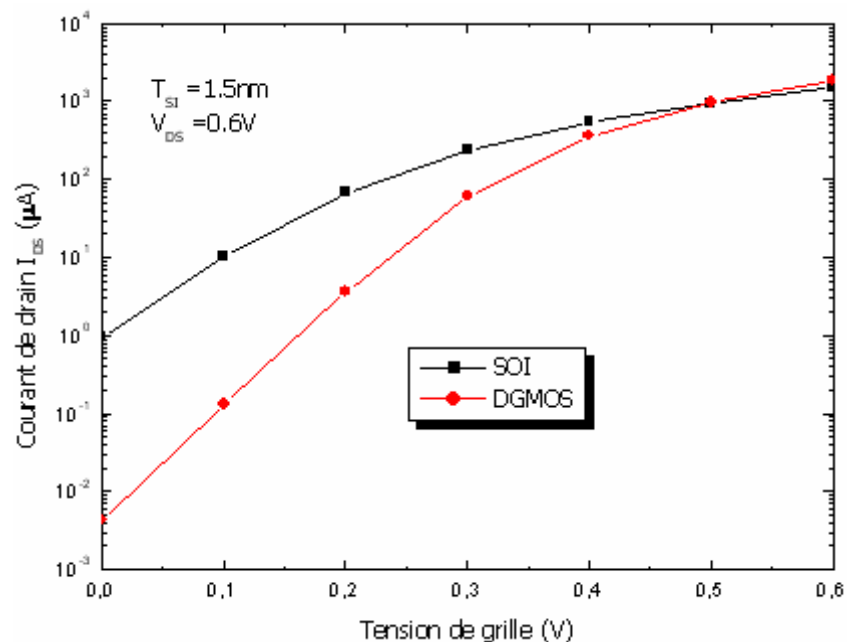


Figure III. 15: Effet sous seuil : caractéristique I_D (V_{GS}) à $V_{DS}=0.6V$ dans différentes architectures : SOI et DGMOS $L_{canal}=10nm$, $T_{si}=1.5nm$

Les courants sous seuil (I_{OFF}) sont nettement plus faible dans le cas du DGMOS par rapport au SOI. Nous pouvons alors avoir un meilleur contrôle du courant de sortie en considérant des DGMOS.

III.4. Analyse des effets canaux courts : DIBL

La figure III.16 indique l'évolution des bandes de conduction dans le dispositif DGMOS à l'état bloqué ($V_{GS}=0V$) pour différentes polarisation de drain $V_{DS}=10mV$, $0.2V$ et $0.6V$ avec $L_{canal}=10nm$ et $T_{Si}=1.5nm$. On constate clairement l'abaissement de la barrière en fonction de la tension de drain.

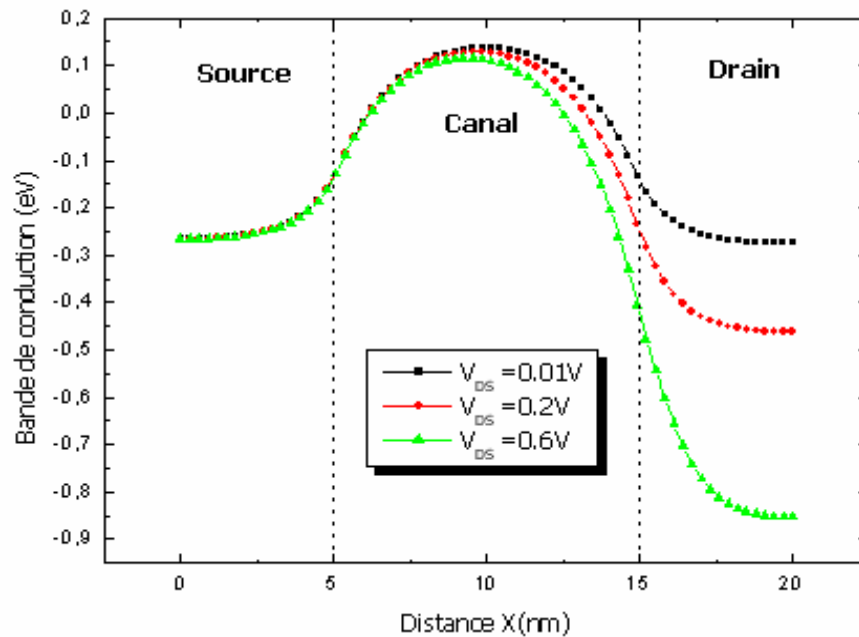


Figure III.16 : Coupes longitudinales de la bande de conduction à l'état bloqué au milieu de canal à différents tensions de drain.

Les figure II.7.a et II.7.b illustre clairement que l'abaissement de la barrière (effet DIBL) est plus faible dans le cas de l'architecture DGMOS.

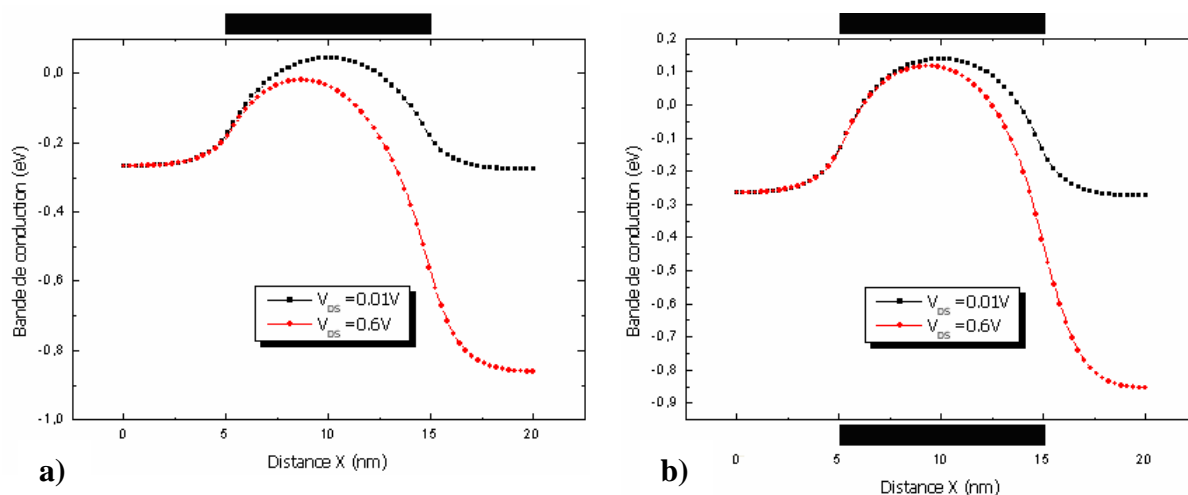


Figure III.17: Coupes longitudinales de la bande de conduction à l'état bloqué au milieu de canal à différentes tensions de drain pour l'architecture : a) SOI, b) DGMOS.

Nous avons effectué dans cette section et la section précédente, une comparaison entre un DGMOS et un transistor SOI, pour montrer que le transistor DGMOS nous donne de bonnes caractéristiques par rapport à SOI lorsque l'épaisseur de T_{SI} diminue, ceci est résumé par le tableau suivant :

Caractéristique	$T_{SI} = 1.5nm$		$T_{SI} = 2nm$	
	SOI	DGMOS	SOI	DGMOS
Courant de saturation (I_{ON})	1485 μA	1851 μA	2150 μA	2745 μA
Courant de fuite (I_{OFF})	0.94 μA	0.0043 μA	27.37 μA	0.18 μA
Pente sous le seuil (S) (mV/dec)	97	67	158	73
Effet DIBL (mV/V)	178	51	274	78

Tableau III.1 : Comparaison des caractéristiques du transistor SOI et DGMOS.

III.5. Influence des paramètres technologiques caractéristiques de la structure de transistor MOS à double grille (DGMOS) :

III.5.1. Effet de la longueur du canal L_g (zone active) :

La figure III.18 montre la variation du courant drain- source en fonction de la tension grille- source pour différentes longueurs des grilles du transistor DGMOSFET.

On constate que le courant de drain diminue avec l'augmentation de la longueur de grille. En effet, le courant de drain est inversement proportionnel à cette longueur. .

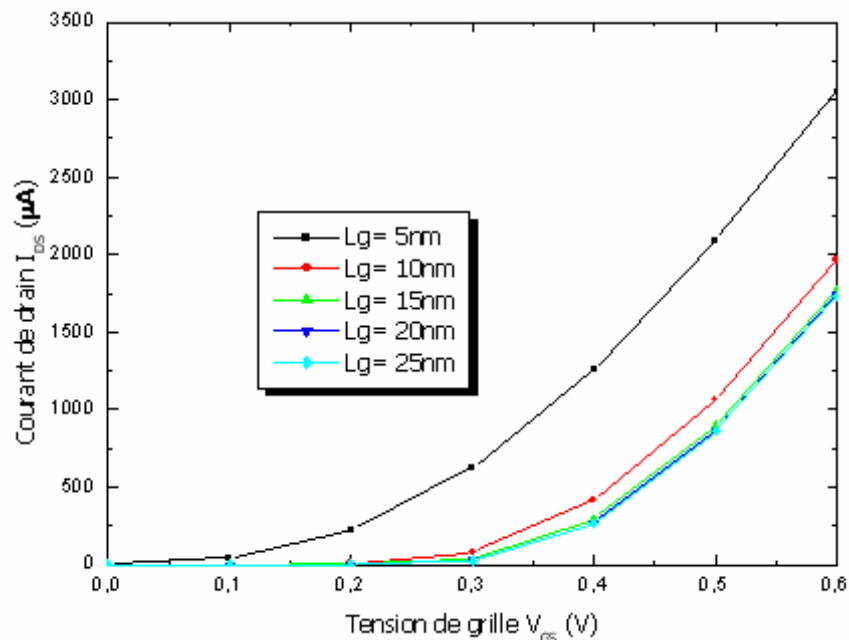


Figure III.18 : Influence de la longueur des grilles pour différentes tensions de grille du DGMOSFET

III.5.2. Epaisseur de la couche active (canal):

Nous présentons sur la figure III.19 l'évolution du courant drain $I_{DS}(V_{GS})$ en fonction de l'épaisseur de la couche active pour le transistor DGMOS.

Nous remarquons que le courant de drain I_{DS} augmente lorsque l'épaisseur du canal augmente. Ceci est à cause de l'augmentation de la surface du canal, ce qui permet d'attirer plus des porteurs minoritaires (électrons), ce qui explique bien les résultats obtenus ci-dessous.

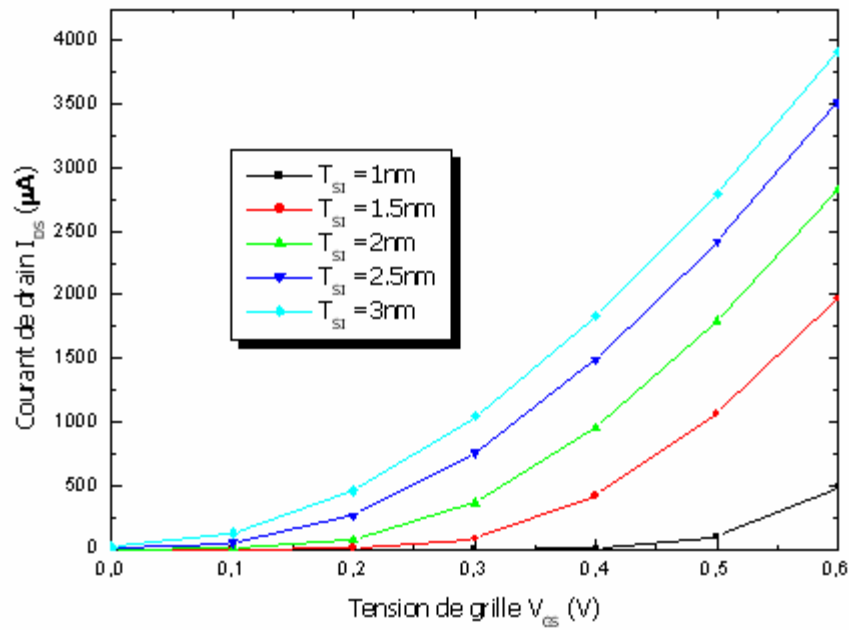


Figure III.19 : Influence de l'épaisseur de la couche active pour différentes tension de grille du DGMOS

III.5.3. Travail de sortie :

La figure III.20 présente l'évolution du courant de drain en fonction de la tension grille-source pour différents travaux de sortie.

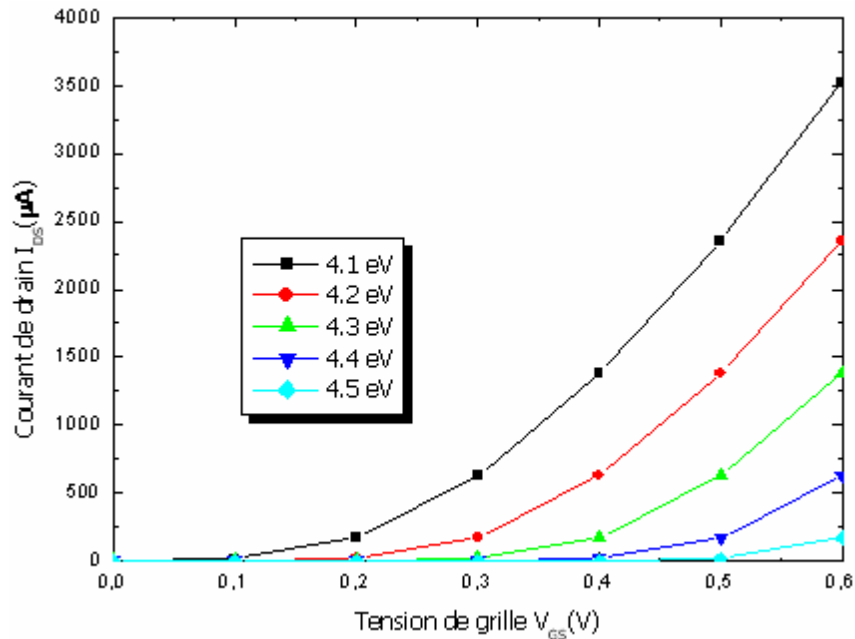


Figure III.20 : Influence du travail de sortie sur le courant de drain pour différentes tensions de grille du DGMOS

Nous remarquons clairement que plus le travail de sortie est faible plus le courant de drain est important ; surtout lorsque la tension grille-source est forte. Le travail de sortie du métal étant faible, ceci fait que le nombre de porteurs qui traversent la barrière métal-semiconducteur devient plus grand.

III.6. Simulation avec ISE-TCAD:

Cette partie est consacrée à la comparaison entre le programme de simulation utilisé précédemment et le logiciel ISE-CAD. Nous allons tout d'abord commencer par une brève description de ce logiciel [27].

III.6.1. ISE-CAD :

Les fabricants de semi-conducteurs dans le monde entier tels que Motorola, Intel et Texas Instrument utilisent le logiciel TCAD (Technology Computer Aided Design) pour la conception et la fabrication des circuits intégrés. Celui-ci à partir de 1993 par la société ISE (Integrated Systems Engineering). De plus, le logiciel ISE-TCAD est plus parfaitement adapté, aux nouveaux technologies et aux applications complexes y compris : Sub-100 nm CMOS, SOI, la technologie SiGe, hétérostructure, optoélectronique, les dispositifs quantiques et la nanoélectronique [28].

ISE-TCAD est donc perçu pour plusieurs applications, uniquement nous avons utilisé dans notre cas les modules suivants : GENESIS, MDRAW, DESSIS et INSPECT.

III.6.1.1. GENESIS :

L'utilisation du logiciel ISE-TCAD se fait par l'intermédiaire de l'interface graphique GENESIS. Cette interface oriente, intègre et contrôle tous les modules de simulation du logiciel (figure III.21).

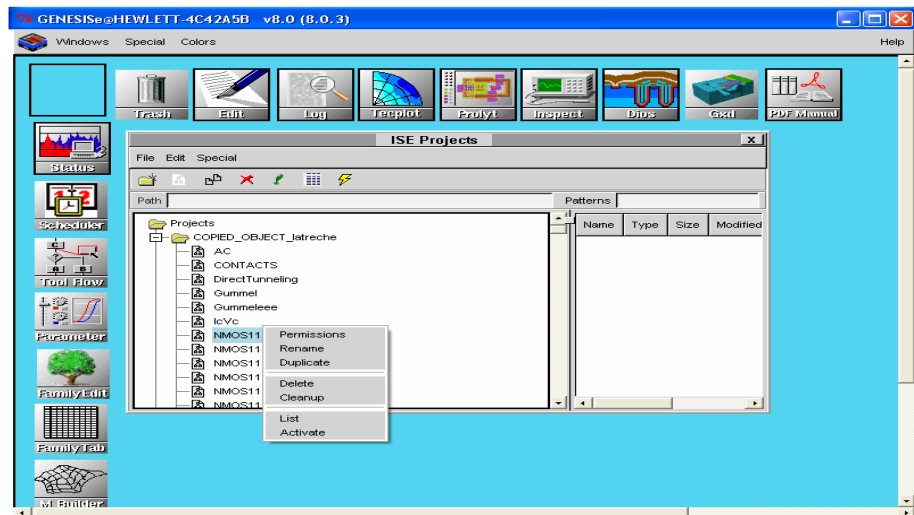


Figure. III.21. Création d'un projet sous GENESIS

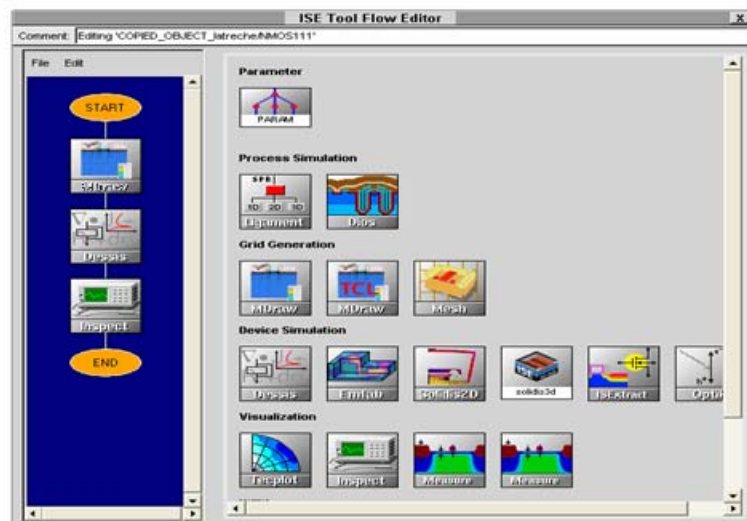


Figure. III.22 : Construction d'une simulation

III.6.1.2. MDRAW :

MDRAW permet d'élaborer la géométrie, les profils de dopage et le maillage pour les composants à deux dimensions. Le module MDRAW est un module mixte, dans le sens où il peut être utilisé sous forme d'interface graphique interactive ou en programmation à l'aide d'un éditeur de texte LINUX. L'interface graphique MDRAW possède deux modes ; l'un permet de dessiner un dispositif et déterminer ses dimensions (Boundary) et l'autre à l'élaboration des profils de dopage (Doping) [29].

III.6.1.3. DESSIS :

DESSIS est le module consacré à la simulation électrique de composants semi-conducteurs. Il permet la manipulation des géométries 1D, 2D et 3D. Il simule et résout numériquement les caractéristiques électrique, thermique et optiques des dispositifs à semi-conducteur. Ceci à l'aide de la méthode des éléments finie [28].

Pour DESSIS, les fichiers de commande utilisés dans notre travail sont :

- * Section File : définit le maillage et les dopages des régions.
- * Section Electrode: définit les contacts les conditions initiales et les tensions appliqués sur les différentes électrodes.
- * Section Physics : définit les modèles physiques considérés..
- * Section Math : définit les modèles de résolution numérique utilisés.
- * Section Solve: définit les équations mises en jeu dans la physique des composants considérés.
- * Section Plot : permet de visualiser les résultats obtenus (exemple : le potentiel.....etc).

III.6.1.4. INSPECT :

Le module INSPECT permet de visualiser et d'analyser les courbes bidimensionnelles, telles que les profils et les caractéristiques électriques des dispositifs considérés. Son interface graphique tient compte de l'accès rapide aux données appropriées de courbe [30].

III.6.2 : Modélisation quantique sous ISE-TCAD :

En plus, des modèles classiques, ISE-TCAD présente un module de simulation qui prend en compte les phénomènes quantiques inhérents aux composants semiconducteurs de dimensions nanométriques. Ceci est réalisé par la résolution auto-consistante des équations de Poisson et Schrödinger. L'équation de Schrödinger et la définition de la région où cette équation sera résolue sont définies dans la section 'Physics' de la manière suivante :

Physics {Schrödinger}

Physics {Schrödinger (région: canal)}

III.6.3. Analyse des résultats : Comparaison

Pour la validation de notre programme, nous avons comparé avec le logiciel commercial ISE-TCAD. Avant d'aboutir à une comparaison entre le programme de simulation et ce dernier, car nous avons considéré les mêmes paramètres physiques dans les deux cas. Citons notamment, la valeur de la masse effective longitudinale $m_l = 9.163.m_0 \text{ kg}$, et la valeur de la masse effective transverse $m_t = 0.1905.m_0 \text{ kg}$.

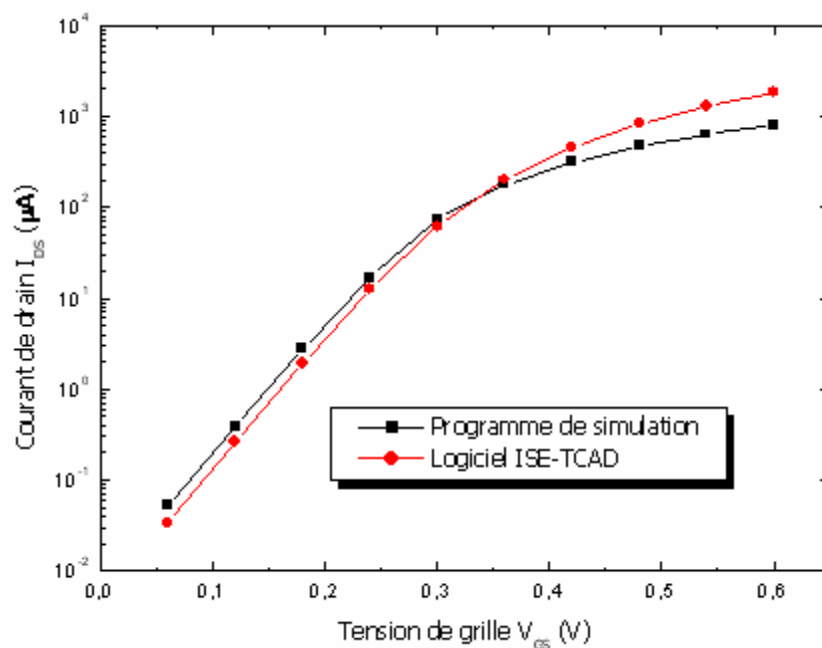


Figure III.23 : Caractéristiques d'entrée d'un DGMOS obtenue par ISE-TCAD et le programme de simulation (Matlab).

La figure III.23 représente la caractéristique d'entrée I_{DS} en fonction de la tension grille-source V_{GS} . Un bon accord est observé.

III.7. Conclusion :

Dans ce chapitre, dans un premier temps, nous avons présenté les résultats obtenus par la simulation numérique. Nous avons ensuite fait une comparaison entre les performances de DGMOS et le SOI. Les résultats obtenus confirment le fait que les performances du transistor double grille sont les meilleurs.

Nous avons montré l'influence des paramètres géométriques sur les caractéristiques du transistor DGMOS, et enfin terminé par la comparaison entre le programme de simulation qui est utilisé et par le logiciel de simulation ISE-TCAD. Ceci nous a permis de valider nos résultats.

Conclusion Générale

Conclusion Générale

Afin de relever les défis qui luttent contre les effets de canaux courts, il devient nécessaire d'aller vers des nouvelles architectures tel que l'architecture SOI (Silicon On Insular) à double grille. Notre travail de magister s'est inscrit dans ce contexte il s'agissait d'étudier et de modéliser un transistor à effet de champ Double Grille : DGMOS.

Nous avons commencé par le rappel des propriétés physiques du silicium. Celles-ci jouent un rôle important dans les composants microélectroniques. Nous avons vu que le silicium est un matériaux multivallés (6 vallée), et contient dans la bande de valence : trous légers et trous lourds. Nous avons utilisé, ce concept pour la résolution des équation considérées dans ce type de composants, en l'occurrence l'équation de Poisson et Schrödinger. Celles-ci ont été résolues de manière auto-coherente.

Pour des transistors ultracourt ($L_{canal} = 10nm$), le transport dans le canal est un transport en régime balistique. Dans ce type de transport, les électrons sont capables de traverser tout le canal sans subir de collisions.

Une comparaison des performances électriques (caractéristiques $I_{DS}(V_{GS})$) du DGMOS et du transistor SOI a permis de conclure que le DGMOS contrôle mieux le canal et donc le courant de drain.

D'autre part, l'étude de l'influence des paramètres technologiques du transistor DGMOS sur leur comportement électrique a permis d'aboutir aux principaux résultats suivants :

- le meilleur compromis entre un comportement sous le seuil acceptable et la rapidité du composant est obtenu dans le cas de l'architecture à double grille.
- l'effet DIBL et les courant de fuite sont plus faible dans le cas de l'architecture DGMOS par rapport à l'architecture SOI une seule grille.
- Les diminutions des : longueur du canal, épaisseur du canal et du travail de sortie du métal s'accompagnent d'un accroissement important du courant de drain I_D .

Enfin, une autre partie de ce travail, qui a été un souci majeur pour nous, a été de valider les résultats que nous avons obtenus. Pour cela, nous avons considéré le logiciel ISE-TCAD. La même structure et le même modèles physiques ont été considérés.

La comparaison de nos résultats avec ceux obtenus lors de l'exécution de ISE-TCAD a été très satisfaisante.

Il serait intéressant, dans le future, d'utiliser les performances électriques présentées par ce composant afin de réaliser un oscillateur RF (Radio Fréquence) faible bruit.

- [1] **F.Pregaldiny** . ‘Etude et modélisation du comportement électrique des transistors MOS fortement submicroniques’, thèse de doctorat, Université Lois Pasteur, Décembre, 2003.
- [2] **F.Djeffal**. ‘Modélisation et simulation prédictive du transistor MOSFET fortement Submicronique. Application a la conception des dispositifs intégrés’, thèse de doctorat, Université Batna, Avril, 2006.
- [3] **B.Diagne**. ‘ Etude et modélisation compacte d’un transistor MOS SOI double grille dédié à La conception’, thèse de doctorat, université Louis Pasteur – Strasbourg I, novembre 2007.
- [4] **S.Bernardini**. ‘Modélisation des structures métal – oxyde- Semiconducteur (MOS) : Applications aux dispositifs mémoires’, thèse de doctorat, Université D’AIX-MARSEILLE I, Octobre, 2004.
- [5] www.elec.ucl.ac.be/enseignement/ELEC2550/submicron-MOS.pdf
- [6] **F.Lallement**. ‘Etude, développement et caractérisation de procédés de dopage par plasma Appliqués aux technologies électroniques avancées’, thèse de doctorat, Ecole doctorale Génie électrique, électronique et télécommunication de Toulouse, Décembre, 2005.
- [7] **F. Mayer**. ‘ Etude, réalisation et caractérisation du transistor à ionisation par impact (I-MOS)’, thèse de doctorat, Université Joseph Fourier – Grenoble, Octobre, 2008.
- [8] **M.Bescond**. “ Modélisation et simulation du transport quantique dans les transistors MOS nanométrique’ , thèse doctorat , Université de provence (Aix-Marseille I), novembre 2004.
- [9] **D.Chanemougame**. ‘ Conception et fabrication de nouvelles architectures CMOS étude Du transport dans les canaux de conduction ultra minces obtenus avec la technologie SON’ thèse de doctorat, L’Institut national des sciences appliquées de Lyon, Décembre, 2005.
- [10] **A.Valentin**. ‘ Etude de la technologie SOI partiellement désertée à très basse tension pour minimiser l’énergie dissipée et application à des opérateurs de calcul’, thèse de doctorat, Mai, 2005.
- [11] **J.Saint-Martin**. ‘ Etude par simulation MONTE CARLO d’architectures de MOSFET ultracourts a grille multiple sur SOI ‘, thèse de doctorat, université Paris XI Orsay, décembre, 2005.
- [12] **S.G.Retailleau, A.Bournel, P.Dollfus**. “Electronique ultime”, Institut d'Electronique Fondamentale - Bât. 220 - Université Paris Sud - 91405 Orsay Cedex.

- [13] **L.François.** ‘Le courant de fuite de grille dans les prochaines générations de transistors MOS. Une évolution vers les High-K.’ Laboratoire de Physique des Composants à Semiconducteurs. 23, rue des Martyrs, BP 257 ,38016 GRENOBLE Cedex 1.
- [14] **S. M. Sze; Kwok K. Ng.** ‘Physics of Semiconductor Devices’, Third Edition, A JOHN WILEY & SONS’ 2007.
- [15] **O.Simonetti.** ‘ Influence de la quantification en énergie des porteurs sur la modélisation et la caractérisation électronique des structures MOS à oxyde de grille ultramince (<3nm)’, laboratoire d’automatique et de microélectronique ,France.
- [16] **H.Mathieu.** ‘Physique des semi-conducteurs et des composants électronique ‘, Paris, 1998.
- [17] csidoc.insa-lyon.fr/these/2006/nychyporuk/04_chapitre_1.pdf
- [18] docinsa.insa-lyon.fr/these/2006/nychyporuk/04_chapitre_1.pdf
- [19] **Z.Ren.** ‘ Nanoscale MOSFETs, Physics, Simulation and Design ‘, thèse de doctorat, Université Purdue, octobre 2001.
- [20] **J.Cibert.** “ Nanostructures “ Laboratoire Louis Néel et Equipe « Nanophysique et semi-conducteurs », septembre 2004.
- [21] **C.Choi.** ‘ Modeling of nanoscale MOSFETS’, these de doctorat , Université Stanford, Avril ,2002.
- [22] **M.Anne Jaud.** “ Approche du potentiel effectif pour la simulation MONTE CARLO du transport électronique avec effets de quantification dans les dispositifs MOSFETs “, thèse de doctorat, Université Paris Sud XI, octobre 2006.
- [23] **Z.Ren, R.Venugopal, S.Datta, M.Lundstrom.** “ The ballistic nanotransistor – A simulation study-“, IEDM Tech. Digest, pp .715-718; 2002.
- [24] **M.Lundstrom, Fellow, IEEE,** and **Z.Ren.** “Essentiel physics of courier transport in Nanoscale MOSFETs “, IEEE Transations on electron devices, vol. 49, No. 1, January 2002.
- [25] **M. Heydemmann,** Résolution numérique des équations bidimensionnelles de transport Dans les semi-conducteurs, Doctorate dissertation (Paris Sud University, 1972)
- [26] Cours Prof. **Alain Poncet.** ‘ Modélisation et simulation numérique des dispositifs silicium’, Année 2005-2006.

- [27] Integrate Systems Engineering, GENESUSe Optim ISE LIGAMENT INSPECT
TECPLOT – ISE Utilities 8.0, User's manual, 2002.
- [28] **A.Al-Ahmadi.** ' Complementary orthogonal stacked metal oxide semiconductor : a novel
nanoscale complementary metal oxide semiconductor architecture' . thèse de doctorat ,
the school of electrical engineering and computer science and the Russ college of
engineering and technology. June 2006.
- [29] Integrate Systems Engineering, MDRAW MESH DIP, User's manual, 2002.
- [30] Integrate Systems Engineering, DESSIS 8.0, User's manual, 2002.

Résumé :

L'évolution de la technologie des semi-conducteurs vers des géométries de plus en plus fine permet un accroissement des performances et des fonctionnalités par puce, mais ceci conduit cependant à l'apparition d'effets néfastes tel que l'effet DIBL. Pour minimiser ces effets, il est intéressant de se tourner vers de nouvelles architectures tel que l'architecture SOI double grille.

La simulation avec le programme de résolution des équations 'Schrödinger- Poisson', montre que l'architecture SOI double grille contrôle mieux le canal que l'architecture SOI une seule grille. Les résultats obtenus montrent également que la diminution des paramètres technologiques (longueur du canal, épaisseur du canal et du travail de sortie du métal) s'accompagnent d'un accroissement important du courant de drain I_D .

La validité de nos résultats a été confirmée en les comparant avec ceux obtenus par le logiciel ISE-TCAD.

Abstract

The evolution of the semiconductors technology towards increasingly fine geometries allows an increase in the performances and the functionalities by chip, but this led however to the appearance of the harmful effects such as DIBL effect. To minimize these effects, it is interesting to turn to new architectures such as SOI double gate architecture.

The simulation with the programme of the resolution of 'Schrödinger-Poisson' equations shows that the SOI double gate architecture controls the channel better than the SOI architecture with only one gate. The obtained results show also that the reduction in the technological parameters (length of the channel, thickness of the channel and the work function of metal) are accompanied by a significant increase in drain current I_D .

The validity of our results was confirmed by comparing them with those obtained by the ISE-TCAD software.

(
ISE-TCA

DIBL
SOI
)
SOI
(courant de drain)