

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET
DE LA RECHERCHE SCIENTIFIQUE

UNIVERSITE FRÈRES MENTOURI CONSTANTINE
FACULTE DES SCIENCES DE LA TECHNOLOGIE
DEPARTEMENT D'ELECTRONIQUE

N° attribué par la bibliothèque
/ / / / / / / / / /

THÈSE

Pour obtenir le grade de
Docteur en sciences en Electronique

Spécialité "Semi-conducteurs"

Présentée par :
RACHIDA BENSEGUENI

Titre : _____

**Contribution à l'étude du transport électrique
à travers des oxydes très minces (<10nm)
dans des structures MOS**

Jury :

<u>Président :</u>	Mr Abdelmadjid BENGHALIA	Prof. Univ. Mentouri Constantine
<u>Directeur de thèse :</u>	Mme Saida Latreche	Prof. Univ. Mentouri Constantine
<u>Membres :</u>	Mme Cherifa AZIZI	Prof. Univ. Oum- El - Bouaghi
	Mr Ramdane MAHAMDI	Prof. Univ. Batna
	Mme Saida REBIAI	Prof. Univ. Mentouri Constantine

Soutenue le : 08/ 12 / 2016

*A mes parents Kaddour et Yamina
A mon mari Ahcene
A mes adorables enfants Ghada et Mouatez
A toute ma famille
Et tous ceux qui me sont Chers*

Avant-propos

*Ce travail a été effectué au Laboratoire Hyperfréquence et semi-conducteurs **LHS** institut d'électronique, université Mentouri de Constantine.*

*Avant tout propos, Je remercie **ALLAH** le Tout-puissant de m'avoir donné le courage, la volonté et la patience de mener à terme ce présent travail.*

*Je ne saurais, réellement, trouver les expressions éloquentes que mérite mon encadreur de thèse, Madame **Saida LATRECHE** Professeur à l'université **Mentouri de Constantine**, qui a su me guider et être disponible tout au long de ce travail. Je la remercie de la confiance qu'elle a placée en ma personne et de son soutien infailible.*

*Qu'il me soit permis d'exprimer ma profonde gratitude à Monsieur le professeur **Abdelmadjid BENGHALIA** pour m'avoir offert l'opportunité de présider ce jury.*

*Je remercie également Madame **Cherifa AZIZI** Professeur à l'université d'Oum el Bouaghi, et Monsieur **Ramdane MAHAMDI** Professeur à l'université de Batna, pour l'honneur qu'ils m'ont fait en acceptant la lourde tâche de rapporter ce travail de thèse. Qu'ils trouvent ici le témoignage de ma gratitude pour leurs participations au jury.*

*Je suis particulièrement reconnaissante à Madame **Saida REBLAI** Professeur à l'université de Constantine pour avoir accepté d'examiner ce mémoire et d'en être le rapporteur.*

J'associe à mes remerciements tous les membres du laboratoire LHS, de l'université Constantine pour leurs gentillesse et leurs disponibilités.

*Enfin, j'exprime mes remerciements à **mes parents, mon mari, mes enfants, mes frères et mes sœurs et toutes mes amies** qui m'ont apporté leur soutien, de près ou de loin, et contribuer d'une manière ou d'une autre à mon épanouissement dans un climat studieux et plein de sérénité ce qui m'a beaucoup aidé dans l'accomplissement de ma tâche et l'heureux aboutissement de ce travail.*

SOMMAIRE

Liste des figures.....	I
Liste des tableaux.....	IX
Introduction générale.....	1
 <i>Chapitre 1 Le transistor MOS à effet de champ : miniaturisation et nouveaux matériaux</i>	 6
 I.1. LE TRANSISTOR MOSFET CONVENTIONNEL	 8
I.1.1. Structure de base.....	8
I.1.2. Principe de transport des porteurs dans le canal.....	9
I.1.2.1. Effet de champ	9
I.1.2.2. Mobilité des porteurs dans le canal.....	11
I.1.3. Graphe I_{ON}/I_{OFF}	14
 I.2. MINIATURISATION ET LIMITES	 18
I.2.1. Intérêt de la miniaturisation.....	18
I.2.2. Phénomènes physiques liés à la réduction d'échelle.....	19
I.2.2.1. Les effets canaux courts.....	19
I.2.2.2. Les fuites de grille.....	21
I.2.2.3. La déplétion de la grille.....	23
 I.3. SOLUTIONS TECHNOLOGIQUES	 24
I.3.1. Innovations architecturales actuelles.....	25
I.3.2. Introduction de nouveaux matériaux.....	26
I.3.2.1. La grille métallique	26
I.3.2.2. Génération de la contrainte mécanique dans le canal du MOSFET.....	27
I.3.2.3. Incorporation de l'oxyde de forte permittivité 'High-k'	28
 I.4. CONCLUSION.....	 29
<i>Références bibliographiques.....</i>	30

<i>Chapitre II</i>	<i>Génération De Contraintes Dans Les Dispositifs MOS</i>	36
II.1.	IMPACT DES CONTRAINTES MECANIKES EN MICROELECTRONIQUES	38
II.1.1.	Effets néfastes des contraintes mécaniques en microélectronique.....	38
II.1.2.	L'ingénierie des contraintes mécaniques : une source de progrès en microélectronique.....	42
II.1.2.1.	Ingénierie de substrats : canaux épitaxiés.....	43
II.1.2.2.	Contraintes induites par le procédé (process induced stress).....	43
II.1.2.2.1.	Contrainte générée par le procédé STI.....	44
II.1.2.2.2.	Contrainte imposée par les couches de siliciures	44
II.1.2.2.3.	Couche d'arrêt de la gravure des contacts CESL.....	45
II.1.2.2.4.	Couches SiGe ou SiC enterrés dans les régions source-drain.....	46
II.2.	UTILISATION DES CANAUX EPITAXIES POUR AMELIORER LE TRANSPORT DANS LES TRANSISTORS nMOS	47
II.2.1.	Le Silicium contraint.....	47
II.2.1.1.	Définition	47
II.2.1.2.	Croissance d'un film de Silicium sur un pseudo substrat de SiGe	49
II.2.1.2.1.	Pseudo substrat de SiGe.....	49
II.2.1.2.2.	Epaisseur critique du Si contraint.....	50
II.2.2.	Propriétés physiques de canal Silicium contraint en tension bi-axiale.....	50
II.2.2.1.	Structure et diagramme de bande du Silicium non contraint.....	50
II.2.2.2.	Structure de bande du canal sous contraintes.....	53
II.2.2.2.1.	Bande de conduction	53
II.2.2.2.2.	Bande de valence.....	54
II.3.	RELATION ENTRE LE POURCENTAGE DE GERMANIUM ET LA CONTRAINTE INDUITE DANS LE CANAL	55
II.3.1.	Paramètre de maille.....	55
II.3.2.	Bandes d'énergie.....	56
II.3.3.	Mobilité des porteurs de charges.....	59
II.3.4.	Constante diélectrique.....	60
II.4.	CONCLUSION	61

<i>Références bibliographiques</i>	62
<i>Chapitre III CONTRAINTE MECANIQUE ET SES CONSEQUENCES ELECTRIQUES</i>	68
III.1. MODÈLE DE DÉRIVE DIFFUSION RELATIVE AUX COMPOSANTS MOS A CANAL CONTRAINT	70
III.1.1. La simulation numérique : un champ d'expérience infini.....	70
III.1.2. Modélisation bidimensionnelle du transport sous contrainte mécanique ...	72
III.1.2.1. Modèle de transport de dérive-diffusion en présence de contrainte mécanique	73
III.1.2.2. Modèles de mobilité.....	81
III.1.2.2.1. Modèle analytique (dépendance mobilité- dopage).....	81
III.1.2.2.2. Dépendance mobilité- champ électrique.....	82
III.1.2.2.3. Dépendance mobilité- fraction molaire x de Germanium.....	82
III.1.2.3. Modèles de Génération-Recombinaison.....	83
III.1.3. Résolution numérique du système d'équation aux dérivées partielles.....	84
III.1.3.1. Discrétisation du domaine de calcul.....	85
III.1.3.2. Normalisation des équations.....	86
III.1.3.3. Discrétisation des équations par la méthode de différences finies.....	87
III.1.3.4. Résolution du problème discret.....	88
III.1.3.5. Outil de simulation.....	91
III.2. EFFET DE LA CONTRAINTE MÉCANIQUE SUR LES CARACTÉRISTIQUES ÉLECTRIQUES	93
III.2.1. Dispositif simulé.....	93
III.2.2. Validation du code de calcul.....	94
III.2.3. Propriétés de transport dans les MOSFETs non contraints.....	95
III.2.3.1. Analyse des profils de potentiel, de concentrations et de champs issus des simulations SIBIDIF	95
III.2.3.2. Influence des conditions de polarisation.....	99
III.2.4. Propriétés de transport dans les MOSFETs contraints en tension bi-axiale	102
III.2.4.1. Mobilité dans le canal de conduction	102
III.2.4.2. Caractéristiques électriques sous contraintes en tension bi-axiale	104
III.3. CONCLUSION	105

<i>Références bibliographiques</i>	107
<u>Chapitre IV</u> OXYDES DE GRILLE HIGH-k ET TRANSISTORS MOS A CANAUX CONTRAINTS	111
IV.1. OXYDES HIGH-K ET CHOIX TECHNOLOGIQUES POUR LES DISPOSITIFS nMOS	113
IV.1.1. Limites de scaling de SiO ₂ et solution à la miniaturisation.....	113
IV.1.1.1. Problématique de l'oxyde de grille SiO ₂	113
IV.1.1.2. Vers l'utilisation de diélectriques alternatifs	115
IV.1.2. Matériaux à forte permittivité "oxyde High-k".....	115
IV.1.2.1. Propriétés de sélection des oxydes High-k.....	115
IV.1.2.2. Quelques oxydes high-k candidats potentiels.....	118
IV.2. ETUDE DE LA CONDUCTION DANS UN EMPILEMENT DE GRILLE MOS EN HfO₂	119
IV.2.1. Outil de simulation 2D: le LOGICIEL SILVACO-TCAD.....	119
IV.2.1.1. Principe	119
IV.2.1.2. Caractéristiques principales de la structure simulée.....	119
IV.2.2. Influence de la grille métallique sur les caractéristiques électriques.....	120
IV.2.3. Caractérisation de l'empilement grille / canal.....	123
IV.2.3.1. Courant de fuite dans l'oxyde de grille : transition tunnel direct.....	123
IV.2.3.1.1. Oxyde de silicium (SiO ₂).....	124
IV.2.3.1.2. Oxyde High-k (HfO ₂), courants de fuites, EOT.....	125
IV.2.3.2. Propriétés de transport.....	127
IV.3. TRANSISTOR nMOSFET À EMPILEMENT DE GRILLE TiN/HfO₂ ASSOCIANT UN CANAL DE Si CONTRAIT s-Si	129
IV.3.1. Description de la structure	129
IV.3.2. Performances des transistors nMOS à empilement TiN/HfO ₂ /s-Si	130
IV.3.2.1. Mobilité des électrons.....	130
IV.3.2.2. Caractéristiques électriques.....	131
IV.3.3. Effets de la variation de la CAP s-Si.....	132
IV.3.3.1. Mobilité des électrons.....	132
IV.3.3.1. Courants I _{ON} , I _{OFF}	133

IV.4. CONCLUSION	133
<i>Références bibliographiques</i>	135
Conclusion générale	139
Annexes	143
Glossaire et abréviations	157

LISTE DES FIGURES

Chapitre 1	<i>Le transistor MOS à effet de champ : miniaturisation et nouveaux matériaux</i>	
Figure. 1.1	<i>Microélectronique : un demi-siècle d'évolution.....</i>	1
Figure.1.2	<i>Illustration de la Loi de Moore [www.intel.com] : Course vers la miniaturisation des circuits Intégrés.....</i>	2
Figure.1.3	<i>Evolution des transistors au cours des années en fonction du nœud technologique [Intel].....</i>	3
Figure.1.4	<i>Structure de base d'un transistor n MOSFET et schéma du jeu de masque de fabrication associé</i>	8
Figure.1.5	<i>Principe de transport des porteurs dans le canal du transistor MOS ; l'orientation des vecteurs des champs est illustrée à droite</i>	9
Figure.1.6	<i>Spécifications des familles technologiques: HP (High - Performance), LP (Low Power)</i>	11
Figure.1.7	<i>Mobilité effective en fonction du champ électrique transverse à la température ambiante. Cette figure, représente les différentes interactions prépondérantes en fonction du champ effectif ainsi que la courbe de mobilité universelle donnée par Takagi et al. [Takagi'9].....</i>	13
Figure.1.8	<i>Évolution de la puissance dynamique (P_{dyn}) et de la puissance statique (P_{stat}) en fonction du noeud technologique [Rochette08].....</i>	14
Figure.1.9	<i>Evolution des tensions d'alimentations et de seuil des circuits CMOS au fil des générations [rochette08].....</i>	16
Figure.1.10	<i>Réduction exponentielle des dimensions et du délai intrinsèque des transistors MOSFETs selon la loi de Moore. [ITRS03].....</i>	16
Figure.1.11	<i>Caractéristique $I_D(V_{GS})$ d'un transistor MOSFET illustrant la séparation établie par la tension de seuil entre l'état bloqué et passant.....</i>	17

Figure.1.12	<i>Graphes ION/IOFF pour des NMOS à VDD=0.9V, La longueur de grille varie de 100 à 30nm entraînant une hausse du courant de saturation ION et aussi du courant de fuite IOFF [SKOTNICKI'88] [SKOTNICKI'03].....</i>	17
Figure.1.13	<i>Illustration de l'effet de partage des charges de déplétion entre la source, la grille et le drain dans un nMOSFET.....</i>	19
Figure.1.14	<i>Evolution de la barrière de potentiel dans le canal en fonction de la longueur du canal et de la polarisation de drain dans un transistor nMOSFET.....</i>	19
Figure.1.15	<i>Evolution de la tension de seuil en fonction de la longueur du canal ; dopage du canal $NA=3.5e17cm^{-3}$, $VDS = 1.0V$, $Tox=3nm$ [(résultats obtenus avec TCAD- Sentaurus [Bensegueni'06] ...</i>	20
Figure.1.16	<i>Schéma illustrant l'effet de la polarisation du drain (DIBL).....</i>	21
Figure.1.17	<i>Impact des effets canaux courts SCE et DIBL sur la tension de seuil et sur les courants de fuites.....</i>	21
Figure.1.18	<i>Barrière vue par les électrons lorsqu'ils traversent un milieu isolant. E: est l'énergie potentielle de la particule.....</i>	22
Figure.1.19	<i>Longueur effective de la Barrière vue par les électrons lorsqu'ils traversent un milieu isolant par effet Fowler- Nordheim.....</i>	22
Figure.1.20	<i>Courant de grille en fonction de la tension de grille [Benseg'06]</i>	23
Figure.1.21	<i>Evolution de la tension de seuil en fonction de l'épaisseur d'oxyde de grille [Bensegueni'06].....</i>	23
Figure.1.22	<i>Diagramme de bande d'une structure nMOS avec grille PolySi: PolySi N+/oxyde/substrat Si P.....</i>	23
Figure.1.23	<i>Impact de la déplétion de grille sur la capacité totale d'un transistor MOS.....</i>	24
Figure.1.24	<i>présentation schématique de l'état de l'art actuel de du transistor MOSFET en technologie « bulk ».....</i>	26
Figure.1.25	<i>Evolution de la tension de seuil en fonction du dopage du canal, $Lg=0.35\mu m$ $Tox=3nm$ [benseg'06].....</i>	26
Chapitre II	Génération De Contraintes Dans Les Dispositifs MOS	
Figure.2.1	<i>Représentation schématique des différentes étapes technologiques permettant de réaliser des circuits intégrés [Mireille06].....</i>	38
Figure.2.2	<i>Vue en coupe d'un circuit intégré du noeud technologique 90nm [vayrette11].....</i>	39

Figure.2.3	<i>Evolution de la courbure d'une plaquette de Silicium au cours d'un processus de fabrication d'un circuit intégré [vayrette].....</i>	40
Figure.2.4	<i>Représentation schématiques des défauts ponctuels dans le Silicium et des précipités associés, ainsi que de leur impact principal sur le procédé de fabrication [Mireille06].....</i>	40
Figure.2.5	<i>Structures de défauts engendrés par les contraintes de tension : (a) Fissures, (b) décollement [Rochette08].....</i>	41
Figure.2.6	<i>Structures de cloquage à la surface de films engendrés par des contraintes de compression : (a) rides rectilignes (b) cordons de téléphone [Goudeau06].....</i>	41
Figure.2.7	<i>Vue 3D de réseau d'interconnexions métalliques (après retrait du matériau diélectrique).....</i>	42
Figure.2.8	<i>Cavité localisée sous un via d'interconnexion, induite par un gradient de contraintes, d'après [IKARASHI03]</i>	42
Figure.2.9	<i>Méthodes technologiques actuelles, pour améliorer la mobilité des porteurs de charge, basées sur l'introduction de la contrainte mécanique dans le canal.....</i>	42
Figure.2.10	<i>Procédé de fabrication des structures SGOI et sSOI [OZT05], Après la gravure sélective de la couche intermédiaire de SiGe, le film Silicium garde toujours son état de contrainte.....</i>	43
Figure.2.11	<i>Représentation schématique de la ré-oxydation des flancs de STI durant les différents budgets thermiques [Ortoland06].....</i>	44
Figure.2.12	<i>Compression pseudo bi-axiale du STI pour pMOS conventionnel avec. $L < 100\text{nm}$ et $W < 0.5\mu\text{m}$.....</i>	44
Figure.2.13	<i>Schéma représentatif de la contrainte au niveau du canal, partie active du transistor MOS, générée par les couches de siliciures [Ortoland06]</i>	45
Figure.2.14	<i>Schéma représentatif de l'intérêt de la couche d'arrêt de la gravure des contacts appelée CESL [ortoland06]</i>	45
Figure.2.15	<i>Schéma représentatif de la contrainte en tension dans le canal de type-n créée par une couche d'arrêt de la gravure des contacts CESL.....</i>	46
Figure.2.16	<i>Image TEM en « cross-section » d'un transistor pMOS une compression uni-axiale sur le canal de conduction Silicium est générée par les régions Source et Drain en SiGe [THOM04] ...</i>	46

Figure.2.17	<i>Evolution de la mobilité des trous en fonction du champ effectif pour des couches de Silicium soumises à une contrainte bi-axiale ou uni-axiale. [THOM04]</i>	46
Figure.2.18	<i>Schéma représentatif d'une contrainte bi-axiale dans le canal du transistor MOSFET.....</i>	48
Figure.2.19	<i>Représentation schématique des couches sous contraintes mécaniques, a) en compression, b) en tension.....</i>	48
Figure.2.20	<i>Film de silicium contraint en tension bi-axiale par un pseudo-substrat de SiGe.....</i>	49
Figure.2.21	<i>a) Croissance épitaxiale d'une couche de Si_{1-x}Ge_x sur un substrat de silicium, b) Empilement constituant un pseudo-substrat de SiGe_x</i>	50
Figure.2.22	<i>a) La structure cristalline du silicium, b) Première zone de Brillouin du silicium.....</i>	51
Figure.2.23	<i>Représentation des deux familles des vallées Δ_2 et Δ_4 de la bande de conduction du Silicium non contraint.....</i>	52
Figure.2.24	<i>Représentation schématique des surfaces ellipsoïdales autour de chaque minimum d'énergie, m_t est la masse transversale (petit axe) et m_l est la masse longitudinale (grand axe).....</i>	52
Figure.2.25	<i>Structure de bande du silicium d'après [Richar 04] ; zoom : représentation schématique du sommet de la bande de valence [Rochette 08]</i>	52
Figure.2.26	<i>Structure de bande du Silicium sous contrainte en tension bi-axiale.</i>	53
Figure.2.27	<i>Distribution des électrons dans les vallées Δ_2 et Δ_4 du silicium contraint.....</i>	53
Figure.2.28	<i>Évolution de la masse effective transverse des électrons avec une contrainte en tension bi-axiale (correspondance % Ge). [100] correspond aux vallées Δ_4, et [001] correspond aux vallées Δ_2 [Richard03].....</i>	54
Figure.2.29	<i>Évolution du facteur d'amélioration de la mobilité maximale des électrons d'un canal s-Si/SiGe en fonction de la concentration en Ge [Hoyt02].....</i>	54
Figure.2.30	<i>Diagramme E(k) de la bande de valence du Silicium contraint en tension bi-axiale</i>	54

Figure.2.31	<i>Évolution du gain en mobilité pour les électrons et les trous sous contrainte en tension bi-axiale en fonction de la concentration en Ge [Rim03]</i>	54
Figure.2.32	<i>Classification des différents types d'alignement des bandes dans les hétéro-structures d'après [Sze81]</i>	57
Figure.2.33	<i>Alignement de bandes pour un empilement (sSi /Si Gex relaxé)</i>	57
Figure.2.34	<i>Énergie de gap en fonction de la fraction molaire x de germanium pour un empilement (sSi /Si Gex relaxé) [Rigers93]</i>	57
Figure.2.35	<i>Alignement de bandes pour un empilement (Si Gex relaxé/Si)</i>	58
Figure.2.36	<i>Comparaison entre la loi de Vegard et la loi parabolique obtenue par Dismukes pour déterminer la valeur du paramètre de maille de l'alliage SiGe.....</i>	60
Chapitre III	CONTRAINTE MECANIQUE ET SES CONSEQUENCES ELECTRIQUES	
Figure.3.1	<i>Les composantes d'une simulation numérique.....</i>	71
Figure.3.2	<i>Effets de la contrainte en tension bi-axiale sur la structure de bande du Si et du SiGe</i>	79
Figure.3.3	<i>Maillage différences finies typique de la discrétisation d'un transistor nMOS.....</i>	85
Figure.3.4	<i>Organigramme de la résolution finale.....</i>	91
Figure.3.5	<i>Structure de la simulation physique avec le logiciel SIBIDIF</i>	92
Figure.3.6	<i>Vue schématique des transistors n MOS étudiés où les principaux paramètres électriques et structurels sont définis : a) transistor MOS non contraint, b) transistor MOS contraint.....</i>	93
Figure.3.7	<i>Caractéristiques électrique $I_D(V_D)$ issue de notre code de simulation SIBIDIF et d'un code commercial SUNTAURUS (ISE-TCAD) des transistors MOS, les principales données des structures sont : $L_g=130nm$, $T_{ox}=3nm$, $T_s=13nm$, $T=300K$.</i>	95
Figure.3.8	<i>Distribution bidimensionnelle du potentiel électrostatique dans la structure NMOS.....</i>	96
Figure.3.9	<i>Evolution de l'erreur absolue au potentiel en fonction du nombre d'itérations pour un NMOS à canal standard.....</i>	96
Figure.3.10	<i>Distribution bidimensionnelle de la densité d'électrons dans la structure NMOS.....</i>	96

Figure.3.11	<i>Distribution bidimensionnelle de la densité de trous dans la structure MOS.....</i>	97
Figure.3.12	<i>Evolution de l'erreur relative des électrons et des trous en fonction du nombre d'itérations pour un n MOS à canal de Si standard</i>	98
Figure.3. 13	<i>Distribution bidimensionnelle du champ électrique longitudinale dans la structure MOS.....</i>	98
Figure.3.14	<i>Distribution bidimensionnelle du champ électrique transversale dans la structure MOS.....</i>	98
Figure.3.15	<i>Profils de a) mobilité, b) concentration des électrons, c) champ électrique longitudinale et de d) champ électrique transversale le long du canal du dispositif nMOS non contraint de 130nm de longueur de grille. Les profils sont calculés pour des conditions de polarisation non nulles, V_g varie de 0.8 jusqu'à 2V, $V_d = 0.02V$.</i>	100
Figure.3.16	<i>Profils de a) mobilité, b) concentration des électrons, c) champ électrique longitudinale et de d) champ électrique transversale le long du canal du dispositif nMOS non contraint de 130nm de longueur de grill, sous des potentiels de drain allant de 0.8V jusqu'à 2V. La tension de grille considérée est de 1.5V.....</i>	101
Figure.3.17	<i>Influence d'une contrainte bi-axiale sur la mobilité, variation de mobilité en fonction de la proportion de Ge dans le substrat virtuel.....</i>	102
Figure.3.18	<i>Variation de la mobilité des électrons et des trous dans une couche d'inversion sous contraintes bi-axiales.....</i>	102
Figure.3.19	<i>Influence d'une contrainte biaxiale sur la mobilité, variation de mobilité en fonction de la proportion de Ge dans le substrat virtuel.....</i>	103
Figure.3.20	<i>Caractéristiques électriques des MOSFET contraint et des dispositifs à canal de standard simulés pour une concentration en Germanium $x=20\%$, a) $I_D(V_{DS})$ à V_{GS} variable, b) $I_D(V_{GS})$ à V_{DS} variable.....</i>	104
Figure.3.21	<i>Caractéristiques électriques des MOSFET contraints et conventionnels simulés pour différentes proportions en germanium, x varie de 10% à 30%, a) $I_D(V_{DS})$ à $V_{GS} = 1V$, b) $I_D(V_{GS})$ à $V_{DS} = 1V$.....</i>	105
Chapitre IV	OXYDES DE GRILLE HIGH-k ET TRANSISTORS MOS A CANAUX CONTRAINTS	
Figure.4.1	<i>Prévisions pour l'épaisseur équivalente d'oxyde d'après l'ITRS 2003 [Wong2006].....</i>	113
Figure.4.2	<i>Augmentation du courant de grille en fonction de l'épaisseur pour un nMOSFET de 35 nm de longueur de grille à 1,5 V (d'après [Green2001]).....</i>	113

Figure.4.3	<i>Représentation de l'épaisseur a) théorique et b) pratique [Chau 04] minimale de SiO₂ intégrable.....</i>	114
Figure.4.4	<i>Schéma de principe de l'introduction d'un matériau high-κ dans un empilement de grille.....</i>	115
Figure.4.5	<i>Récapitulatif de quelques offsets de bande [Robertson 2002]</i>	116
Figure.4.6	<i>Paramètre de maille de quelques oxydes high-k en fonction de leur gap E_g et de leur constante diélectrique k. les zones hachurées correspondent aux bandes interdites inférieures à 4eV ou 5eV [Clément 05].....</i>	117
Figure.4.7	<i>Structure nMOS à empilement de grille en HfO₂ simulée sous ATLAS.....</i>	120
Figure.4.8	<i>Illustration du maillage sur la région de l'oxyde de grille.....</i>	120
Figure.4.9	<i>Caractéristiques de transfert $ID(V_G)$ obtenues pour différents travaux de sorties de métal utilisés dans un empilement de grille en HfO₂. $V_{ds}=0.1V$.....</i>	121
Figure.4.10	<i>Variation de la tension de seuil en fonction du travail de sortie du métal de grille utilisé.....</i>	121
Figure.4.11	<i>Tensions de seuil de nFET et pFET FDSOI obtenues pour différents empilements de grille en gate first [Faynot10 thèse morvan simeon].....</i>	122
Figure.4.12	<i>Représentation des travaux de sortie de différents métaux pouvant être utilisés en tant qu'électrode de grille pour un nMOS et/ou un pMOS [Skotnicki08 thèse Morvan simeon].....</i>	122
Figure.4.13	<i>Caractéristiques de transfert $ID(V_G)$ sous seuil obtenues pour différents travaux de sorties de métal utilisés dans un empilement de grille en HfO₂. $V_{ds}=0.1V$.....</i>	122
Figure.4.14	<i>Caractéristiques $ID(V_D)$ obtenues pour différents travaux de sorties de métal utilisés dans un empilement de grille en HfO₂. $V_{gs}=1V$.....</i>	122
Figure.4.15	<i>Variation du rapport I_{on}/I_{off} en fonction du travail de sortie du métal de grille utilisé.....</i>	123
Figure.4.16	<i>Ensemble des dispositifs simulés au cours de cette étude.....</i>	123
Figure.4.17	<i>Evolution du courant de fuite à travers l'oxyde de silicium en fonction de la polarisation de grille.....</i>	124
Figure.4.18	<i>Evolution de la densité des courants de fuite J_G en fonction de l'épaisseur d'oxyde pour la tension de grille en régime d'accumulation (transistor NMOS) [PET 06].....</i>	125
Figure.4.19	<i>Densité de courant de fuite J_G en fonction de l'EOT à travers l'empilement de grille MOS en HfO₂ comparé à la référence SiO₂/Si.....</i>	125
Figure.4.20	<i>Densité de courant de fuite J_G en fonction de la tension de grille à travers l'empilement de grille MOS en HfO₂ avec une couche interfaciale, $IL=0.8nm$ comparé à la référence SiO₂/Si.....</i>	126

Figure.4.21	<i>Densité de courant de fuite J_G en fonction de la tension de grille à travers l'empilement de grille MOS en HfO_2 avec une couche interfaciale, $IL=0.8nm$ comparé à la structure standard.....</i>	127
Figure.4.22	<i>Évolution de la mobilité des électrons en fonction du champ électrique à travers l'empilement de grille MOS en HfO_2, comparé à la structure SiO_2/Si</i>	127
Figure.4.23	<i>Compromis entre la mobilité des électrons et l'épaisseur de la couche interfaciale [weber05]</i>	128
Figure.4.24	<i>Résumé des différents mécanismes de dégradation de la mobilité liés au diélectrique high-k. Les charges fixes apparaissent comme le facteur dominant [Weber05]</i>	128
Figure.4.25	<i>Structure d'un transistor nMOS à empilement de grille en HfO_2 associant un canal de Si contraint simulée sous ATLAS.....</i>	129
Figure.4.26	<i>Évolution de la mobilité des électrons en fonction du champ électrique transversal pour différents dispositifs ; nMOS contraint à empilement de grille en HfO_2, nMOS non contraint à empilement de grille en HfO_2, et nMOS conventionnel (SiO_2/Si)</i>	130
Figure.4.27	<i>Caractéristiques électriques de sortie $ID(VD)$ des différents dispositifs ; nMOS contraint à empilement de grille en HfO_2, nMOS contraint à empilement de grille en HfO_2, nMOS conventionnel (SiO_2/Si) simulés sous ATLAS.....</i>	131
Figure.4.28	<i>Évolution du courant de drain I_{on} en fonction du dispositif considéré, $EOT=1.5nm$, $T_s-Si=6nm$.....</i>	131
Figure.4.29	<i>Mobilité des électrons en fonction du champ effectif pour les transistors nMOS $TiN/HfO_2/s-Si$ avec différentes épaisseurs de la CAP s-Si, comparée à la mobilité du dispositif standard SiO_2/Si et la mobilité de la référence HfO_2/Si.....</i>	132
Figure.4.30	<i>Variation du courant I_{on} en fonction de l'épaisseur du canal de Si contraint dans un nMOS à empilement de grille métal/$HfO_2/s-Si$</i>	133
Figure.4.31	<i>Variation du courant de fuite I_{OFF} en fonction de l'épaisseur du canal de Si contraint dans un nMOS à empilement de grille métal/$HfO_2/s-Si$.....</i>	133

LISTE DES TABLEAUX

Chapitre 1	Le transistor MOS à effet de champ : miniaturisation et nouveaux matériaux	
Tableau 1.1	Spécifications de l'ITRS 2008, pour les circuits logiques HP (□), LOP (⊙) et LSTP (◇) (En gris: des solutions existent et sont en voie d'optimisation, jaune : des solutions sont connues, rouge : pas de solutions connues). (Blanc: Technologie bulk, hachuré pointillé: architecture SOI et hachuré trait: Double grille. [ITRS'08].....	15
Chapitre II	Génération De Contraintes Dans Les Dispositifs MOS	
Tableau 2.1	Coefficient de dilatation thermique α des principaux matériaux utilisé lors de la réalisation d'un circuit intégré [vayrette].....	38
Tableau 2.2	Propriétés structurales et électriques du Silicium et du Germanium à température ambiante. (Les valeurs de coefficients thermiques, de gap et des mobilités sont respectivement issues de [Rochette08] [BRAUN58] et [HALL06]).....	48
Chapitre III	CONTRAINTE MECANIQUE ET SES CONSEQUENCES ELECTRIQUES	
Tableau 3.1	Paramètres pour le modèle analytique (équation 13)[Dessis].....	81
Tableau 3.2	paramètres des modèles de mobilité comprenant la dépendance mobilité-champs électriques transversale et longitudinale Equat.40 et Equat.41 [Yu94].....	82
Tableau 3.3	Valeur des paramètres entrant dans le calcul des durées de vie des électrons et des trous [30- chap2 maya].....	84
Tableau 3.4	Valeurs des constantes de normalisation [SLatreche98].....	87
Tableau 3.5	Paramètres considérés pour la simulation des dispositifs n MOSFET [Rim00].....	94
Chapitre IV	OXYDES DE GRILLE HIGH-k ET TRANSISTORS MOS A CANAUX CONTRAINTS	

Tableau 4.1	<i>Principales forces et faiblesses des différents diélectriques high-k candidat potentiels et EOTmin reportées dans la littérature [Weber05</i>	18
Tableau 4.2	<i>Paramètres considérés pour la simulation des dispositifs n MOSFET...</i>	120
Tableau 4.3	<i>Paramètres considérés pour la simulation des dispositifs n MOSFET à empilement de grille high-k associant un canal de Si contraint.....</i>	130

INTRODUCTION GÉNÉRALE

L'histoire de la microélectronique regroupe l'étude de toutes les réalisations techniques de l'industrie des semi-conducteurs, de leur contexte d'apparition comme de leur impact sur la société. La lecture la plus courante de cette histoire est que les progrès techniques ont profondément transformé le monde en moins d'un demi-siècle, c'est-à-dire la période durant laquelle s'est effectué le développement des "circuits intégrés". En effet, cette technique est à la source de bouleversements économiques et sociaux sans équivalent dans l'histoire de l'humanité, notamment si l'on considère l'évolution des performances des produits, et dans le même temps, la diminution des coûts de fabrication par fonction élémentaire intégrée.

L'essor considérable de l'industrie microélectronique est étroitement lié jusqu'à présent à sa capacité technologique à miniaturiser sans cesse les composants élémentaires des circuits, au premier rang desquels on trouve le transistor MOS (Métal Oxyde Semi-conducteur).

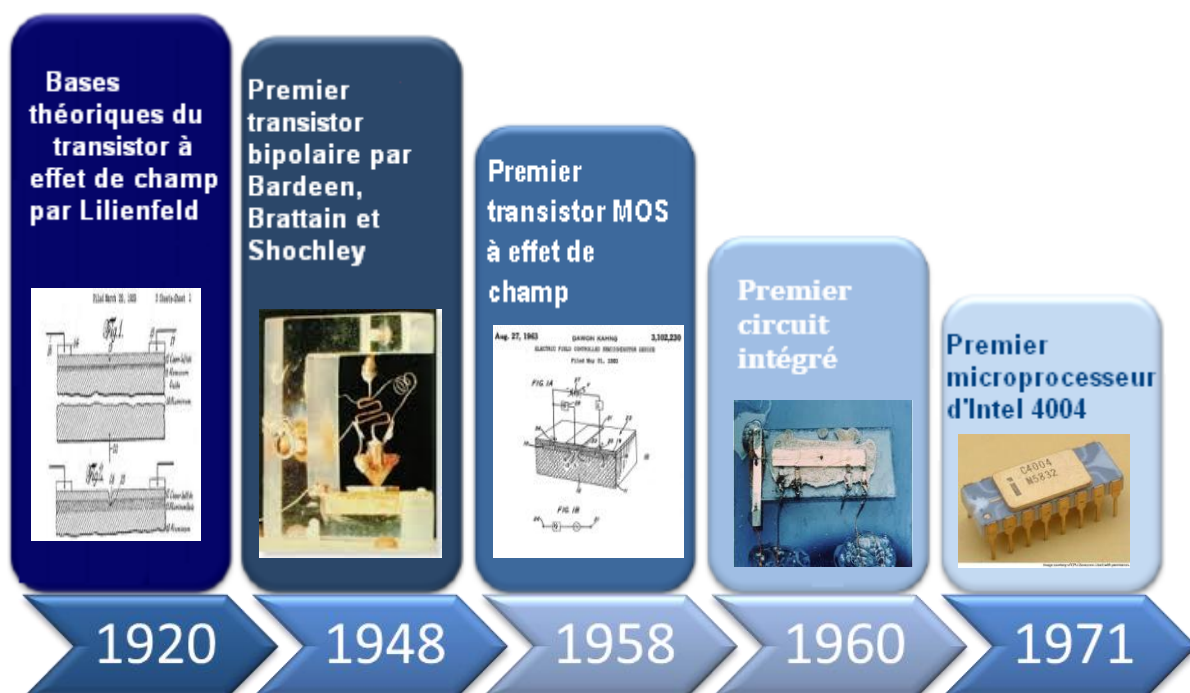


Figure. 1.1 Microélectronique : un demi-siècle d'évolution

Tous les progrès dans la technologie des semi-conducteurs ont été réalisés grâce à des découvertes et des études demandant de plus en plus d'efforts en termes de recherche et développement (Figure 1.1). C'est à partir de l'invention du premier transistor à jonction

(bipolaire) en 1948, par une équipe des laboratoires Bell (ses concepteurs, John Bardeen, Walter Brattain et William Shockley recevront le Prix Nobel de Physique en 1965), que l'ère de la microélectronique fut ouverte. Il fallut une décennie supplémentaire avant qu'apparaisse le transistor MOS (Metal Oxide Semiconductor) à effet de champ [Kahng60], lorsqu'on sut réaliser industriellement des interfaces de hautes qualités entre le Silicium et son oxyde SiO_2 . Bien que le principe de transistor à effet de champ soit connu depuis les travaux de Lilienfeld dans les années 1920-1930[Lilienfeld27], sa réalisation se heurtait jusqu'alors à des barrières technologiques infranchissables. Jusqu'au milieu des années 60, les fonctions de l'électronique étaient réalisées à l'aide de composants discrets, des tubes à vide puis, après à l'aide des transistors. C'est également dans les années 60, avec la capacité de mettre de nombreux transistors sur un seul substrat semi-conducteur selon le procédé de fabrication PLANAR, que l'on commença à exploiter le concept des circuits intégrés [Kilby64], auxquels on donne bientôt le nom de " puces ".

Dès lors, la course à l'intégration et à la miniaturisation est lancée, et ne s'arrêtera plus. L'accroissement de la densité des transistors, c'est-à-dire le nombre de transistors que l'on peut placer sur une puce électronique, s'est fait de façon exponentielle, par un doublement tous les 18 mois. Ce rythme avait été remarqué dès 1965 par Gordon Moore (d'où le nom de la loi de Moore) [Moore65]. Moore prédit aussi que le nombre de composants par circuit intégré ou puce électronique allait augmenter au même rythme pendant les prochaines années. Un exemple illustrant cette loi est donné sur la Figure (1.2).

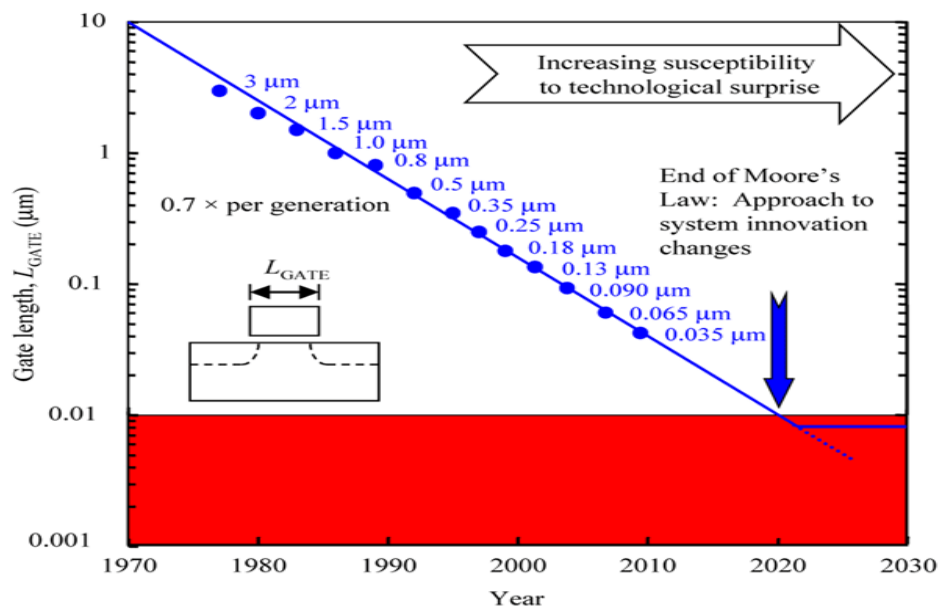


Figure. 1.2 Illustration de la Loi de Moore [www.intel.com] : Course vers la miniaturisation des circuits Intégrés

En 2003, la microélectronique est passée à l'échelle nanométrique en descendant sous la barre des 100 nm de la longueur de grille du transistor (nœud de 90 nm). Depuis 2005, la résolution des circuits intégrés est de 65 nm et au début de l'année 2007, elle est passée à 45 nm pour des microprocesseurs très rapides. La taille des composants continue de décroître pour atteindre les 32 nm fin 2009 et 22 nm fin 2011 (figure 1.3). Les concepteurs prévoient vers l'an 2020 avoir des nœuds sub-10 nm.

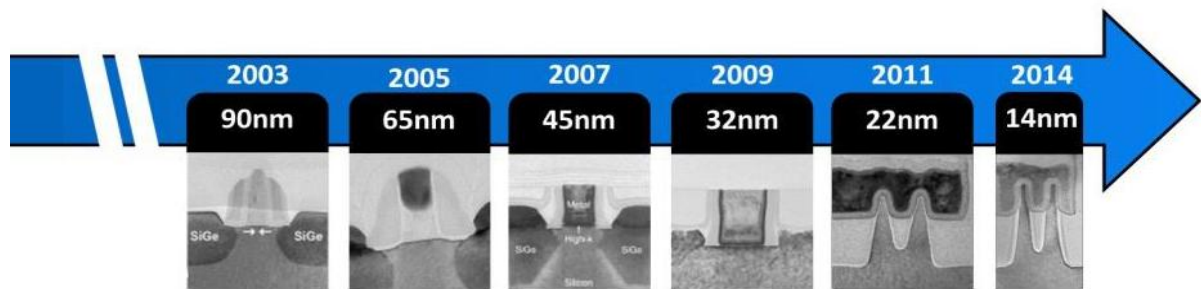


Figure. 1.3 Evolution des transistors au cours des années en fonction du nœud technologique [Intel]

Néanmoins, la réduction de la taille des transistors ne suffit plus pour augmenter à elle seule les performances des transistors marquant ainsi la fin de l'ère du «scaling». L'enjeu pour les transistors nanométriques est de réduire les effets parasites liés à la miniaturisation afin d'augmenter la vitesse de commutation d'une porte logique. Autrement dit, ceci passe par une diminution du courant de fuite (I_{OFF}) et un accroissement du courant débité par le transistor (I_{ON}). Voilà donc les deux principaux paramètres à optimiser.

Plusieurs solutions trouvées depuis quelques années pour continuer d'augmenter les performances des transistors MOSFET consistent à la conception de nouvelles architectures MOSFET et /ou à l'introduction de nouveaux matériaux.

Ce mémoire de thèse s'intéresse à cette dernière approche. Notre travail est essentiellement basée sur :

- L'étude de l'impact d'une contrainte mécanique au niveau du canal des transistors sur les propriétés de transport électronique dans cette zone active. En effet, la contrainte mécanique Si elle est exploitée de la bonne façon, permet d'augmenter la mobilité des électrons (et / ou des trous) des transistors MOS. une méthode originale pour appliquer une contrainte en tension bi-axiale au canal de conduction, consiste à faire croître un cristal de Si sur un substrat de silicium–germanium, ce qui modifie la taille de la maille cristalline et crée ainsi une contrainte.
- L'étude de l'impact de remplacement de dioxyde de Silicium (SiO_2) par un matériau de forte permittivité "high-k" au niveau de l'empilement de grille. Arrivé à un point où la couche

d'isolant n'est plus épaisse que de quelques nanomètres, l'oxyde à haute constante diélectrique "high-k", permet de maintenir une capacité de grille élevée tout en limitant le courant de fuite parasite à travers la couche diélectrique donc l'efficacité du système.

Ce manuscrit s'articulera autour de quatre chapitres, détaillant les principales étapes du travail réalisé tout au long de ces années de thèse.

Dans le premier chapitre, nous décrirons le principe de fonctionnement du transistor MOS à effet de champ, et nous exposerons l'intérêt de sa miniaturisation et les limites auxquelles il fait face pour des nœuds technologiques submicroniques. Nous rappellerons ensuite les principales solutions technologiques et solutions "matériaux" qui ont accompagné son succès jusqu'à aujourd'hui.

Le second chapitre sera consacré à une introduction à la physique du silicium contraint. Dans un premier temps, nous présenterons un rapide historique sur la contrainte mécanique en microélectronique, puis nous explorons un état de l'art des différentes architectures MOS à canal contraint étudiées dans la littérature. Dans un deuxième temps, nous analyserons l'effet d'une contrainte mécanique en tension bi-axiale sur la structure de bande du Silicium. Enfin, nous exposerons la relation entre le pourcentage de Germanium dans le pseudo-substrat et la contrainte en tension mécanique induite dans le canal, grâce notamment à une approche simple de modèles physiques.

Le troisième chapitre proposera une résolution numérique des équations de dérive diffusion (DDM) par la méthode des différences fines, permettant de simuler le transport des porteurs de charges électriques dans les transistors MOSFET étudiés dans ce travail (transistors conventionnel et à canal contraint en tension bi-axiale). Cette approche deviendra, par la suite, le principal outil de comparaison entre les performances des structures MOS à base de Si et celles des transistors à base de matériaux innovants (Si contraint).

Le quatrième et dernier chapitre s'intéressera aux performances des architectures MOS intégrant un oxyde de grande permittivité en "HfO₂" dans l'empilement de grille. Dans un premier lieu, nous présenterons, les exigences qu'impose l'introduction des diélectriques à grande permittivité dans les dispositifs de la nanoélectronique et les choix de matériaux qui en résultent. Ensuite, nous étudierons à l'aide du logiciel commercial (SILVACO-TCAD) la variation du courant tunnel pour différent types d'empilement. L'influence de l'oxyde high-k sur la dégradation de la mobilité de porteurs de charge dans le canal de conduction sera également exposée. Enfin, les performances d'une architecture MOS associant les deux matériaux innovant (canal de Si contraint et diélectrique de grille High-k) seront abordés.

Ce mémoire sera finalement conclu en ouvrant des perspectives à ce travail.

Références bibliographiques

- [Boeuf04] Boeuf .F, Arnaud F., Tavel B. et al. “A conventional 45nm CMOS node low-cost platform for General Purpose and Low Power applications”. In: International Electron Device Meeting Technical Digest, Dec. San Francisco., pp.847-851. 2004.
- [Intel] <http://www.intel.com/>, 2003.
- [Kahng60] Kahng D., Atalla M. M. “Silicon-silicon dioxide field induced surfaces devices”. In: IRE Solid-State Device Research Conference, 1960.
- [Kilby64] J.S. Kilby, Miniaturized electronic circuit, *US patent* 3,138,743. 1964.
- [Lilienfield27] Lilienfield J. E. US Patent 1, 877,140 and 1, 900,018. 1927.
- [Moore65] G.E. Moore. “Cramming more components onto integrated circuits”, [Electronics](#), Vol. 38, N° 8, April 19, 1965.

Chapitre 1 : Le transistor MOS à effet de champ : miniaturisation et nouveaux matériaux

I.1. LE TRANSISTOR MOSFET CONVENTIONNEL

- I.1.1. Structure de base
- I.1.2. Principe de transport des porteurs dans le canal
 - I.1.2.1. Effet de champ
 - I.1.2.2. Mobilité des porteurs dans le canal
- I.1.3. Graphe I_{ON}/I_{OFF}

I.2. MINIATURISATION ET LIMITES

- I.2.1. Intérêt de la miniaturisation
- I.2.2. Phénomènes physiques liés à la réduction d'échelle
 - I.2.2.1. Les effets canaux courts
 - I.2.2.2. Les fuites de grille
 - I.2.2.3. La déplétion de la grille

I.3. SOLUTIONS TECHNOLOGIQUES

- I.3.1. Innovations architecturales actuelles
- I.3.2. Introduction de nouveaux matériaux
 - I.3.2.1. La grille métallique
 - I.3.2.2. Génération de la contrainte mécanique dans le canal du MOSFET
 - I.3.2.3. Incorporation de l'oxyde de forte permittivité 'High-k'

I.4. CONCLUSION

Références bibliographiques

Chapitre I

LE TRANSISTOR MOS A EFFET DE CHAMP: MINIATURISATION ET NOUVEAUX MATERIAUX

Ce premier chapitre a pour but de situer le sujet de cette thèse dans le contexte de l'introduction de nouveaux matériaux tels que le Silicium contraint, et le diélectrique de grille à haute permittivité pour la continuation de l'amélioration des performances des dispositifs CMOS, tout en suivant la réduction de leur dimensions. En premier temps, nous présenterons le principe de transport des porteurs de charges dans le canal de conduction du transistor MOSFET. Nous identifierons ensuite l'intérêt de la miniaturisation et les limites liées à la réduction d'échelle auxquelles il fait face pour des nœuds technologiques nanométriques en s'appuyant sur des résultats de simulation obtenus par le logiciel (ISE-TCAD) pour des dispositifs MOSFET ayant des oxydes de grille dans cette échelle de grandeurs. Il en suivra une description de quelques-unes des solutions qui ont été utilisées jusqu'à présent pour repousser les limites de la miniaturisation et permettre aujourd'hui à la technologie CMOS de perdurer.

1. LE TRANSISTOR MOSFET CONVENTIONNEL

1.1. STRUCTURE DE BASE

Le transistor MOS (Métal Oxyde Semi-conducteur) à effet de champ est le dispositif le plus répandu dans l'industrie de semi-conducteurs, il est à la base de la fabrication de tout circuit intégré CMOS (Complementary MOS). En effet, la technologie CMOS consiste à associer deux types de transistor MOS (nMOS et pMOS) en tirant partie de leur régime de fonctionnement complémentaire afin de former l'élément de base de tous les circuits logiques : l'inverseur. Dans toute cette étude, nous ne nous intéresserons qu'aux transistors nMOS et par conséquent nous ne détaillerons que ce type de transistor.

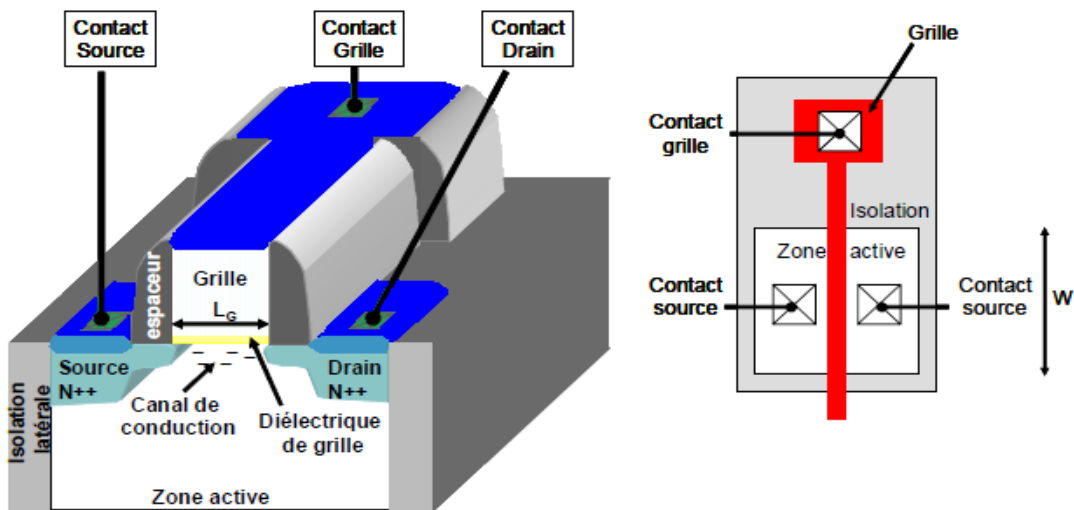


Figure. 1.4 Structure de base d'un transistor n MOSFET et schéma du jeu de masque de fabrication associé

Le n MOSFET (MOSFET à canal de type n) qui est représenté sur la figure 1-4, est constitué d'un substrat cristallin de semi-conducteur (Si) dopé positivement, avec de part et d'autre, deux zones dopées négativement. Ces deux zones correspondent à la source et au drain du transistor. Habituellement, la source est reliée à la masse ainsi que le substrat. Un matériau (SiO_2) obtenu par oxydation du silicium sépare la grille métallique du canal. Les différents transistors sont isolés électriquement par des tranchées d'isolation appelées STI (« Shallow Trench Isolation »). Les grandeurs caractéristiques les plus importantes et auxquelles nous nous référerons par la suite sont la longueur de grille L_g , la profondeur de grille W et l'épaisseur d'oxyde T_{ox} .

1.2. PRINCIPE DE TRANSPORT DES PORTEURS DANS LE CANAL

1.2.1. Effet de champ

Le transistor MOS, tire son appellation de sa structure verticale (Métal/Oxyde/Semi-conducteur). L'application d'une tension sur l'électrode de grille crée un champ vertical qui, par l'intermédiaire de la capacité MOS (grille- oxyde- substrat), module la densité de porteurs libres à l'interface substrat/oxyde permettant ainsi de commander sa conductivité. Ce phénomène est appelé " effet de champ ".

La diminution de l'épaisseur de la couche isolante renforce le champ électrique, ce qui conduit à une plus grande densité de charges dans le silicium et à une résistance plus faible. Les caractéristiques du dispositif s'en trouvent donc améliorées. Cependant, l'amplification du champ électrique dans l'isolant peut détruire le matériau, et causer la panne du dispositif. Pour chaque génération de transistor MOS, l'épaisseur de l'oxyde est donc ajustée de façon à conserver le même champ électrique maximal.

Le principe de transport des porteurs dans le transistor MOS repose alors sur la possibilité de modifier localement la nature du dopage du canal (inversion), en appliquant un champ électrique "transversal " E_{\perp} par l'électrode de grille à travers un isolant, comme illustré sur la figure 1-5.

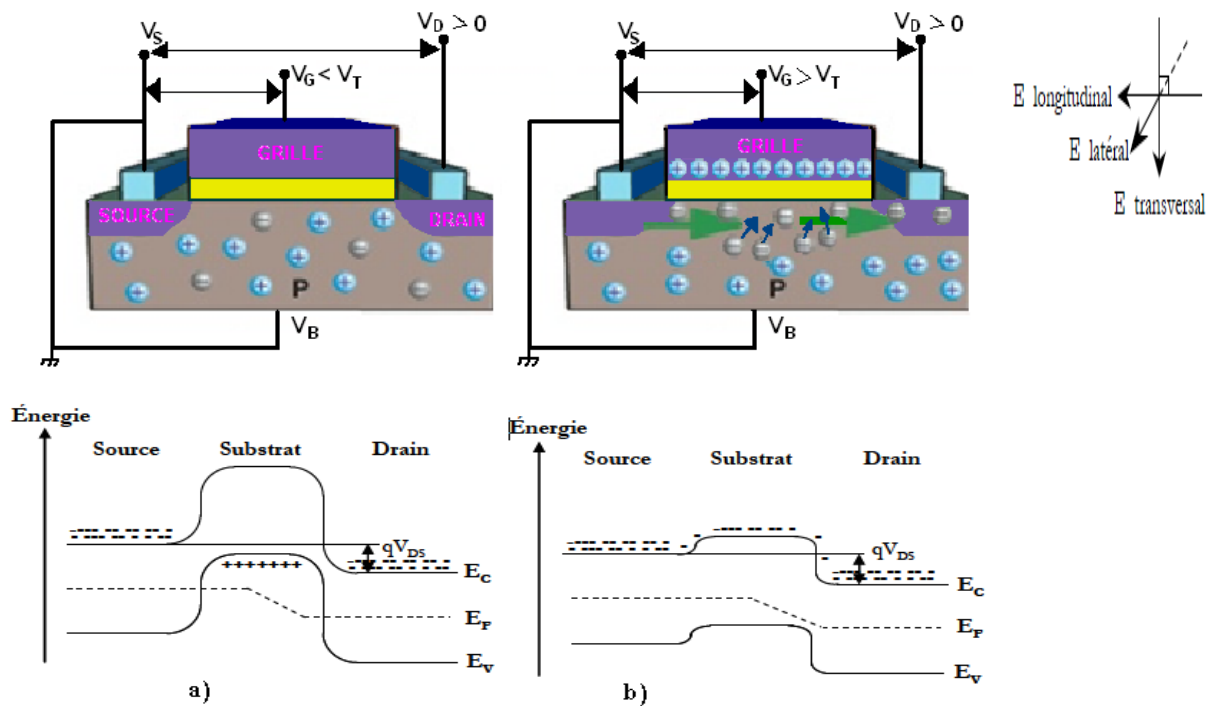


Figure. 1.5 Principe de transport des porteurs dans le canal du transistor MOS ; a) $V_G > V_T$ transistor bloqué, b) $V_G < V_T$ transistor conducteur; l'orientation des vecteurs des champs est illustrée à droite.

Dans le cas idéal, lorsque la tension appliquée au niveau de la grille V_{GS} est inférieure à une tension dite de seuil V_T (figure 1.5.a), le champ électrique E_{\perp} est insuffisant pour former le canal de conduction, l'existence d'une barrière de potentiel entre la source et le substrat empêchant les électrons de circuler de la source vers le drain. Le courant de drain I_{DS} devra s'annuler. Toutefois, une faible concentration de porteurs est toujours présente dans le canal: c'est le régime de faible inversion, un courant de fuite noté I_{OFF} est donc inéluctable.

Mais, en présence d'une tension de grille V_{GS} supérieure à V_T (Figure 1.5.b), les électrons minoritaires du substrat sont fortement attirés au niveau de la région située sous l'oxyde de grille et forment un canal. La source va donc pouvoir injecter des porteurs dans le substrat par abaissement de la barrière de potentiel de la jonction source/substrat. La circulation d'un courant I_{DS} entre la source et le drain est alors possible et se fait, sous l'impulsion d'un champ électrique longitudinal E_{\parallel} induit par la différence de polarisation V_{DS} . À partir d'une tension de drain supérieure à la tension de grille (moins la tension de seuil), le champ électrostatique entre le substrat et la grille s'inverse localement au voisinage du drain. Le canal d'électrons y disparaît, et le courant I_{DS} (ou encore appelé I_{ON}) sature à une valeur dépendant de V_{GS} . La valeur du courant I_{ON} est donnée par [Math04]:

$$I_{on} = \frac{W}{L_g} \mu C_{ox} \frac{(V_G - V_T)^2}{2} \quad (I.1)$$

et :

$$C_{ox} = \frac{\epsilon_{ox}}{T_{ox}} \quad (I.2)$$

Avec : C_{ox} : capacité du diélectrique de grille, ϵ_{ox} : Permittivité de l'isolant de grille.

Le fonctionnement du transistor MOSFET est donc comparable à celui d'un interrupteur de très petite taille, on laisse passer ou interrompt un courant suivant la tension que l'on applique à la grille.

Ce principe de fonctionnement a permis au transistor MOS de s'imposer pour de multiples applications. Il est ainsi utilisé comme point-mémoire (ou bit) pour stocker et lire de l'information sous forme de zéros et de uns. La fonction amplificateur provient du fait qu'un faible changement de tension de grille peut entraîner un changement important de conductivité. Mais son utilisation principale intervient dans l'électronique numérique. Associés, les transistors MOS forment les blocs des différentes fonctions logiques (portes AND, OR, NAND...) indispensables au traitement numériques des données. Pour ce type d'applications numériques, on peut d'ailleurs distinguer deux sous catégories importantes : voir (figure 1.6)

- Les applications à haute performance HP (« High Performance ») tels que : les puces MPU (Micro Processor Unit) des ordinateurs de bureaux, Serveur, Routeur, Réseaux, etc pour lesquelles la fréquence de commutation du transistor est privilégiée par rapport à la consommation électrique qui est non négligeable que ce soit en fonctionnement ou en état de veille.
- Les applications à basse consommation, on y distingue :
 - Les dispositifs opérant à faible puissance (LOP – Low Operating Power) pour les applications mobiles nécessitant une vitesse de calcul relativement grande et des batteries de large capacité (PC, ordinateur portable, par exemple).
 - Les dispositifs à très faible puissance de veille (LSTP – Low STandby Power) ; ce sont des dispositifs nécessitant un faible courant de repos (lorsque le transistor est bloqué) pour obtenir une meilleure autonomie tels que : les téléphones portables, appareil photo numérique, caméscope, MP3, etc

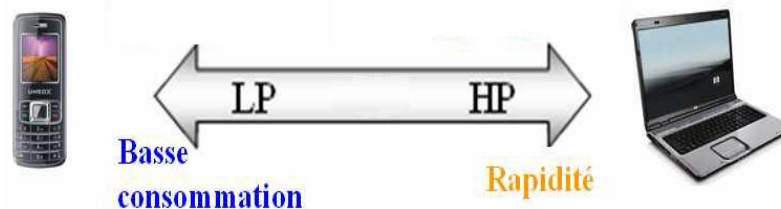


Figure. 1.6 Spécifications des familles technologiques: HP (High Performance), LP (Low Power)

1.2.2. Mobilité des porteurs dans le canal

- **Notion de mobilité des porteurs de charges**

La mobilité d'un porteur de charge (électron ou trou) notée μ est une notion utilisée en physique pour caractériser les milieux conducteurs du courant électrique. Elle est définie comme le rapport de la vitesse moyenne de dérive V_d d'un porteur libre à l'intensité du champ électrique E qui lui est appliqué. C'est une grandeur positive. Sa valeur est donnée par:

$$v_d = \mu E \quad (\text{I.3})$$

Dans un matériau conducteur (métallique ou semi-conducteur) à une température non nulle, les électrons se déplacent en subissant des collisions soit sur les impuretés soit avec les vibrations du matériau activées par la température. Ces vibrations sont appelés les phonons. Sous l'influence du champ électrique, les électrons acquièrent une vitesse de dérive moyenne et limitée par les collisions avec les impuretés et/ou les phonons. En considérant le modèle de Drude pour un gaz d'électrons, il est possible d'exprimer la mobilité comme valant :

$$\mu = \frac{q \cdot \tau}{m^*} \quad (\text{I.4})$$

Avec: q : la charge élémentaire, τ : le temps moyen entre deux collisions et m^* : la masse effective de la particule.

La mobilité est étroitement liée à la conductivité électrique du matériau et au nombre d'impuretés présentes dans ce matériau. Le vecteur de la densité de courant prend la forme :

$$\vec{j} = qn \langle \vec{v} \rangle \quad (\text{I.5})$$

Dans un semi-conducteur, la mobilité des électrons est supérieure à la mobilité des trous, on observe dans le cas du silicium massif à température ambiante, la mobilité des électrons vaut environ $1500 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ tandis que celle des trous avoisine les $480 \text{ cm}^2/\text{V/s}$.

- **Mobilité dans la couche d'inversion d'un transistor MOS**

Dans un transistor MOSFET, la mobilité des porteurs dans le canal en inversion est sensiblement inférieure à celle des porteurs dans le substrat semi-conducteur. On parle alors de mobilité effective, notée μ_{eff} . La réduction de la mobilité est provoquée par la diffusion des porteurs, qui sont étroitement confinés à l'interface Si / SiO₂, sous l'effet d'un champ électrique transversal associé à une polarisation de grille plus ou moins élevée. La mobilité effective s'écrit alors :

$$\mu_{eff} (Vg) = \frac{e \cdot \tau(Vg)}{m^*} \quad (\text{I.6})$$

Cette relation montre que le confinement des porteurs modifie les temps de collisions et de ce fait la mobilité. il est également important d'introduire la notion de champ électrique effectif, noté E_{eff} , qui est un paramètre empirique [Sabnis'79], avec lequel les mobilités mesurées convergent sur une loi de mobilité universelle. Ce paramètre n'a pu trouver une définition physique, même s'il reflète le champ électrique moyen près de l'interface oxyde/ semi-conducteur. E_{eff} est défini par l'équation suivante [Ando 82]:

$$E_{eff} = (q/\epsilon_{Si})(\eta N_{inv} + N_{dep}) \quad (\text{I.7})$$

Où : ϵ_{Si} est la permittivité de Si, N_{dep} est la charge de déplétion, N_{inv} est la charge

d'inversion, η un paramètre empirique, $\eta = 1/2$ pour les électrons (100) [SABNIS'79] et $\eta = 1/3$ pour les trous [SUN'80] [WATT'87] et les électrons (110) et (111) [TAKAGI'9].

Classiquement dans le canal en inversion d'un transistor MOS, On peut distinguer trois types de collisions limitant la mobilité des porteurs. Chaque phénomène dépend de manière différente de la température et du champ électrique transverse [Jeon'89] [Takagi'9] [Chen'96] figure1-7 :

- Les interactions de Coulomb (avec les impuretés chargées) limitent la mobilité à faible champ.
- Les interactions avec les phonons, Pour une température inférieure à 100 K (Ce type de collisions est dû aux vibrations du réseau cristallin) [Sah'72].
- Les collisions dues à la rugosité de surface (interface canal/diélectrique de grille) limitent la mobilité surtout à fort champ puisque les porteurs sont alors confinés près de l'interface.

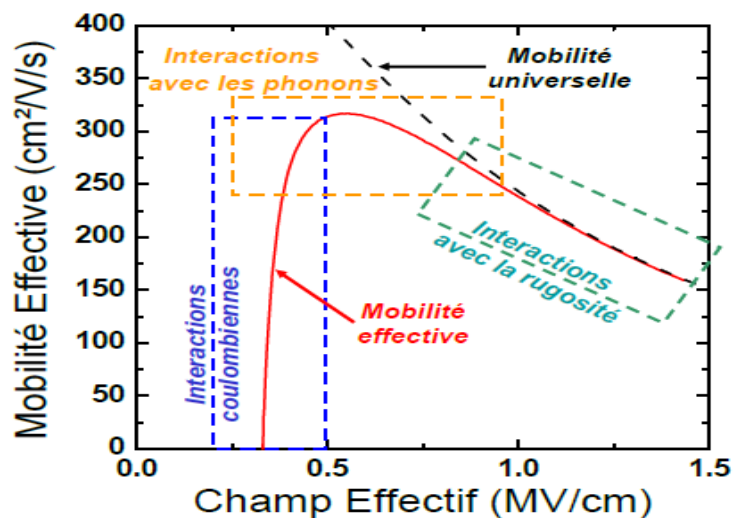


Figure. 1.7 Mobilité effective en fonction du champ électrique transverse à la température ambiante. Cette figure, représente les différentes interactions prépondérantes en fonction du champ effectif ainsi que la courbe de mobilité universelle donnée par Takagi et al. [Takagi'9]

L'intégration de nouveaux matériaux (high-k, canal SiGe,...) et l'adoption de nouvelles architectures de transistor (nanofils, SOI,...) nous amènent à considérer d'autres mécanismes de collision, comme l'effet d'alliage pour les canaux SiGe, des interactions à distance, etc.

Enfin on considère souvent que les mécanismes de diffusion sont indépendants les uns des autres. Le temps de relaxation τ tient compte de toutes les interactions que peuvent subir les porteurs lors du transport selon la loi de Mathiessen :

$$\tau^{-1} = \sum_i \tau_i^{-1} \quad \text{soit} \quad \mu_{eff}^{-1} = \sum \mu_i^{-1} \quad (I.8)$$

1.3. LE GRAPHE I_{ON}/I_{OFF}

Un circuit intégré conçu de nos jours dans une technologie CMOS profondément submicroniques allant de 0.18 et 0.13 microns à 90 et 65 nanomètres, possède plusieurs milliards de transistors et sont produits sur des plaquettes de silicium de 300mm de diamètre. De plus, il fonctionne à une fréquence élevée et dissipe une puissance importante. On peut distinguer deux contributions à la puissance totale consommée (Figure 1-8) :

- La puissance statique : dépend de la tension d'alimentation (V_{DD}) ainsi que du courant dans le transistor à l'état non passant (I_{OFF})
- La puissance dynamique : dépend de V_{DD} et du courant à l'état passant (I_{ON}).

Leurs expressions sont données par :

$$\begin{cases} P_{tot} = P_{stat} + P_{dyn} \\ P_{stat} = n_{OFF} \cdot I_{OFF} \cdot V_{DD}, \\ P_{dyn} = n_{ON} \cdot I_{ON} \cdot V_{DD} \end{cases} \quad (I.9)$$

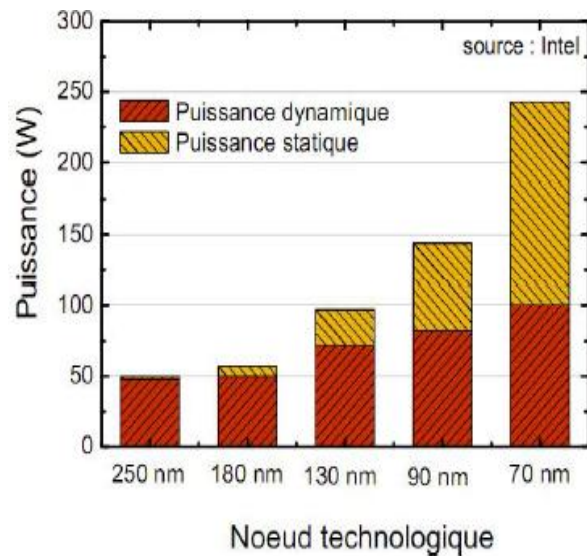


Figure. 1.8 Évolution de la puissance dynamique (P_{dyn}) et de la puissance statique (P_{stat}) en fonction du noeud technologique [Rochette08].

Avec : n_{ON} et n_{OFF} le nombre de transistors à l'état passant ou bloqué.

- A l'état bloqué, l'augmentation du courant de fuite I_{OFF} est essentiellement due à la réduction conjointe de la tension d'alimentation et de la tension de seuil du transistor. En effet, les tensions d'alimentation ne font que descendre pour des raisons de fiabilité, soit pour limiter le champ électrique dans les transistors, et la « Roadmap » < The International Technology Roadmap for Semiconductors, ITRS > qui est un guide de référence pour l'industrie mondiale du semi-conducteur [ITRS'08], Selon l'édition 2008, (voir Tableau I.1), prédit des tensions d'alimentation de 0.5 à 0.8 Volt en 2016. De manière à conserver une vitesse raisonnable, les tensions de seuil des transistors sont alors également réduites. L'écart entre V_{DD} et V_T se réduit fortement, il devient donc de plus en plus difficile d'obtenir un courant I_{ON} plus grand pour les dernières générations Figure (1-9), ce qui a pour effet d'augmenter considérablement les courants de fuite.

En effet, le courant de fuite I_{OFF} dépend exponentiellement des tensions de seuil selon la formule suivante :

$$I_{OFF} = I_0 e^{\frac{V_G - V_T}{\eta U_T}} \tag{I.10}$$

Avec : I_0 le courant à $V_G = V_T$.

η est un paramètre sans dimension reflétant l'efficacité du couplage entre V_G et le potentiel de substrat V_B . Autrement dit, ce coefficient exprime la sensibilité de la commande du transistor par la grille.

En outre, pour les technologies très profondément submicroniques, il faut aussi faire attention à l'apparition des courants de grille qui ne sont plus négligeables.

Tableau I.1 : Spécifications de l'ITRS 2008, pour les circuits logiques HP (□), LOP (⊙) et LSTP (◇) (En gris: des solutions existent et sont en voie d'optimisation, jaune : des solutions sont connues, rouge : pas de solutions connues). (Blanc: Technologie bulk, hachuré pointillé: architecture SOI et hachuré trait: Double grille. [ITRS'08])

Années	2009	2010	2012	2013	2015	2016	2018	2019	2021	2022
Noeuds		45		32		22		16		11
L_G (nm)	27	24	20	18	15	14	11,7	10,7	8,9	8,1
	⊙	29	27	22	18	15	14	11,7	10,7	8,9
	◇	32	29	22	18	15,3	14	11,7	10,7	8,9
EOT^4 (Å)	10	9,5	7,5	6,3	5,3	5	5	5	5,5	5,5
	⊙	11	10	9	9	8	8	7,3	7,5	7
	◇	15	14	12	11	10	9	1	9	8
V_{DD} (V)	1	1	0,9	0,9	0,9	0,8	0,7	0,7	0,65	0,65
	⊙	0,8	0,7	0,7	0,6	0,6	0,5	0,5	0,45	0,45
	◇	1	1	1	0,95	0,85	0,8	0,8	0,75	0,7
$J_{G,max}$ (A/cm ²)	650	830	1000	1100	1300	1400	1700	1900	2200	2500
	⊙	86	95	110	140	170	180	220	230	310
	◇	9,4E ⁻²	0,11	0,13	0,15	0,19	0,21	0,27	0,3	0,4
I_{ON} (μA/μm)	1639	1807	1762	2109	2030	2627	2804	2768	2799	2786
	⊙	760	682	760	747	810	716	850	900	874
	◇	501	528	560	519	786	771	889	895	934
I_{OFF} (μA/μm)	0,7	0,64	0,68	0,56	0,6	0,44	0,45	0,47	0,62	0,6
	⊙	8,9E ⁻³	1,8	3,5E ⁻²	0,020	0,019	0,037	0,019	0,025	0,0326
	◇	3,05E ⁻³	3,07E ⁻⁰⁵	3,02E ⁻³	3,03E ⁻³	3,02E ⁻³	3,10E ⁻³	3,3E ⁻³	2,6E ⁻³	3,3E ⁻³
R_{acc}^5 (Ω.μm ²)	200	180	180	170	160	155	145	145	135	135
	⊙	190	190	190	180	165	160	150	140	140
	◇	180	180	180	180	160	150	180	170	140

- A l'état passant, lorsque le transistor est en mode saturé, le courant I_{DS} ou I_{ON} sera donc défini comme le courant débité par le dispositif lorsque : $V_D = V_G = V_{DD}$. En effet, l'augmentation du courant I_{ON} permet d'obtenir une fréquence de commutation élevée. D'un autre côté, la fréquence de fonctionnement d'un circuit ou la vitesse de commutation des portes logiques va être gouvernée par : (i) la résistance et les capacités des lignes d'interconnexions qui prennent une part croissante et (ii) le délai intrinsèque du transistor τ_t donné par :

$$\tau_t = \frac{C_{ox} \cdot V_{DD}}{I_{ON}} \tag{I.11}$$

A partir des équations (1), (2) et (11), on remarque que si le courant augmente par une variation de C_{ox} (i.e. par réduction de l'épaisseur d'oxyde T_{OX} ou une augmentation de la permittivité de l'isolant de grille) le délai intrinsèque va rester constant. Cependant, la réduction (ou « scaling ») de la longueur de grille L_g permet d'améliorer τ_t voir (Figure1-10). C'est sur ce principe simple qui permet d'améliorer à la fois la densité d'intégration et la performance des transistors qu'est basée la loi de Moore. La réduction de la longueur de grille est néanmoins associée à des effets parasites appelés effets de canaux courts entraînant une dégradation du courant I_{ON} .

Une solution récente pour augmenter le courant I_{ON} , consiste à l'introduction de contrainte pour améliorer la mobilité du MOSFET grâce à la réduction de la masse effective de conduction et/ou de la fréquence de collision [HALL'06], [LEE'05]. Les techniques d'amélioration du transport dans le canal du MOSFET seront développées par la suite (chapitre II).

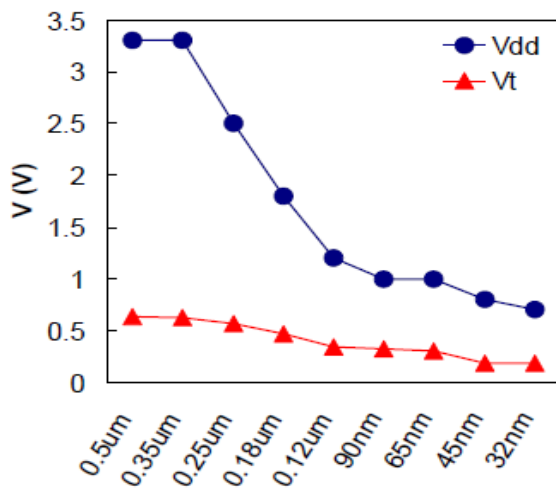


Figure. 1.9 Evolution des tensions d'alimentations et de seuil des circuits CMOS au fil des générations [rochette08]

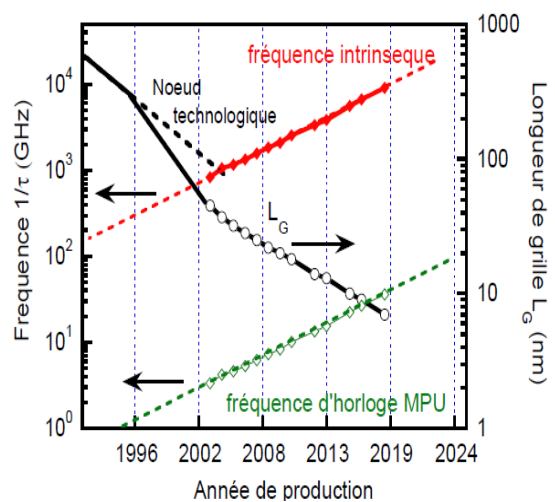


Figure.1.10 Réduction exponentielle des dimensions et du délai intrinsèque des transistors MOSFETs selon la loi de Moore. [ITRS03]

Une caractéristique du courant entre la source et le drain $\text{Log}(I_{DS})$ en fonction de la tension de grille V_{GS} d'un transistor NMOS est présentée sur la Figure (1.11). S est la pente du courant sous le seuil correspondant à l'augmentation nécessaire de la tension V_{GS} pour accroître le courant d'une décade et exprimée en mV/dec. Cette grandeur permet d'évaluer la capacité de

commutation du transistor à passer d'un régime de faible inversion à un régime de forte inversion. S doit être la plus faible possible afin d'assurer un courant de fuite minimal pour une tension de seuil V_T fixée:

$$S = \frac{dV_G}{d(\log I_D)} \tag{I.12}$$

Le principal enjeu de l'amélioration des performances du transistor MOSFET pour les applications hautes performances et à faible consommation s'exprime généralement en ces termes : le rapport I_{ON}/I_{OFF} doit être aussi élevé que possible. De cette manière, des fréquences de commutation élevées sont autorisées par un courant I_{ON} élevé et un courant de fuite I_{OFF} minimal permet une faible dissipation d'énergie au repos. La figure de mérite principale d'un transistor MOS représente un graphique du courant à l'état passant I_{ON} en fonction du courant de fuite total I_{OFF} , à une tension d'alimentation V_{DD} fixée est utilisée pour évaluer et comparer rapidement les performances de plusieurs dispositifs (Figure 1-12).

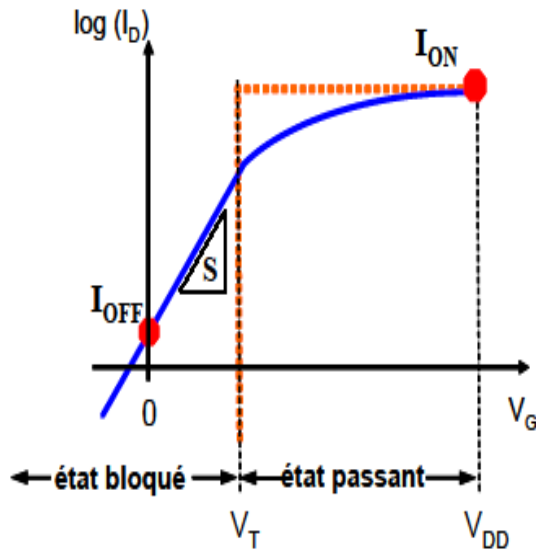


Figure.1.11 Caractéristique $I_D(V_{GS})$ d'un transistor MOSFET illustrant la séparation établie par la tension de seuil entre l'état bloqué et passant.

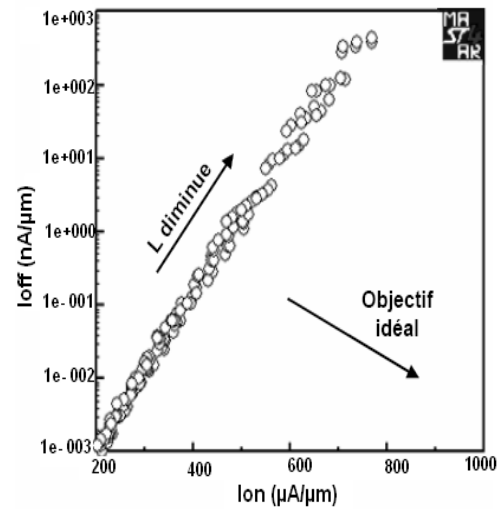


Figure.1.12 Graphe I_{ON}/I_{OFF} pour des NMOS à $V_{DD}=0.9V$, La longueur de grille varie de 100 à 30nm entraînant une hausse du courant de saturation I_{ON} et aussi du courant de fuite I_{OFF} [SKOTNICKI'88] [SKOTNICKI'03].

2. MINIATURISATION ET LIMITES

2.1. INTERET DE LA MINIATURISATION

Les progrès réalisés en microélectronique depuis ses débuts jusqu'à aujourd'hui dépendent aux révolutions de la miniaturisation du transistor MOS. Plusieurs raisons expliquent la volonté de diminuer les dimensions des transistors. En effet, La miniaturisation permet la réduction:

- de la consommation d'énergie : en raccourcissant l'espace entre la source et le drain, elle accélère le passage des électrons et augmente ainsi le nombre d'opérations réalisées par seconde tout en réduisant la consommation en énergie des transistors.
- des prix : la réduction de la taille des circuits permet la fabrication collective de centaines de puces sur chaque plaquette de silicium, abaissant leur coût unitaire.
- de l'espace occupé : la miniaturisation diminue l'encombrement des objets tout en multipliant leurs fonctions.
- de la consommation de matière.
- du poids – allègement.

La réduction continue des dimensions des composants microélectroniques constitue donc un enjeu fondamental pour l'industrie des semi-conducteurs puisqu'elle multiplie les applications de l'électronique dans tous les secteurs d'activités. Actuellement, les développements de l'électronique sont souvent présentés comme suivant deux directions complémentaires :

- la voie de la miniaturisation « More Moore », qui consiste à continuellement décroître les dimensions des composants élémentaires (les transistors) ; cette tendance se rapporte, pour une époque donnée, à la dimension minimale, ou « noeud », atteinte par la technologie, tout en ayant conscience que d'ici 15 à 20 ans, on arrivera face à un mur, à savoir les limites physique du matériau (dimension de l'atome)[IWAI06] .
- en parallèle, la voie de la diversification « More than Moore », qui définit la tendance à intégrer de plus en plus de fonctionnalités différentes dans une même puce, indépendamment du degré de miniaturisation.

Les deux voies sont parallèles et regroupent un vaste ensemble de technologies et procédé dont l'objectif est de délivrer de meilleures performances. Néanmoins la miniaturisation ne peut se faire sans l'apparition d'effets parasites, qui détériorent le bon fonctionnement du transistor.

2.2. LES PHENOMENES PHYSIQUES LIES A LA REDUCTION D'ECHELLE

De nombreux phénomènes physiques apparaissent au fur et à mesure de la réduction des dimensions des transistors et ne peuvent plus être ignorés. Quelques exemples peuvent être cités tels que : la déplétion de la grille, l'effet canal court ou encore les fuites de grille.

2.2.1. Les effets canaux courts (SCE)

Ce phénomène, comme son nom l'indique, est une conséquence directe de la réduction de la longueur du canal. En effet, Dans les transistors à canal long, les équipotentielles sont parallèles à la grille de sorte que le canal est confiné de façon efficace à l'interface. Quand la longueur de grille décroît, la distribution du potentiel est modifiée. [SKOT'00] Les équipotentielles se déforment en direction du substrat de sorte que le canal n'est plus contrôlé uniquement par la grille. Ce phénomène est à l'origine des effets de canal courts qui se traduisent par le décalage de la tension de seuil, le partage des charges, des effets de percement, etc.

● Le partage des charges et Décalage de la tension de seuil

Les zones de charge d'espace (ZCE) des jonctions drain/substrat et source/substrat s'étend principalement vers le substrat, c'est-à-dire vers la zone la moins dopée. En réduisant la longueur de grille, les charges de déplétion physiquement situées sous la grille, à proximité des jonctions source-canal et drain-canal, ont leurs lignes de champ qui se terminent non pas dans la grille mais dans les zones source-drain: c'est le partage de charge (Figure 1.13).

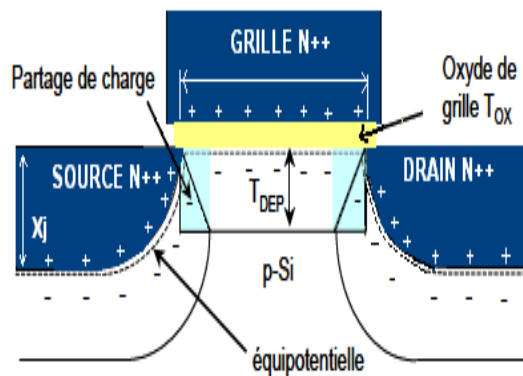


Figure.1.13 Illustration de l'effet de partage des charges de déplétion entre la source, la grille et le drain dans un nMOSFET.

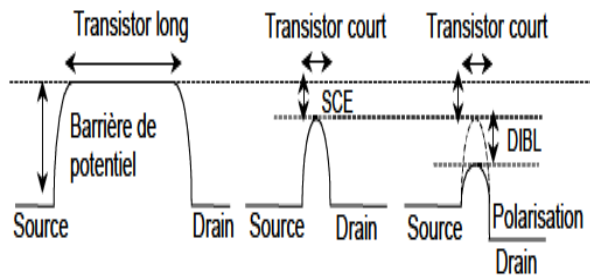


Figure.1.14 Evolution de la barrière de potentiel dans le canal en fonction de la longueur du canal et de la polarisation de drain dans un transistor nMOSFET

Dans un transistor long, le champ vertical de grille commence par désertier le canal et réalise ensuite l'inversion. Ici, la déplétion étant déjà induite par les jonctions, l'inversion sera

atteinte plus vite en fonction de V_G . Cet effet est appelé "effet canal court" ou SCE (Short Channel Effect) se traduit alors par un abaissement de la barrière entre source et drain (figure 1-14). Par conséquent, la tension de seuil V_T diminue en fonction de la longueur du canal (figure 1-15)[Bensegueni'06]. La grille ne contrôle plus parfaitement les porteurs de charges du canal [Sze 81 p.469].

L'effet de canal court (SCE) ne supposait pas de variations en fonction de la polarisation V_{DS} . Cependant, l'augmentation de la tension de drain induit un accroissement de la ZCE côté drain, ce qui provoque l'abaissement de la barrière de potentiel Source/Substrat [Grotjohn' 84, Deen' 92, Fikry'94], (figure1.14). Un autre "effet canaux courts", le DIBL (pour "Drain-Induced Barrier Lowering"), (figure1.16) se manifeste par la réduction de la tension de seuil [GAUT'03].

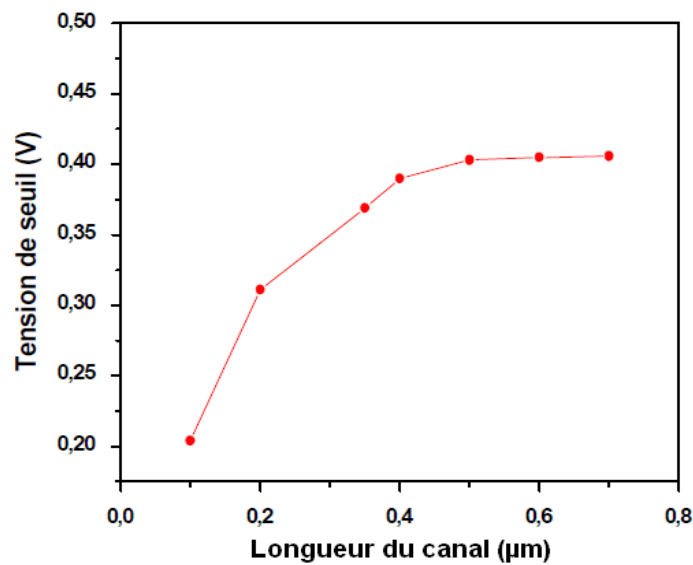


Figure.1.15 Evolution de la tension de seuil en fonction de la longueur du canal ; dopage du canal $N_A=3.5e17cm^{-3}$, $V_{DS} = 1.0V$, $T_{ox}=3nm$ [(résultats obtenus avec ISE-TCAD- Sentaurus [Bensegueni'06]

L'impact des effets canaux courts sur les caractéristiques électriques du MOSFET est présenté sur la Figure 1.17. Ces effets traduisent une perte de contrôle électrostatique de la grille sur le canal de conduction. Ils conduisent ainsi à un abaissement non contrôlé de la tension de seuil du MOSFET et donc à une augmentation du courant de fuite I_{OFF} du transistor.

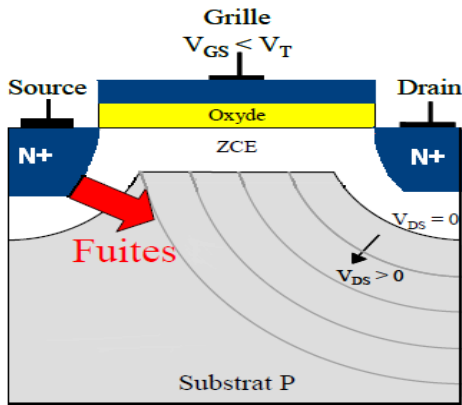


Figure.1.16 Schéma illustrant l'effet de la polarisation du drain (DIBL)

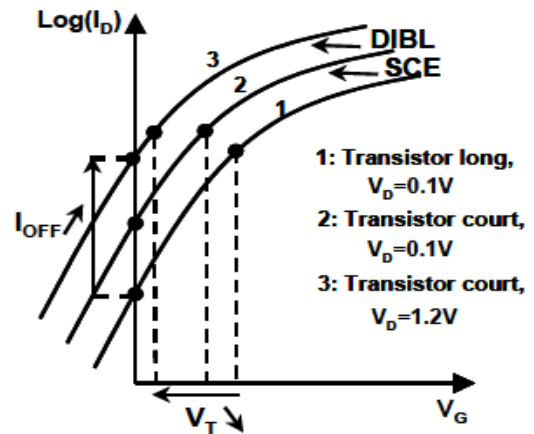


Figure.1.17 Impact des effets canaux courts SCE et DIBL sur la tension de seuil et sur les courants de fuites

● **Effet de percement**

Le phénomène de percement (punchthrough en anglais) survient lorsque les zones désertées (ZCE) Source/Substrat et Drain/Substrat peuvent se toucher. Dans ce cas leurs dimensions deviennent comparables à la longueur de la grille L_g . Ce phénomène est essentiellement lié à la hauteur de la barrière de potentiel entre la source et le drain à travers le volume du substrat. Il est donc fortement dépendant, à la fois du champ transversal (contrôlé par la tension de grille), et du champ longitudinal (contrôlé par de forte tension de drain).

2.2.2. Les fuites à travers l'oxyde de grille

La miniaturisation des transistors MOS et plus particulièrement la diminution de la longueur du canal s'accompagne de la réduction de l'épaisseur d'oxyde de grille, de manière à augmenter le couplage capacitif entre la grille et le canal et garder ainsi le contrôle de la couche d'inversion. Or, Le problème majeur posé par la réduction de l'épaisseur de l'isolant de grille concerne la conduction par effet tunnel à travers l'oxyde. [Wang'01, Morita'04, Scltuegraf'92]. Dans ce cas, le déplacement des porteurs à l'interface Si/isolant peut être régi principalement par les mécanismes suivants : (Fig.I-18):

- Le courant **tunnel direct** pour une barrière énergétique trapézoïdale,
- Le courant tunnel **Fowler- Nordheim** pour une barrière énergétique triangulaire.

Le type de barrière et par conséquent le type de courant obtenu dépend non seulement du niveau de polarisation appliquée à la grille mais aussi de l'épaisseur d'oxyde (T_{ox}):

- Quelle que soit l'épaisseur de l'oxyde, si la tension de polarisation est suffisamment élevée, la forme de la barrière vue par la particule sera triangulaire et on obtient alors un courant de type Fowler- Nordheim.

- Dans le cas des oxyde épais ($T_{ox} > 7\text{nm}$), l'abaissement de la barrière due à une polarisation extérieure, favorise le passage des électrons par effet tunnel Fowler-Nordheim. Ainsi, l'abaissement de cette barrière énergétique conduit à une diminution de la longueur effective que doit franchir la particule et donc à une augmentation de la "probabilité de passage". (Figure 1-19).

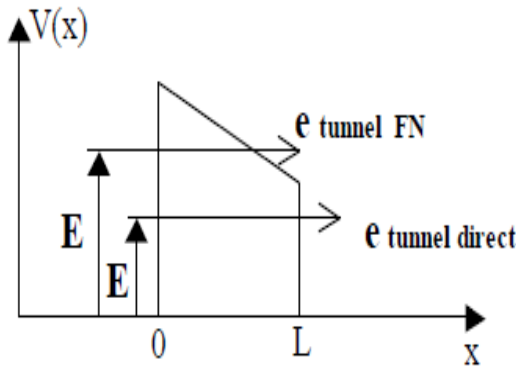


Figure.1.18 Barrière vue par les électrons lorsqu'ils traversent un milieu isolant. E : est l'énergie potentielle de la particule.

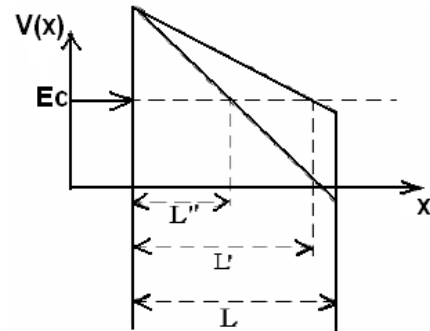


Figure.1.19 Longueur effective de la Barrière vue par les électrons lorsqu'ils traversent un milieu isolant par effet Fowler- Nordheim

- Pour des épaisseurs d'oxyde minces ($T_{ox} < 4\text{nm}$), le courant tunnel direct devient possible pour des niveaux de tension plus bas [bensegueni.R06], [Hou'02], [CASS'99] [LERO'03], Figure (1-20). En effet, la largeur d'isolant est suffisamment faible et la particule peut franchir la barrière sans réduction de sa longueur effective. Dans ce cas, si on veut réduire ce courant de fuite, il faut par conséquent diminuer le niveau de tension de grille.

Toutefois, si l'on souhaite travailler à des niveaux de tension de grille plus bas, on finit par perdre le contrôle du canal. En effet, la tension de seuil est fortement proportionnelle à la variation de l'épaisseur d'oxyde, de ce fait, pour des épaisseurs d'oxyde de grille inférieures à 4nm la tension de seuil diminue très rapidement, Figure (1-21).

Un compromis s'impose entre la tension de grille et l'épaisseur d'oxyde. D'autant plus important que l'épaisseur de grille est faible, le courant tunnel de grille conduit à intégrer de nouveaux diélectriques dit à haute permittivité ou high-k comme sera évoqué dans le Chapitre IV.

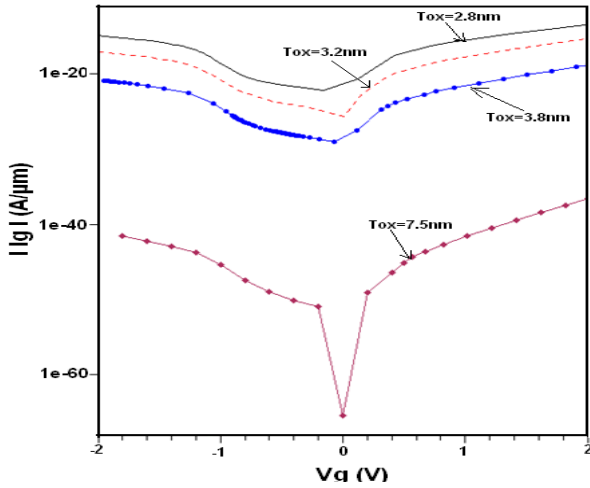


Figure.1.20 Courant de grille en fonction de la tension de grille [Bensegueni.R06]

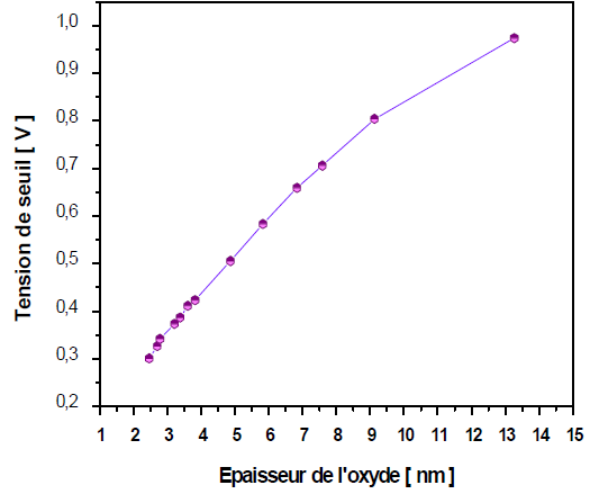


Figure.1.21 Evolution de la tension de seuil en fonction de l'épaisseur d'oxyde de grille [Bensegueni06]

2.2.3. La déplétion de la grille

Les grilles conventionnelles des transistors MOS sont réalisées en silicium poly-cristallin (Poly-Si). Le Poly-Si est un semi-conducteur qui possède de bonnes propriétés de conduction électrique lorsqu'il est dopé par des impuretés comme le Bore pour les grilles de type P+ et le Phosphore pour les grilles de type N+. Le comportement électrique des grilles Poly-Si dopées reste toutefois régi par les mêmes principes physiques que le substrat silicium (accumulation, déplétion).

- E_{Cpoly} et E_{Vpoly} : énergies respectives du bas de la bande de conduction et du haut de la bande de valence de la grille en silicium polycristallin.
- E_F , E_{Fpoly} : niveaux de Fermi respectifs du substrat de silicium, et en polysilicium.
- E_G : énergie de gap du silicium
- V_{OX} : tension supportée par l'oxyde de grille.
- $V_G = E_F - E_{Fpoly}$: tension appliquée sur la grille.

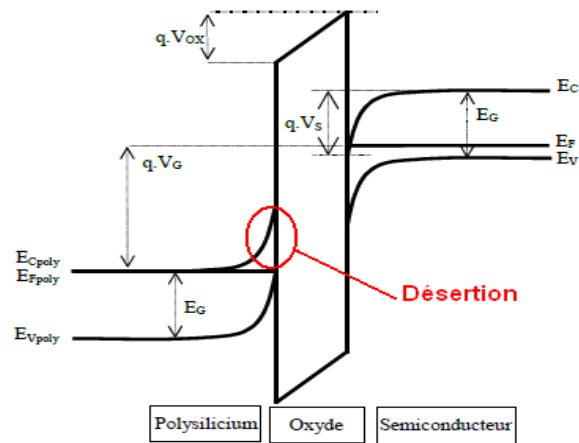


Figure.1.22 Diagramme de bande d'une structure nMOS avec grille PolySi: PolySi N+/oxyde/substrat Si P.

La déplétion de la grille correspond à la zone désertée dans le poly-Silicium le long de l'interface avec l'oxyde. Cette désertion en porteurs correspond à l'existence d'une charge

image positive liée au régime d'inversion côté canal (Figure I. 22). Puisque le polysilicium (polySi) est extrêmement dopé, jusqu'à la limite de solubilité des dopants [JOSSE'00], par conséquent, la profondeur de déplétion est très réduite et vaut au maximum de 0,3 à 0,7nm [Hu'96].

De manière générale, la zone désertée peut être assimilée à une capacité parasite d'épaisseur W_{poly} connectée en série avec celle de l'oxyde de grille, figure (1-23). Cet effet dégrade les performances des transistors MOS:

- i) augmentation de l'épaisseur « électrique équivalente » de l'isolant (et donc diminution du courant de drain à l'état passant), (ii) chute de la capacité de la structure en inversion C_{totale} pouvant atteindre 20 à 30% [Buchanan'99].
- ii) L'impact de cette capacité parasite est d'autant plus significatif que l'épaisseur de l'isolant de grille est faible [Ricco'96, HABAS'90, HABAS'92]. Par conséquent, la déplétion de la grille en polysilicium rend difficile l'ajustement de la tension de seuil V_T .

$$C_{totale} = \frac{\epsilon_{ox}}{T_{ox} + \frac{\epsilon_{ox}}{\epsilon_{Si}} W_{poly}} \tag{I.13}$$

$$EOT_{inv} = T_{OX} + W_{POLY} \tag{I.14}$$

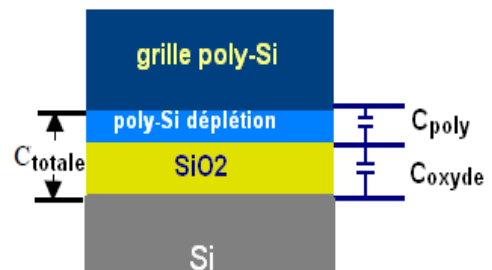


Figure.1.23 Impact de la déplétion de grille sur la capacité totale d'un transistor MOS

3. SOLUTIONS TECHNOLOGIQUES

Pour s'affranchir des différents problèmes dus à la miniaturisation des dispositifs, la poursuite de l'intégration de nouveaux composants doit se faire par l'introduction de nouvelles architectures ou de nouveaux matériaux pour l'amélioration des performances du transistor.

Dans un premier temps, les innovations architecturales et technologiques sont décrites à partir de la technologie silicium actuelle. Les deux dernières parties, spécifiques à l'objet de cette thèse, concernent les challenges associés à l'introduction de nouveaux matériaux au niveau de l'oxyde de grille et du canal de conduction.

3.1. INNOVATIONS ARCHITECTURELLES ACTUELLES

Les performances des transistors submicroniques dépendent du profil d'impuretés à proximité des régions drains/ sources, notamment dans le canal de conduction, (figure (1-24)). En effet, la présence des régions peu dopées près du canal autour des diffusions de drain et de la source (ces profils sont désignés sous le nom de LDD ou Lightly Doped Drain) et sont de même type que le drain, permet d'une part une meilleure répartition des zones de déplétion et d'autre part de réduire le champ électrique dans cette région [Skotnicki'00]. Les porteurs ne seront plus suffisamment accélérés pour engendrer le phénomène d'ionisation par impact. En effet, la zone de charge d'espace (ZCE) pourra alors s'étendre principalement dans les régions de contact et plus exclusivement dans le canal.

Actuellement, les zones LDD (ou extensions) sont formées par implantation ionique à faible énergie suivie d'un recuit d'activation haute température ($>1000^{\circ}\text{C}$) très court. L'objectif est de former des extensions

- (i) fortement dopées pour réduire les résistances d'accès,
- (ii) les plus fines possibles pour limiter les effets canaux courts et la pénétration des zones source-drain sous la grille.

Dans cette même région, Pour réduire les extensions des zones déplétées, il suffit donc d'augmenter le dopage du canal. À cette fin, des implantations ioniques de dopants du même type que le canal sont utilisées. Elles sont auto-alignées avec la grille afin d'être localisées autour des extensions, d'où le nom de "poche" [Bouillon'97]' Les effets de canaux courts sont alors nettement améliorés mais ce sur-dopage du canal provoque une dégradation de la mobilité des porteurs [Andrieu'05], [Lochtefeld'02].

D'autre part, le transistor peut, lorsque le canal est très court, présenter un effet de perçage. Pour éviter ce phénomène, des "halos" sont implantés plus profondément, juste sous le canal actif, dans la région adjacente au drain et à la source.

En plus, pour absorber une partie de la diffusion latérale des extensions des jonctions, des espaceurs sont couramment utilisés. Ces derniers, empêchent également les courts-circuits entre grille-drain, et grille-source [Slisher'99].

Enfin, dans un canal de transistor de longueur de grille submicronique, le nombre d'atomes de dopants est suffisamment faible pour que la distribution des dopants ait une influence non négligeable sur les caractéristiques du transistor. En effet, une variation de dopants de quelques atomes dans cette zone a une grande influence sur l'ajustement de la tension de seuil V_T du transistor [Benseg'06], [ASEN'98], figure (1-25), voire sur le transport dans le canal [DOLL'04].

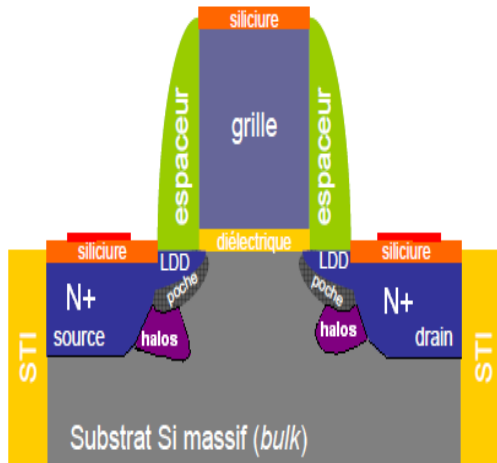


Figure.1.24 présentation schématique de l'état de l'art actuel de du transistor MOSFET en technologie « bulk »

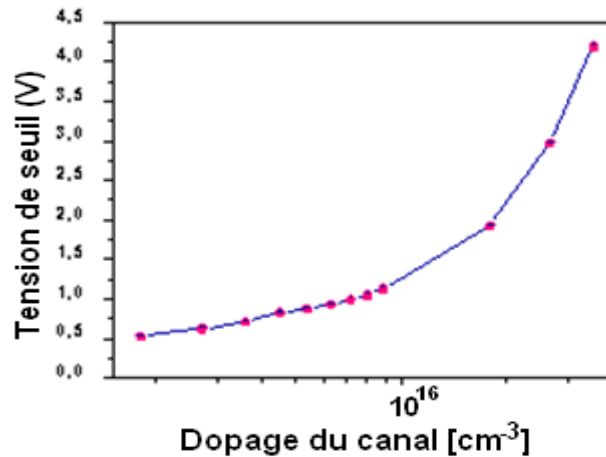


Figure 1-25 Evolution de la tension de seuil en fonction du dopage du canal, $L_g=0.35\mu\text{m}$ $T_{ox}=3\text{nm}$ [bensegueni.R06]

3.2. INTRODUCTION DE NOUVEAUX MATERIAUX

3.2.1. Grilles métalliques

Nous avons vu que l'utilisation d'électrodes de grille en Silicium poly cristallin dopé conduit à l'apparition d'une couche de désertion entre la grille et l'oxyde qui, de fait, augmente artificiellement l'épaisseur d'oxyde équivalent de quelques angströms. En plus, pour des transistors MOS submicroniques, la déplétion de porteurs des grilles en Poly-Si, implique une dégradation significative du courant circulant dans le canal du transistor en régime d'inversion.

Pour lutter contre ce phénomène, les fabricants ont dû augmenter le dopage de la grille N_{POLY} entre chaque nœud technologique. Cependant, cette stratégie est limitée par deux inconvénients du fait de la méthode de dopage:

- La pénétration des dopants à travers l'oxyde mince, particulièrement dans le cas des grilles P+ dopées au bore. La diffusion du Bore, induit une dégradation de la qualité de l'oxyde conduisant ainsi d'une part à des instabilités de la tension de seuil et d'autre part à une diminution de la mobilité des porteurs.
- Les grilles sont déjà fortement dopées (de l'ordre de 10^{21} atomes/ cm^3) et il devient impossible de les doper au-delà de $5 \cdot 10^{22}$ atomes/ cm^3 (densité atomique du silicium).

Les solutions actuellement proposées consistent à remplacer le poly-Silicium par un métal, pour optimiser les performances des dispositifs de technologie CMOS submicroniques [Guillaumot'02, Doris'03]. Les métaux sélectionnés devront ainsi présenter un travail de sortie adapté aux tensions de seuil visées et une stabilité thermique élevée, déposés sur des isolants de grille de quelques nanomètres d'épaisseur.

Bien que, les grilles métalliques présentent l'avantage de supprimer le risque de pénétration du bore dans l'oxyde de grille et présentent aussi une meilleure compatibilité avec l'interface des oxydes à haute permittivité [BOH'07]. Malgré cela, ce retour à des grilles métalliques pose deux inconvénients : tout d'abord, il ne résout pas encore le problème des instabilités de la tension de seuil du transistor. D'autre part, l'introduction de la métallisation induit une complexité et un coût plus élevé à la réalisation.

3.2.2. Génération de la contrainte mécanique dans le canal du MOSFET

Dans le cadre de la technologie CMOS, on cherche à réduire les dimensions des composants, pour offrir des transistors à haute mobilité [Chiu'02, Lee'02, Ernst'03], et cela en dépit des effets parasites. Cela passe par une amélioration de la vitesse de commutation, via l'augmentation du courant débité par le transistor (I_{ON}), et la réduction du courant de fuite (I_{OFF}).

Il existe trois principaux leviers technologiques pour améliorer le transport électronique au niveau de la partie active du transistor : la contrainte mécanique [BUFL'04], le matériau à haute mobilité intrinsèque [Ritenour'03, Shang 03, Clavelier'05] et le Changement de l'orientation cristalline du substrat et/ou du canal [YANG03], [ang'03], [Weber'05]. Parmi les solutions proposées, l'ingénierie de contrainte mécanique est très prometteuse, car les coûts liés à son introduction dans les procédés sont modestes par rapport aux gains en performances apportés (seulement 1 à 3% de coûts supplémentaires pour une amélioration des performances de plusieurs dizaines de pourcents [Thompson'05]). En effet, son utilisation tend à se généraliser, et depuis le noeud 90 nm, en 2003-2004.

De nombreux développements ont été réalisés pour l'introduction intentionnelle des contraintes dans les dispositifs : notamment par des procédés de création des substrats virtuels de SiGe [Mizuno'03, Andrieu'05, Alieu'98], sources et drains de (SiGe ou Si:C), ou encore par des procédés de déformations épitaxiales en utilisant un film de silicium contraint mécaniquement [Rim'03], ce qui présente l'avantage de conserver l'interface Si/SiO₂.

La mise sous contrainte du film de silicium actif est obtenue en faisant croître celui-ci par épitaxie sur un substrat de silicium-germanium (Si_{1-x}Ge_x) relaxé possédant un paramètre de maille légèrement différent [JURCZAK'99a], [Rim'01]. Ce qui modifie la taille de la maille cristalline et crée ainsi une contrainte bi-axiale en tension dans le film de silicium. Ce point fait l'objet du chapitre II.

Un grand avantage de la déformation est qu'elle est compatible avec la plupart des changements technologiques prévisibles tels que les diélectriques à forte permittivité (high-k), les grilles métalliques, ect. Même si de nouveaux types de dispositifs peuvent apparaître, l'ingénierie de contrainte restera un élément clé des technologies CMOS pour le noeud 22 nm et au-delà.

3.2.3. Incorporation de l'oxyde de forte permittivité 'High-k'

Pour poursuivre la loi de Moore, l'arrivée de la technologie 'high-k gate' constitue une grande évolution du monde des transistors. Cette découverte repose sur le remplacement de la couche d'isolation en dioxyde de silicium par un diélectrique de forte permittivité appelé "high-k" comme l'oxyde d'hafnium (HfO_2 , $k = 20-25$) [Guillaumot'02, Ragnarsson'05], combiné au métal de grille. L'introduction d'un empilement de grille de type high-k-métal a été industrialisée par Intel dès 2007 [INT'03]. Les diélectriques high-k permettent, grâce une permittivité diélectrique plus élevée que dans le SiO_2 , de relaxer les contraintes sur l'amincissement de l'oxyde de grille requis par les règles de miniaturisation. Arrivé à un point où la couche d'isolant n'est plus épaisse que de quelques atomes, l'isolant high-k permet de maintenir une capacité de grille élevée tout en limitant le courant de fuite parasite à travers la couche diélectrique donc l'efficacité du système. Ce point fait l'objet du chapitre IV.

Le nombre de diélectriques à haute permittivité utilisés au cours des années a fortement augmenté afin de rechercher des propriétés toujours améliorées : les matériaux diélectriques de substitution pour remplacer l'oxyde de grille, au premier rang se trouvent certains oxydes (HfO_2 , ZrO_2 , TiO_2 , Al_2O_3) ou encore des silicates, ceux-ci doivent respecter un cahier des charges très strict [Wilk'01]. L'ensemble des propriétés imposées doit être supérieur ou au moins égal à celle du SiO_2 . Aujourd'hui l'oxyde d'Hafnium et les Silicates d'Hafnium sont les matériaux les plus prometteurs.

Si l'intégration des empilements de type high-k-métal semble repousser les difficultés liées à la miniaturisation, elle s'accompagne de nombreux problèmes :

- la fiabilité des dispositifs est dégradée par rapport à un empilement Si/SiO_2 ,
- les techniques de dépôt sont plus complexes et plus coûteuses pour un diélectrique high-k que le procédé d'oxydation thermique utilisé dans le cas du SiO_2 , [ROBE'04]. Si bien que l'interface Si/SiO_2 reste, à l'heure actuelle, considérée par certains comme un « cadeau de la nature » [LUCO05] difficilement remplaçable
- une dégradation de la mobilité dans le canal par l'empilement de grille [Fischetti'01] [LUJA'05] [HOBBS'03] (l'effet sur la mobilité sera approfondi au chapitre IV),
- jusqu'à présent, l'intégration des diélectriques high-k nécessite une couche d'oxyde d'interface SiO_2 pour limiter la dégradation de la mobilité. De plus, la couche d'interface va servir de tampon et prévenir le claquage franc de l'empilement tout entier [CHO'08].

4. CONCLUSION

Dans ce chapitre, nous avons décrit dans un premier temps l'évolution de la microélectronique et du transistor MOS, de ses origines à nos jours, en insistant sur la volonté constante de miniaturisation des dispositifs.

Dans un second temps, nous avons mis en évidence l'intérêt de la miniaturisation des composants semi-conducteurs mais également ses limitations. En effet, de nombreux phénomènes physiques qui apparaissent avec la réduction des dimensions des transistors: effets canaux courts, fuites de grilles, et la déplétion de la grille, etc., sont susceptibles de dégrader les caractéristiques des dispositifs fortement submicroniques.

Dans une troisième partie, nous avons exploré les nouvelles solutions pour contrer les effets parasites liés à la miniaturisation. En effet, une simple réduction d'échelle est insuffisante pour continuer d'améliorer les performances du transistor MOS, il est donc envisagé d'introduire de nouvelles architectures et de nouveaux matériaux. L'intégration d'un diélectrique "high-k" au niveau de l'empilement de grille constitue une solution pour limiter les courants de fuites à travers l'oxyde de grille. Une autre solution très prometteuse pour augmenter la vitesse des porteurs, consiste à incorporer un film de silicium contraint au niveau du canal.

Références bibliographiques

- [Alieu'98] Alieu J. "Investigation Optimisation of $\text{Si}_{0.7}\text{Ge}_{0.3}$ channel heterostructures for 0.15/0.18 μm CMOS process". In: Proceedings of ESSDERC, p. 144, 1998.
- [Ando 82] T. Ando, A.B. Fowler, F. Stern, "Electronic properties of two-dimensional systems", *Reviews of Modern Physics*, Vol.54, p. 437, 1982.
- [Andrieu 05] F. Andrieu, "Transistors CMOS deca nanométriques à canaux contraints sur silicium massif ou sur SOI – fabrication, caractérisation et étude du transport", Thèse de doctorat, INPG, 2005.
- [ASEN98] Asen Asenov, "Random dopant-induced threshold voltage lowering and fluctuations in sub-0.1- μm MOSFET" *IEEE Trans. Electron Devices*, vol.45, p. 2505–2513, 1998.
- [Bensegueni.R06] Rachida Bensegueni and Saida Latreche "On the Threshold Voltage Evolution for Submicronic MOS Transistors". *African Physical Review* 2 Special Issue (Microelectronics): 0006 p.13, 2008
- [Bensegueni06] Rachida. Bensegueni, Saida.Latreche "Tunnelling current through ultra-thin Silicon Dioxide in Submicronic MOS". Information & Communication Technologies: From Theory To Applications - ICTTA'06", 24-26 April, 2006, Damascus, Syria, *IEEE catalog Number 06EX1220*, ISBN 0-7803-9521-2, Library of congress 2005933106. 2006.
- [Bouillon 97] P. Bouillon, "Etude et application de nouvelles architectures du canal aux dispositifs MOS avancés", thèse de doctorat, INPG, 1997.
- [BOH 07] M-T. Bohr, R-S. Shau, K. Mistry, "The High K solution", *IEEE Spectrum*, p. 24-29, 2007.
- [Boeuf'04] Boeuf F., Arnaud F., Tavel B. et al. "A conventional 45nm CMOS node low-loss platform for General Purpose and Low Power applications". In: International Electron Device Meeting Technical Digest, Dec. San Francisco. p. 847-851, 2004.
- [Buchanan'99] D.A. Buchanan, "Scaling the gate dielectric: Materials, integration, and reliability", *IBM Journal of Research and Development*. Vol.43, p. 245, 1999.
- [BUFL04] Fabian M Bufler, A Schenk and W Ichtner, "Strained-Si single-gate versus unstrained-Si double-gate MOSFETs", *Semicond. Sci. Technol.* Vol.19, p. S122–S124, 2004.

- [CASS99] Eric Cassan et al. "Study of direct tunneling through ultrathin gate oxide of field effect transistors using Monte Carlo simulation", *Journal of Applied Physics*, Vol.86, p. 3804, 1999.
- [Chen96] K. Chen, H. C. Wann, J. Dunster, P. K. Ko, C. Hu; "MOSFET carrier mobility model based on gate oxide thickness, threshold and gate voltages". *Electron Device Letters*; Vol. 39, p. 1515-1518, 1996.
- [Chui'02] Chui C. O., Kim H., CHI D. et al. "A sub-400 degree C Germanium MOSFET technology with high-K dielectric and metal gate". In: International Electron Device Meeting Technical Digest, Dec. San Francisco, p.437-441, 2002.
- [CHO 08] N.A. Chowdhury, G. Bersuker, C. Young, R. Choi, S. Krishanan, D. Misra, "Breakdown characteristics of nFETs in inversion with metal/HfO₂ gate stacks", *Microelectronics Engineering*. Vol.85, p. 27-35, 2008.
- [Clavelier 05] L. Clavelier, C. Le Royer, C. Tabone, J.-M. Hartmann et al., "Fully depleted germanium p-MOSFETs with high-k and metal gate fabricated on 200 nm GeOI substrates", Silicon Nano Workshop VLSI Tech. Dig., p. 18, 2005.
- [Deen' 92] M.J. Deen and Z.X. Yan, "DIBL in short-channel N MOS devices at 77K", *IEEE TED*, Vol.39, p. 908, 1992.
- [DOLL04] Philippe Dollfus et al. "Effect of discrete impurities on electron transport in ultra-short MOSFET using 3D Monte Carlo simulation", *IEEE Trans. Electron Devices*. Vol.51, p. 749-756, 2004.
- [Doris 03] B. Doris, M. Jeong, H. Zhu et al., "Device design considerations for ultra-thin SOI MOSFETs", IEDM Tech. Dig., p. 631, 2003.
- Ernst'03] ERNST T. "A new Si:C epitaxial channel nMOSFET architecture with improved drivability and short channel characteristics". In: Symposium on VLSI Technology. 2003.
- [Fikry' 94] W. Fikry, G. Ghibaudo and M. Dutoit, "Temperature dependence of drain induced low barrier lowering in deep submicrometer MOSFETs", *Electronics Letters*, Vol.30, p. 911-912, 1994.
- [Fischetti01] M. V. Fischetti, D. A. Neumayer et E. A. Cartier, "Effective electron mobility in Si inversion layers in metal oxide semiconductor systems with a high-k insulator: The role of remote phonon scattering", *Journal of Applied Physics*, Vol.90, p. 4587-608, 2001.
- [GAUT03] Jacques Gautier et al. "Physique des dispositifs pour circuits intégrés silicium", Hermès, 2003.
- [Grotjohn'84] T. Grotjohn et B. Hoefflinger, "A parametric short-channel MOS transistor model for subthreshold and strong inversion current". *IEEE Transactions on Electron Devices*, Vol.31, p. 234-246, 1984.
- [Guillaumot 02] B. Guillaumot, X. Garros, F. Lime et al. "75 nm damascene metal gate and high-k integration for advanced CMOS devices", IEDM Tech. Deg., p. 355, 2002.

- [Habas'90] P. Habas; S. Selberherr, "Numerical simulation of MOS-devices with non-degenerate gate", ESSDERC, p. 161-164, 1990.
- [Habas'92] P. Habas; J.V. Faricelli, "Investigation of the physical modeling of the gate-depletion effect". *Transactions on Electron Devices*. Vol.39, p.1496-1500, 1992.
- [HALL06] E. E. Haller, "Germanium: From its discovery to SiGe devices", *Mat. Sci. in Sem. Proc.*, Vol.9, p. 408, 2006.
- [HOBBS 03] C. Hobbs et al. "Fermi level pinning at the polySi/metal oxide interface". *Proc. Symp. VLSI Tech.*, p. 9-10, 2003.
- [Hou'02] Y. T. Hou and M. F. Lia "Direct tunneling hole currents through ultrathin gate oxides in metal-oxide-semiconductor devices". *Journal of applied physics*. Vol.91, P. 258-264, 2002
- [Hu'96] C. Hu, "Gate Oxide Scaling Limits and Projection", IEDM, p.319, 1996.
- [INT 03] Intel, "Intel's High-k/Metal gate Announcement", <http://www.intel.com/>, 2003.
- [ITRS03] International Technology Roadmap for Semiconductors, 2003, <http://public.itrs.net/Files/2003ITRS/Home2003.htm>, (consulté le 30 septembre 2005).
- [ITRS'08] "International Technology Roadmap for Semiconductors", <http://www.itrs.net>
- [IWAI06] H.Iway,"CMOS for next 15 years as the mainstream of the nano device technology: problems, solutions and beyond that", exposé orale lors du SINANO work shop "Nanoscale CMOS and Si beyond CMOS Nanodevices", Montreux, le 22 septembre 2006.
- [Jeon89] D. Jeon, D; Burk; "MOSFET electron inversion layer mobilities-a physically based semiempirical model for a wide temperature range"; *Transactions on Electron Devices*; Vol.36, p. 1456-1463, 1989.
- [JOSSE 00] E. Josse, "Nouvelles architectures de grille pour les générations CMOS 0.1µm et en deça", thèse de doctorat, INPG, 2000.
- [JURCZAK 99] M. Jurczak et al. "Study on Enhanced performance in NMOSFETs on strained silicon", *Proc. ESSDERC, Leuven, Belgium*. p. 304-307, 1999
- [Kahng'60] Kahng D., Atalla M. M. "Silicon-silicon dioxide field induced surfaces devices". In: IRE Solid-State Device Research Conference, 1960.
- [Lee'02] Lee B. H., Mocuta A., Bedell S. et al. "Performance enhancement on sub-70nm strained silicon SOI MOSFETs on ultra-thin thermally mixed strained silicon/SiGe on insulator (TM-SGOI) substrate with raised S/D". In: International Electron Device Meeting. 2002.

- [LEE05] M. L. Lee, E. A. Fitzgerald, M. T. Bulsara, M. T. Currie, and A. Lochtefeld, “Strained Si, SiGe, and Ge channels for high-mobility metal-oxide-semiconductor field-effect transistors”. *J. of Appl. Phys.*, Vol.97, p. 011101-1, 2005.
- [LERO03] M. Le Roy, E. Lheurette, O. Vanbésien et D. Lippens. “Wave mechanical calculations of leakage current through stacked dielectrics for nanotransistor metal-oxide-semiconductor design”, *Journal of Applied Physics*, Vol. 93, p. 2966, 2003.
- [Lochtefeld02] A. Lochtefeld, I.J. Djomehri, G. Samudra and D.A. Antoniadis, “New insights into carrier transport in nMOSFETs”, *IBM Journal of Research & Developments*, Vol.46, p. 347, 2002.
- [LUCO05] G. Lucovsky, J.C. Phillips. “Defects and defect relaxation at internal interfaces between high-k transition metal and rare earth dielectrics and interfacial native oxides in metal oxide semiconductor (MOS) structures”, *Thin Solid Films*, Vol. 486, p. 200-204, 2005.
- [LUJA05] G.S. LUJAN et al. “Modelling mobility degradation due to remote Coulomb scattering from dielectric charges and its impact on MOS performance”, *Microelectronics Reliability*, Vol.45, p. 794-797, 2005.
- [Math04] Henry Mathieu. “Physique des semiconducteurs et des composants électroniques”. Dunod, 2004.
- [Mizuno 03] T. Mizuno, N. Sugiyama, T. Tezuka, T. Nuama, S. Takagi, “High performance strained-SOI CMOS devices using thin film SiGe-on-insulator technology”, *IEEE Transactions on Electron Devices*, Vol.50, p. 988, 2003.
- [Moore’65]. G.E. Moore, “Cramming more components onto integrated circuits”, *Electronics*, Vol. 38, April 19, 1965.
- [Morita’04] S.Morita, A.Shinozaki, Y.Morita, K. Nishimura, T.Okazaki, S.i Urabe and M. Morita. “Tunneling Current through Ultrathin Silicon Dioxide Films under Light Exposure”, *Japanese Journal of Applied Physics*, Vol.43, p. 7857–7860, 2004.
- [Ragnarsson 05] L. A. Ragnarsson, S. Severi, L. Trojman et al., “High performing 8 Angstrom EOT HfO₂/TaN low thermal-budget n-channel FETs with solid-phase epitaxially regrown (SPER) junctions”, *VLSI Tech. Dig.*, p.234, 2005.
- [Ricco’96] B. Ricco; R. Versari; D. Esseni, “Characterization of polysilicon-gate depletion in MOS structures”, *Electron Device Letters*. Vol.17, p. 103-105, 1996.
- [Rim 01] K. Rim, S. Koester, M. Hargrove et al, “Strained Si NMOSFETs for High Performance CMOS Technology”, proceedings of Symposium on

VLSI technology, Kyoto, Japan, p. 59- 60, 12-14 June 2001.

- [Rim 03] K. Rim, L. Shi, K. Chan et al., “Strained Si for sub-100 nm MOSFETs”, in Proc. ICSI3 Int. SiGe(C) Epitaxy and Heterostructures Conf., p. 122, 2003.
- [Ritenour’03] RITENOUR A., YU S., LEE M. L. et al. “Epitaxial strained germanium p-MOSFETs with HfO₂ gate dielectric and TaN Gate electrode”. In: International Electron Device Meeting Technical Digest. p. 433. 2003
- [ROBE04] J. Roberson, P.W. Peacock . “Atomic structure, band offsets, growth and defects at high-K oxide: Si interfaces”, [Microelectronics Engineering](#), Vol.72, p. 112-120, 2004.
- [Rochette08] F. Rochette, “Etude et caractérisation de l’influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures MOS avancées”, Thèse de doctorat, INPG, 2008.
- [SABNIS 79] A. G. Sabnis, J. T. Clemens, “Characterization of electron mobility in the inverted (100) surface”, IEDM Tech. Dig., p.18, 1979.
- [Sah72] C.T. Sah, T.H. Ning et L.L. Tschopp, “The scattering of electrons by surface oxide charge and by the lattice vibrations at the Si-SiO₂ interface”, [Surface Science](#), Vol.32, p. 561-75, 1972.
- [Scltuegraf’92] K F . Scltuegraf, C.C. King. and C. Hri. “Ultra-thin Silicon Dioxide Leakage Current and Scaling Limit”, IEEE, p18-19, 1992.
- [Shang 03] H. Shang, H. Okorn-Schmidt, J. Ott, P. Kozlowski et al., “Electrical characterization of germanium p-channel MOSFETs”, [IEEE Electron Device Letters](#), Vol. 24, p. 242, 2003.
- [Skotnicki’00] T. Skotnicki, “Transistor MOS et sa technologie de fabrication”, Technique de l’Ingénieur-Traité Électronique, E2430. 2000.
- [SKOTNICKI’03] T.Skotnicki et F.Boeuf, EGEM, “chapitre 3, Introduction à la physique du transistor MOS”, édition Hermès, 2003.
- [SKOTNICKI 88] T. Skotnicki, G. Merckel et T. Pedron, “The Voltage-Doping Transformation, A New Approach to the Modeling of MOSFET Short-Channel Effects”, [Electron Device Letters](#), Vol.9, p. 109, 1988.
- [Slisher’99] D. K. Slisher, R.G. Filippi, Jr., D. W. Storaska and A.H. Gay. “Scaling Of Si MOSFETs For Digital Applications”, Final Project in the “Advanced Concepts in Electronic and Optoelectronic Devices”, 1999.
- [SUN 80] S. C. Sun, J. D. Plummer, “Electron mobility in inversion and accumulation layers on thermally oxidized silicon surfaces”, [IEEE Trans. Electron Devices](#), Vol. 27, p. 1497, 1980.
- [Sze 81] S. M. Sze, “Physics of semiconductor devices”, second edition, John Wiley & Sons, 1981.

- [TAKAGI 94]** S. Takagi et al, “On the universality of inversion layer mobility in Si MOSFETs: Part I - Effects of substrate impurity concentration”, *IEEE Trans. Electron Devices*, Vol. 41, p. 2357–2362, 1994
- [Thompson05]** Thompson, S. E. (2005). “Strained Si and the future direction of CMOS. In System-on-Chip for Real-Time Applications”, Proceedings. Fifth International Workshop on, p. 14–16. 2005.
- [wang’01]** J. Wang, Y. Ma, L. Tian, and Z. Li, “Modified Airy function method for modeling of direct tunneling current in metal-oxide-semiconductor structures”, *Appl. Phys. Lett.*, Vol. 79, p. 1831-1833, 2001.
- [WATT 87]** T. Watt, J. D. Plummer, “Universal mobility-field curves for electrons and holes in MOS inversion layers”, Proc. Symp. VLSI Tech., Karuizawa, Japan, 18-21 may 1987, p81, 1987.
- [Weber 05]** O. Weber, P. Scheiblin, R. Ritzenthaler, T. Ernst et al. “A novel locally engineered (111) V-channel pMOSFET architecture with improved drivability characteristics for low-standby power (LSTP) CMOS applications”, VLSI Tech. Dig., p. 156, 2005.
- [Wilk 01]** G.D. Wilk, R. Wallace, J.M. Anthony. “High-k gate dielectrics: current status and materials properties considerations”, *Journal Applied Physics*, Vol.89, pp.5243, 2001

Chapitre II : Génération De Contraintes Dans Les Dispositifs MOS

II.1. IMPACT DES CONTRAINTES MECANQUES EN MICROELECTRONIQUES

- II.1.1. Effets néfastes des contraintes mécaniques en microélectronique
- II.1.2. L'ingénierie des contraintes mécaniques : une source de progrès en microélectronique
 - II.1.2.1. Ingénierie de substrats : canaux épitaxiés.
 - II.1.2.2. Contraintes induites par le procédé (process induced stress)
 - II.1.2.2.1. Contrainte générée par le procédé STI
 - II.1.2.2.2. Contrainte imposée par les couches de siliciures
 - II.1.2.2.3. Couche d'arrêt de la gravure des contacts CESL
 - II.1.2.2.4. Couches SiGe ou SiC enterrés dans les régions source-drain

II.2. UTILISATION DES CANAUX EPITAXIES POUR AMELIORER LE TRANSPORT DANS LES TRANSISTORS nMOS

- II.2.1. Le Silicium contraint
 - II.2.1.1. Définition
 - II.2.1.2. Croissance d'un film de Silicium sur un pseudo substrat de SiGe
 - II.2.1.2.1. Pseudo substrat de SiGe
 - II.2.1.2.2. Epaisseur critique du Si contraint
- II.2.2. Propriétés physiques de canal Silicium contraint en tension bi-axiale
 - II.2.2.1. Structure et diagramme de bande du Silicium non contraint
 - II.2.2.2. Structure de bande du canal sous contraintes
 - II.2.2.2.1. Bande de conduction
 - II.2.2.2.2. Bande de valence

II.3. RELATION ENTRE LE POURCENTAGE DE GERMANIUM ET LA CONTRAINTE INDUITE DANS LE CANAL

- II.3.1. Paramètre de maille
- II.3.2. Bandes d'énergie
- II.3.3. Mobilité des porteurs de charges
- II.3.4. Permittivité

II.4. CONCLUSION

Références bibliographiques

Chapitre II

GENERATION DE CONTRAINTES DANS LES DISPOSITIFS MOS

L'amélioration du transport électronique dans des transistors MOS submicroniques nécessite l'intégration de nouveaux matériaux. Dans ce second chapitre, nous nous intéresserons plus particulièrement à l'introduction intentionnelle d'une contrainte mécanique en tension bi-axiale au niveau du canal comme solution au remplacement de silicium de la zone active par une fine couche de silicium déposée par épitaxie sur un pseudo-substrat de SiGe afin notamment d'augmenter les performances du dispositif.

Dans un premier temps, nous aborderons l'historique concernant les contraintes mécaniques, de leur évitement à leur exploitation en microélectronique.

Dans un second temps, nous présenterons l'architecture correspondant à un canal contraint sur un matériau bien particulier, le silicium monocristallin. Les divers aspects théoriques du silicium contraint ainsi que les différentes notions indispensables à la bonne compréhension du chapitre de résultats qui viendra par la suite seront traités.

Dans la dernière partie, nous nous focaliserons sur les modèles physiques essentiels qui traitent la relation entre le pourcentage de Germanium et la contrainte induite dans le canal. Nous présenterons en particulier les modèles concernant le phénomène de la modification de la structure de bandes d'énergies.

1. IMPACT DES CONTRAINTES MECANIQUES EN MICROELECTRONIQUE

Pendant de nombreuses années, les contraintes mécaniques induites dans les structures des circuits intégrés silicium étaient perçues comme un phénomène néfaste que l'on a cherché à réduire. Ce n'est que depuis ces deux dernières décennies que, la compréhension des mécanismes responsables des contraintes ainsi que de leur maîtrise à différents niveaux d'échelles, ont commencé à devenir des sources de progrès en microélectronique, afin notamment d'augmenter les performances des dispositifs [Brillo05].

1.1. EFFETS NEFASTES DES CONTRAINTES MECANIQUES EN MICROELECTRONIQUE

En microélectronique, la fabrication des différents composants d'un circuit intégré sur une plaque de Silicium, passe par un certain nombre d'opérations technologiques de manière plus ou moins répétée. Ces opérations consistent en général à des nettoyages de surface, des oxydations, des dépôts, des recuits, des photolithographies, gravures, etc., voir Figure (2.1).

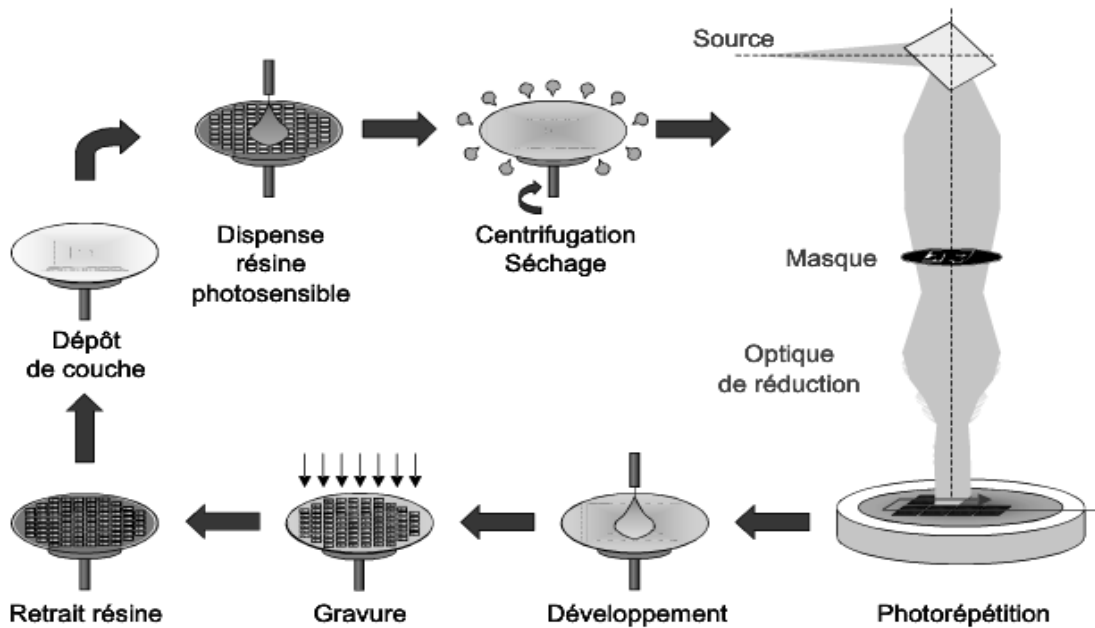


Figure. 2.1 Représentation schématique des différentes étapes technologiques permettant de réaliser des circuits intégrés [Mireille06]

Chacun de ces composants peut être schématisé par un empilement de différents matériaux en couches minces, voir Figure (2.2). Ces matériaux peuvent être des semi-conducteurs, des conducteurs ou des isolants, ayant chacun des propriétés mécaniques et des contraintes

intrinsèques différentes, (par exemple la différence de coefficient de dilation thermique α (Tableau 2.1)), afin de réaliser ces dispositifs.

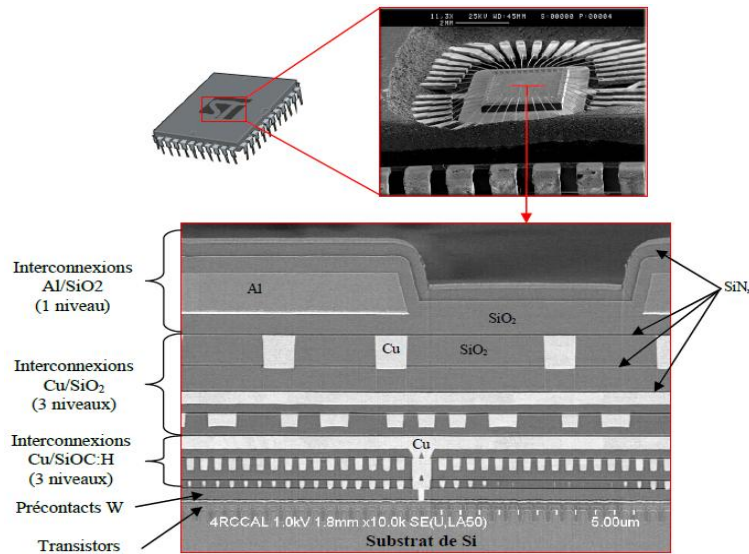


Figure. 2.2 Vue en coupe d'un circuit intégré du noeud technologique 90nm [vayrette11]

Tableau.2.1 Coefficient de dilatation thermique α des principaux matériaux utilisé lors de la réalisation d'un circuit intégré [vayrette11]

	α ($10^{-6} \text{ } ^\circ\text{C}^{-1}$)	Références
Si	~ 3	[Seel00]
SiO ₂	0.8	[Thompson96]
SiOC:H	10.8	[Thompson96]
SiN _x	2.2	[Thompson96]
SiCN:H	4.4	[Thompson96]
W	4.27	[Seel00]
Cu	16.85	[Seel00]
Al	26.36	[Seel00]

Dans les paragraphes suivants nous allons détailler quelques phénomènes élémentaires induits par les contraintes des matériaux structurés :

1.1.1. Impact de la courbure des plaques de silicium

Les contraintes mécaniques non intentionnelles des matériaux structurés, induites par chacune des opérations technologiques (oxydations, recuits, etc.) ont une influence directe sur la courbure de la plaquette de Silicium d'un circuit intégré.

La Figure (2.3) représente un exemple d'évolution de la courbure d'une plaquette de Si au cours d'un processus de fabrication d'un circuit intégré. De cette figure, nous pouvons constater que la plaquette passe plusieurs fois d'une courbure convexe à concave au cours des étapes de fabrication. De ce fait, si la courbure finale est trop importante, elle peut empêcher un contact uniforme de la plaquette avec son support [Mireille06]. Ceci peut être la cause de pertes de rendement. Par exemple, lors de certaines étapes clés telles que les recuit thermiques, la température de la plaque sera mal contrôlée, entraînant ainsi l'apparition des défauts cristallins (plan de glissement par exemple) [Mireille06].

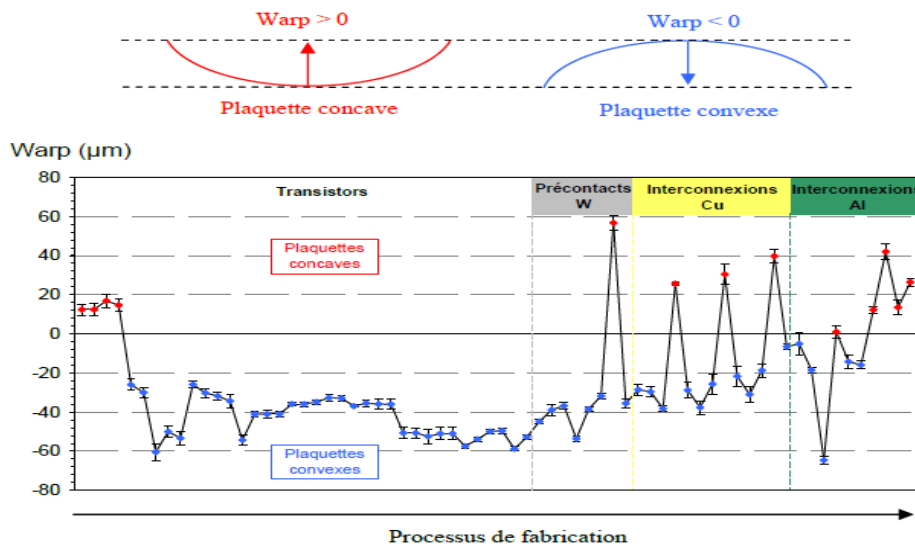


Figure. 2.3 Evolution de la courbure d'une plaquette de Silicium au cours d'un processus de fabrication d'un circuit intégré [Vayrette11]

1.1.2. Impact des défauts dans les plaques de silicium

Les différentes étapes de fabrication de la plaquette du Silicium peuvent effectivement générer des défauts cristallins ponctuels (lacunes, interstitielles, impureté substitutionnelle, etc.) ou étendus (dislocations, précipités, joints de grains, etc.) (Figure (2.4)), dans la structure. La présence de ces défauts entraîne une distorsion locale du réseau cristallin et engendre ainsi une contrainte locale dans le volume du cristal, ce qui dégrade potentiellement les propriétés électriques (courants de fuites) ou mécaniques du composant [Mireille06].

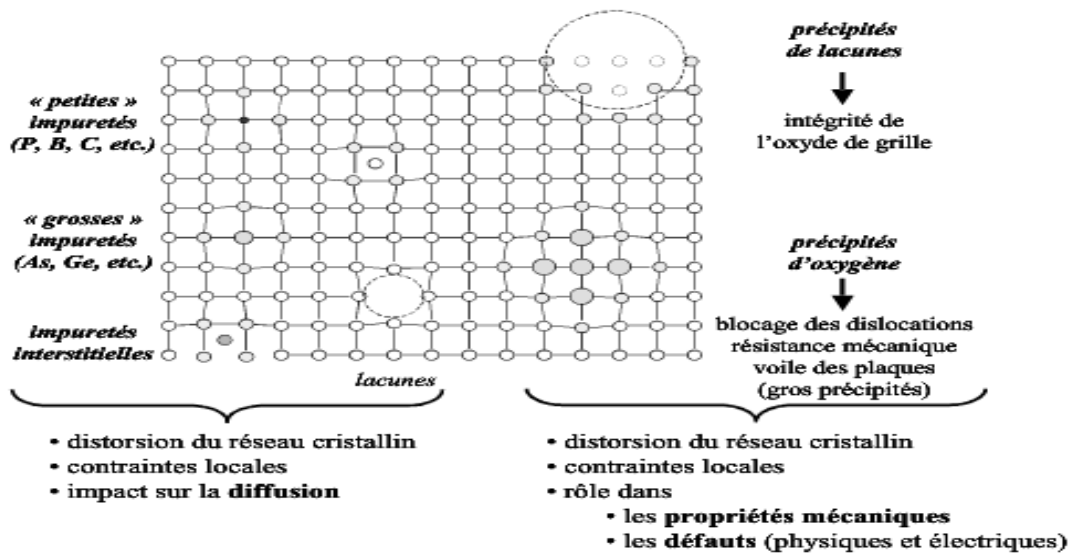


Figure. 2.4 Représentation schématisée des défauts ponctuels dans le Silicium et des précipités associés, ainsi que de leur impact principal sur le procédé de fabrication [Mireille06].

1.1.3. Défauts générés par les couches contraintes

Plus graves sont les défauts engendrés par les films déposés dans un état de contraintes sur un substrat, car elles sont très difficilement contrôlables, et dans la majorité des cas rendent les structures inutilisables. Généralement, les couches contraintes peuvent générer des défauts d'adhérences qui se manifestent sous formes de :

- Fissures et décollements des films sur le substrat pour les contraintes de tension [Fau06] : Voir Figure (2.5).
- Cloques engendrés par les contraintes de compression. Voir Figure (2.6). Ces défauts ont été largement étudiés dans la littérature [Goudeau 06], [Moo02], [Hut92], [Ser04], car ils sont plus fréquents que les fissurations.

Ces défauts dépendent principalement des épaisseurs des films, et de l'énergie d'adhésion, et ils s'expliquent par la relaxation des contraintes aux seins des films.

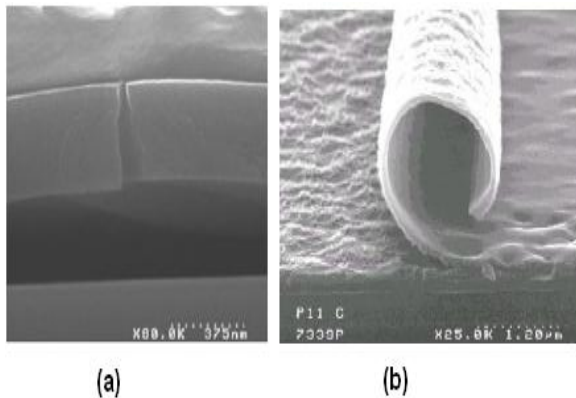


Figure. 2.5 Structures de défauts engendrés par les contraintes de tension : (a) Fissures, (b) décollement [Rochette08]

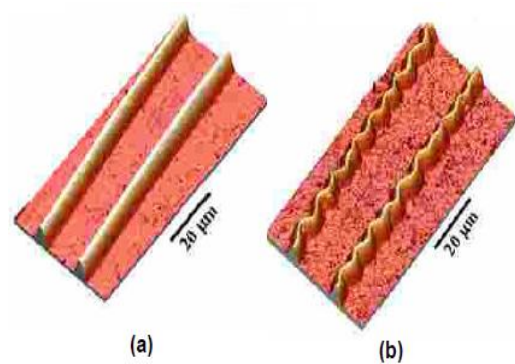


Figure. 2.6 Structures de cloquage à la surface de films engendrés par des contraintes de compression : (a) rides rectilignes (b) cordons de téléphone [Goudeau06]

1.1.4. Contraintes dans les interconnexions métalliques

Les interconnexions d'un circuit intégré sont constituées d'une multitude de couches conductrices superposées, isolées entre elles par des couches diélectriques, (figure 2.7), afin d'assurer la conduction entre les différents composants à semi-conducteurs. Au sein des interconnexions, la distribution inhomogène des contraintes thermomécaniques peut induire, un grand nombre de phénomènes néfastes. Comme par exemple la formation des cavités ou "voids" dans le cuivre [IKARASHI03], [Grégoire05], (figure 2.8). Ces cavités apparaissent dans les endroits les plus en tension et croissent grâce à la migration et la précipitation des

lacunes abondantes dans le cuivre, selon le gradient de contraintes [Hayashi05], [Wang02], [Wang05], [Chérault05]. Ce phénomène est très critique car, dans un premier temps, il augmente la résistance électrique des lignes puis, dès lors que la cavité est aussi large que la ligne, il va rompre totalement la ligne, et empêche ainsi la conduction électrique.

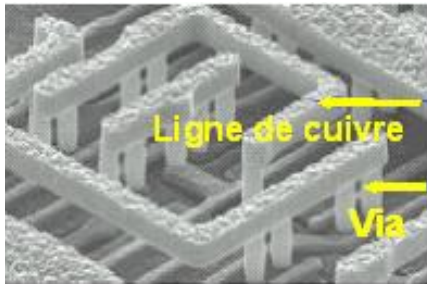


Figure. 2.7 Vue 3D de réseau d'interconnexions métalliques (après retrait du matériau diélectrique)

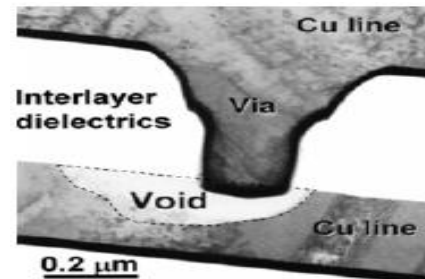


Figure. 2.8 Cavité localisée sous un via d'interconnexion, induite par un gradient de contraintes, d'après [IKARASHI03]

1.2. L'INGENIERIE DES CONTRAINTES MECANQUES : UNE SOURCE DE PROGRES EN MICROELECTRONIQUE

Depuis quelques années, l'introduction intentionnelle et maîtrisée des contraintes mécaniques dans le canal est apparue comme une source d'amélioration des performances du transistor MOS. Les industriels ont en effet réussi à augmenter la mobilité des porteurs de charge dans cette région active, en se servant de l'effet piézorésistif du silicium. C'est ce que l'on appelle l'ingénierie de contrainte. La figure (2.9) résume les différentes méthodes technologiques utilisées actuellement pour contraindre le canal.

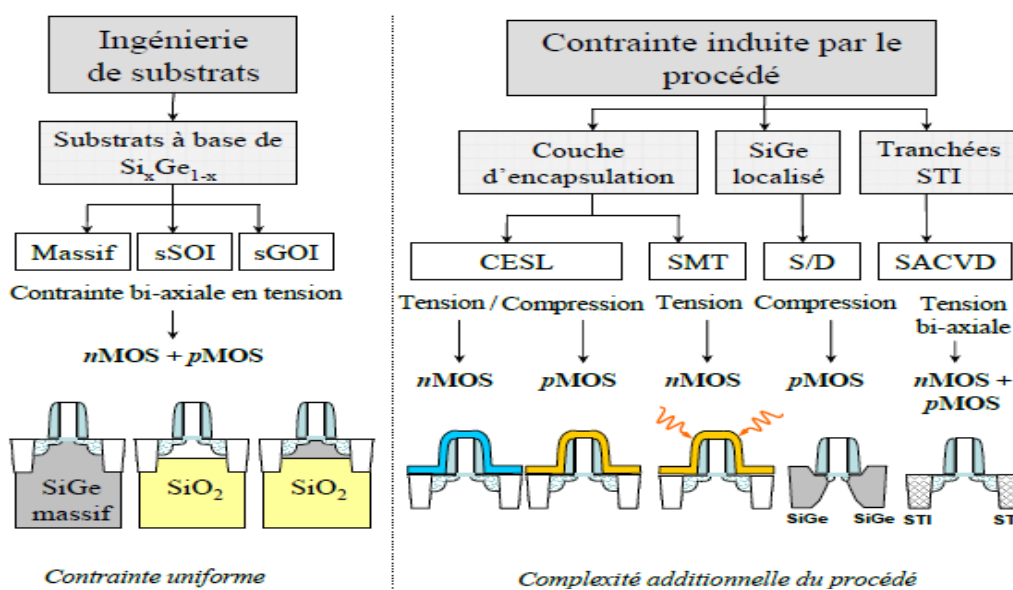


Figure. 2.9 Méthodes technologiques actuelles, pour améliorer la mobilité des porteurs de charge, basées sur l'introduction de la contrainte mécanique dans le canal.

On peut distinguer deux approches :

1.2.1. Ingénierie de substrats : *Canaux épitaxiés*

Cette approche est basée principalement sur la modification du substrat standard afin d’obtenir une contrainte dans le canal. Elle consiste à faire croître un film de Silicium par épitaxie, sur un substrat relaxé de Silicium- Germanium ($Si_{1-x}Ge_x$) possédant un paramètre de maille légèrement différent ce qui permet de modifier la taille de la maille cristalline et de créer ainsi une contrainte en tension bi-axiale uniforme sur toute la surface du film de silicium. Cependant, il est également possible d’appliquer cette technique (SRB, *strained relaxed buffer*) au substrat SOI (Silicon On Insulator), on obtient alors au cours du procédé « smart-cut » les structures (sGOI, *strained Silicon Germanium On Insulator*) [MIZUNO 99] et (sSOI, *strained SOI*) [GHYS05] tel qu’il est illustré sur la figure (2.10).

Ces différentes structures, permettent ainsi d’obtenir à la fois un gain en mobilité sur les électrons (nMOS) et les trous (pMOS) dans le canal des transistors [Rim 98].

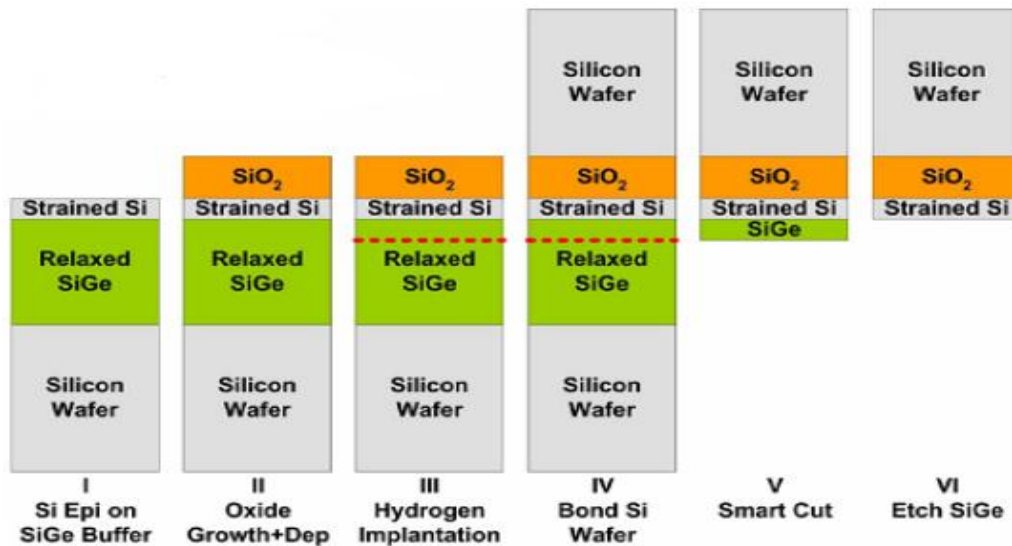


Figure. 2.10 Procédé de fabrication des structures sGOI et sSOI [OZT05], Après la gravure sélective de la couche intermédiaire de SiGe, le film Silicium garde toujours son état de contrainte.

1.2.2. Contraintes induites par le procédé (Process Induced Stress)

Les contraintes locales générées par un nombre d’étapes diverses de procédé de fabrication d’un transistor MOS telles que, l’isolement par tranchés STI, la formation des siliciures, les Couches SiC ou SiGe enterrés dans les régions source-drain, sont devenues un élément essentiel pour augmenter la mobilité des porteurs de charges dans le canal de conduction à l’égale de la réduction des dimensions. De ce fait, il est particulièrement intéressant de comprendre la manière dont ces contraintes sont induites dans le canal et d’expliquer leurs effets sur les caractéristiques piézorésistives du Silicium, c’est-à-dire leurs influences sur la mobilité des électrons et des trous. Nous illustrons ce point par les exemples suivants :

1.2.2.1. Contrainte générée par le procédé STI

Le procédé d'isolement par tranchée peu profondes (STI, 'Shallow Trench Isolation'), est une technique servant à l'isolation électrique des dispositifs adjacents (mémoires, transistors...). le STI est créé tout au début de procédé, avant la formation des dispositifs, donc au cours des différents budgets thermiques, il va subir une variation de températures, et il se peut alors qu'il se ré-oxyde en créant ainsi une compression latérale [Ortolande06], comme le montre la figure (2.11). Cette contrainte mécanique directement appliquée sur la zone active (Si) du transistor est à l'origine d'une modification de la mobilité des porteurs de charges : deux cas peuvent être distingués,

1- Dans le cas d'un transistor MOS conventionnel, le STI applique une contrainte compressive uniquement selon la direction de la largeur W du transistor [EN01], car latéralement, la distance (appelée ici "a") entre le bord de la grille et le bord du STI est suffisamment importante. L'intensité de cette compression varie alors en fonction de W . En effet, pour des transistors MOS très larges, on n'observe aucun effet, mais dès que la distance W diminue, l'intensité de la compression augmente [GALLON03], ce qui provoque une dégradation de la mobilité des porteurs.

2- Dans le régime sub-micronique, et plus particulièrement sur des transistors pMOS court ($L < 100\text{nm}$) à petites zones actives, le procédé STI est capable de générer une compression dans les deux directions, selon la largeur W et parallèlement au canal (latérale). Alors avec cette contrainte compressive pseudo bi-axiale [chanmougame05], (figure 2.12), la mobilité des trous est améliorée.

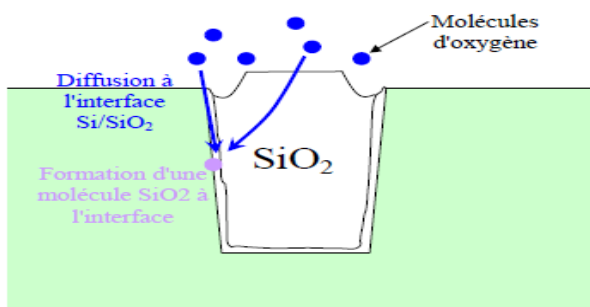


Figure. 2.11 Représentation schématique de la ré-oxydation des flancs de STI durant les différents budgets thermiques [Ortolande06]

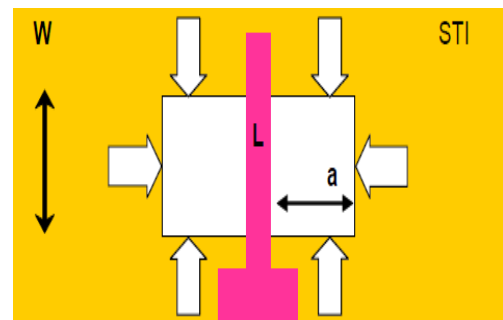


Figure. 2.12 Compression pseudo bi-axiale du STI pour pMOS conventionnel avec. $L < 100\text{nm}$ et $W < 0.5\mu\text{m}$

1.2.2.2. Contrainte imposée par les couches de siliciures

Les siliciures ont été choisis dans les applications CMOS pour leurs faibles résistivités (entre 15 et $150\mu\Omega\cdot\text{cm}$), et ce depuis les années 1970. Dans la littérature, une vaste gamme de siliciures de métaux a été considérée: initialement le siliciure de titane (TiSi_2), ayant été remplacé par du siliciure de cobalt CoSi_2 pour les technologies CMOS $0,25\mu\text{m}$ et au-delà [Maex93], puis plus récemment par le siliciure de nickel [Tu75], [d'Heurle84]. Les siliciures

dans les sources /drain et les grilles sont formés simultanément par interdiffusion d'une couche de métal et du Silicium sous-jacent. Au cours du chauffage du système métal/Si, le changement de volume entre le siliciure formé et le mélange (métal déposé et silicium) crée des contraintes en tension sur le canal du transistor (type uniaxiale), (figure 2.13).

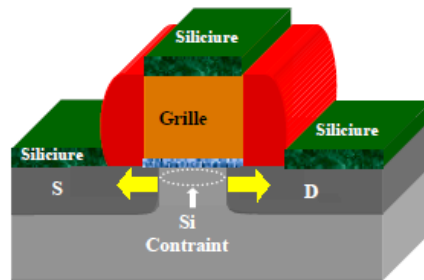


Figure. 2.13 Schéma représentatif de la contrainte au niveau du canal, partie active du transistor MOS, générée par les couches de siliciures [Ortoland06]

1.2.2.3. Couche d'arrêt de la gravure des contacts CESL

C'est à partir de la technologie 0.25µm, que les films de nitrure de silicium intrinsèquement contraints sont utilisés pour réaliser la couche d'arrêt de la gravure des contacts (CESL, Contact Etch Stop Layer). Cette couche recouvre le transistor, les zones actives de silicium et les tranchées d'isolation, afin d'éviter les dommages provoqués par la gravure dans le cas d'un mauvais alignement des contacts, voir figure (2.14).

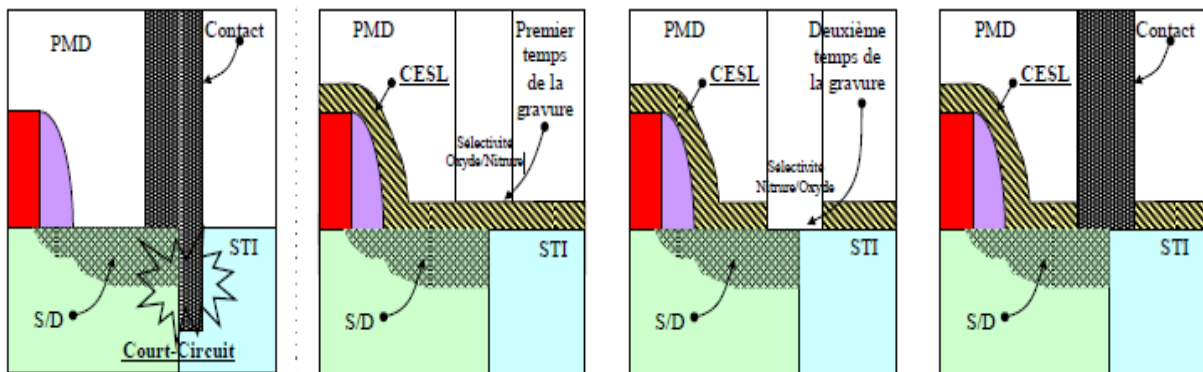


Figure. 2.14 Schéma représentatif de l'intérêt de la couche d'arrêt de la gravure des contacts appelée CESL [ortoland06]

Les propriétés mécaniques de la couche de nitrure de Silicium sont exploitées pour améliorer les performances des transistors nMOS, ou pMOS [Hsu07], [Belyanski08]. En effet, au moment du dépôt, La contrainte intrinsèque dans cette couche se transmet au canal et modifie ainsi la maille cristalline du Silicium, de ce fait la mobilité des porteurs est améliorée. Il est cependant important de noter que pour améliorer les transistors nMOS on a besoin d'utiliser des couches de nitrure contraint en tension, voir Figure (2.15), alors que pour les pMOS cela

est fondamentalement différent selon l'orientation du substrat. Dans le cas $\langle 110 \rangle$ il faut choisir un CESL en compression, alors que dans le cas $\langle 100 \rangle$ les transistors sont insensibles à la contrainte [Ortoland06].

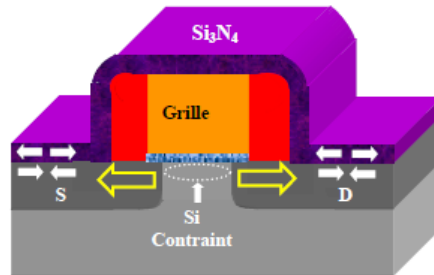


Figure. 2.15 Schéma représentatif de la contrainte en tension dans le canal de type-n créée par une couche d'arrêt de la gravure des contacts CESL.

1.2.2.4. Couches SiC ou SiGe enterrés dans les régions source-drain

La formation d'une couche de SiGe par croissance épitaxiale sélective dans les régions source et drain d'un transistor pMOS, permet d'exercer une contrainte de compression uni-axiale parallèle à la direction du transport des charges électriques dans le canal Silicium, voir Figure (2.16). Ce type de contrainte assure une augmentation de la mobilité des trous, voir figure (2.17) et dépend fortement des paramètres géométriques tels que la longueur du canal, la profondeur des jonctions source/drain [Eneman05], [Eneman06], ainsi que du procédé d'épitaxie (concentration de Ge dans l'alliage SiGe, par exemple).

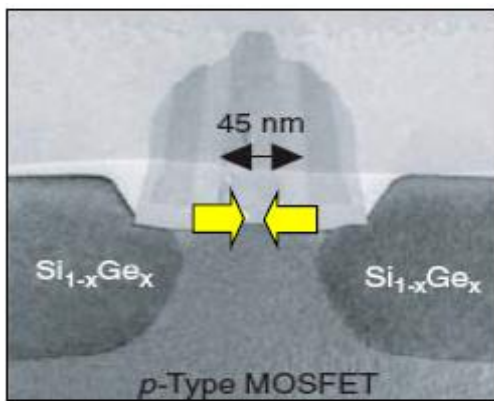


Figure. 2.16 Image TEM en « cross-section » d'un transistor pMOS une compression uni-axiale sur le canal de conduction Silicium est générée par les régions Source et Drain en SiGe [THOM04]

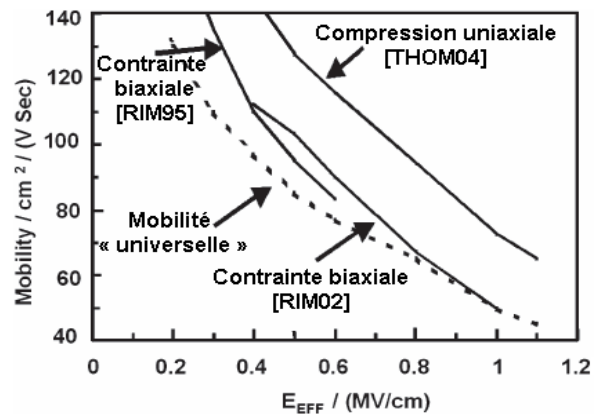


Figure. 2.17 Evolution de la mobilité des trous en fonction du champ effectif pour des couches de Silicium soumises à une contrainte bi-axiale ou uni-axiale. [THOM04]

Selon le même principe que les source/drain en SiGe, on peut utiliser des jonctions source/drain en SiC, pour les transistors nMOS. Dans ce cas une contrainte en tension est introduite dans le canal de conduction, entraînant donc une augmentation de la mobilité des électrons [Ang05].

2. UTILISATION DES CANAUX EPITAXIES POUR AMELIORER LE TRANSPORT DANS LES nMOS

Dans la première partie de ce chapitre, la maîtrise d'une contrainte mécanique par différentes approches technologiques a été présentée comme un outil incontournable pour améliorer le transport électronique dans les dispositifs MOSFET de taille fortement submicroniques. Cependant, notre choix se porte sur la méthode de canal épitaxié, en utilisant l'alliage de Silicium Germanium SiGe. Cette technique, basée sur la différence de maille entre les deux matériaux Si/SiGe, permet d'inclure une contrainte en tension bi-axiale dans le canal d'un transistor nMOS. La deuxième partie de ce chapitre est ainsi entièrement dédié à l'analyse de cette approche, nous présenterons en particulier les aspects théoriques et les propriétés physiques du canal de silicium contraint.

2.1. CANAL DE SILICIUM CONTRAINT EN TENSION BI-AXIALE

2.1.1. Définition

Une contrainte mécanique représente une force par unité de surface, elle est donc homogène à une pression. L'unité de contrainte dans le système international est le Pascal (symbole Pa). L'application d'une contrainte mécanique sur le canal d'un transistor MOS, permet d'introduire une déformation sur la maille cristalline du semi-conducteur, ce qui permet de modifier la mobilité des porteurs de charges dans cette zone. En effet une contrainte est dite en tension si elle tend à augmenter le paramètre de maille horizontal du cristal de Silicium dans la direction de la force appliquée, et de diminuer le paramètre de maille vertical pour garder le volume de la maille élémentaire identique. L'état inverse est obtenu avec une contrainte en compression, voir figure (2.18).

De plus, une contrainte sera dite uni-axiale si elle est appliquée uniquement selon la direction de conduction des charges (source/drain), et bi-axiale lorsqu'elle est appliquée dans le plan du transistor (selon deux directions), voir figure (2.19).

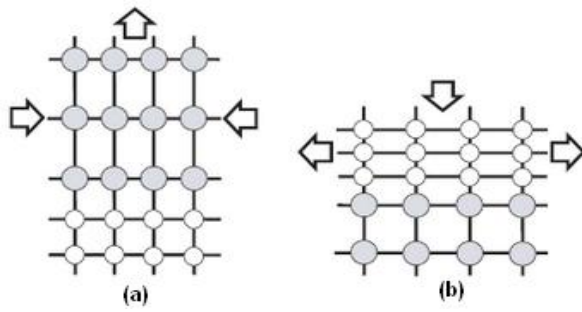


Figure. 2.18 Représentation schématique des couches sous contraintes mécaniques, a) en compression, b) en tension

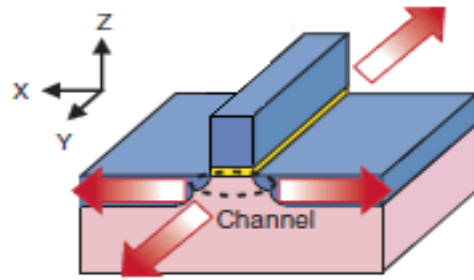


Figure. 2.19 Schéma représentatif d'une contrainte bi-axiale dans le canal du transistor MOSFET

Actuellement, les alliages de silicium-germanium (SiGe) sont les alliages les plus employés dans l'industrie de la microélectronique, pour la fabrication des composants MOS à canal contraint. En effet, pour le système silicium / germanium, le paramètre de maille du germanium est plus grand de 4,18% que celui du silicium (cf, Tableau 2.2), l'alliage (SiGe) a également un paramètre de maille supérieur à celui du silicium.

En conséquence, les couches de SiGe vont être contraintes en compression bi-axiale dans le plan de croissance lors de leur épitaxie sur un substrat de silicium. Ce qui sera favorable pour augmenter la mobilité des trous, ceci implique qu'une jonction (SiGe-Si) concerne l'amélioration des performances des transistors PMOS.

Inversement, une fine couche de silicium se trouvera en tension bi-axiale dans le plan si on l'a fait croître sur un substrat de SiGe relaxé. L'hétéro-structure (s-Si/SiGe) est la plus intéressante pour les transistors MOS à canal de type n, en termes de gain en mobilité pour les électrons.

Tableau.2.2 Propriétés structurales et électriques du Silicium et du Germanium à température ambiante. (Les valeurs de coefficients thermiques, de gap et des mobilités sont respectivement issues de [Rochette08] [BRAUN58] et [HALL06]).

	Silicium	Germanium
Paramètre de maille (nm)	0,5431	0,56575
Densité (Atomes.cm ⁻³)	5*10 ²²	4,42*10 ²²
Rayon atomique (Å)	0,117	0,122
Structure cristalline	Diamant (CFC)	Diamant (CFC)
Gap indirect (eV)	1,1	0,66
Mobilité des électrons (cm ² /V.s)	1500	3900
Mobilités des trous (cm ² /V.s)	450	1900
Coéfficients thermiques (x10 ⁻⁶ K ⁻¹)	4,27	8,55

2.1.2. Croissance d'un film de Silicium sur un pseudo substrat de SiGe

Dans le cas de la croissance d'un film de Silicium par épitaxie sur un substrat de Silicium-Germanium ($\text{Si}_{1-x}\text{Ge}_x$) relaxé, la maille de Silicium possédant un paramètre légèrement inférieur à celui de SiGe va se déformer pour adopter le même paramètre imposé par le pseudo-substrat, ce qui permet de créer ainsi une contrainte en tension bi-axiale uniforme sur toute la surface du film de silicium, voir figure (2.20).

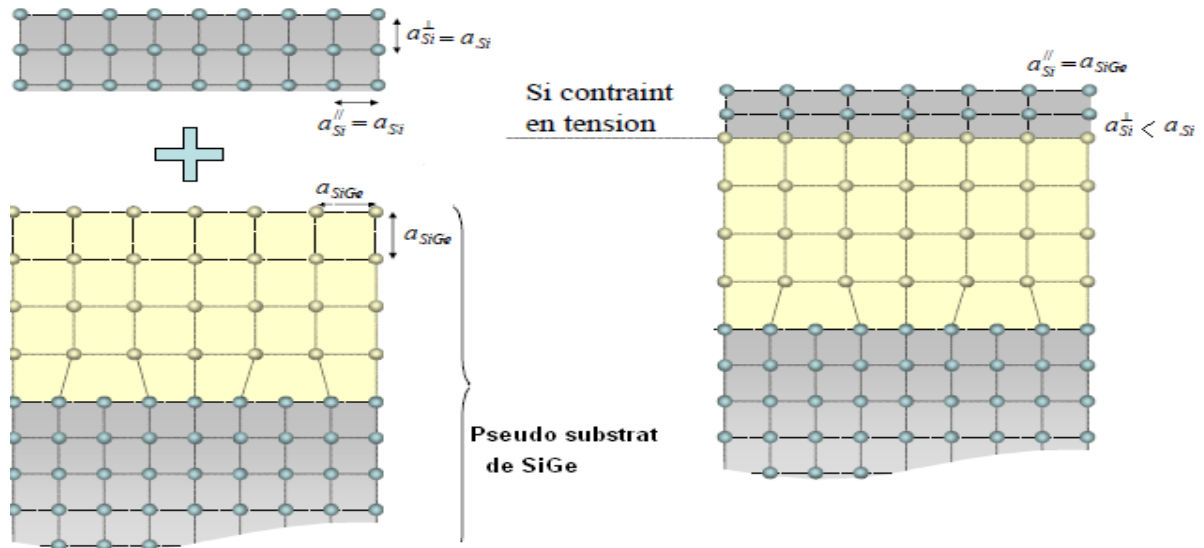


Figure. 2.20 Film de silicium contraint en tension bi-axiale par un pseudo-substrat de SiGe.

2.1.2.1. Pseudo substrat de SiGe

Lorsqu'on fait croître une couche de SiGe sur un substrat de silicium, son paramètre de maille va s'adapter au substrat dans le plan de la croissance, dans ce cas une contrainte compressive est créée, voir figure (2.21 - a). Mais au-delà d'une certaine épaisseur dite épaisseur critique, des dislocations sont introduites à l'interface entre la couche et le substrat, permettant la transition de la couche de SiGe d'un état contraint à un état relaxé. Ainsi, cette couche relaxée va adopter en surfaces le même paramètre de maille qu'un substrat de $\text{Si}_{1-x}\text{Ge}_x$: on nommera un tel empilement un pseudo-substrat de $\text{Si}_{1-x}\text{Ge}_x$, voir figure (2.21 -b).

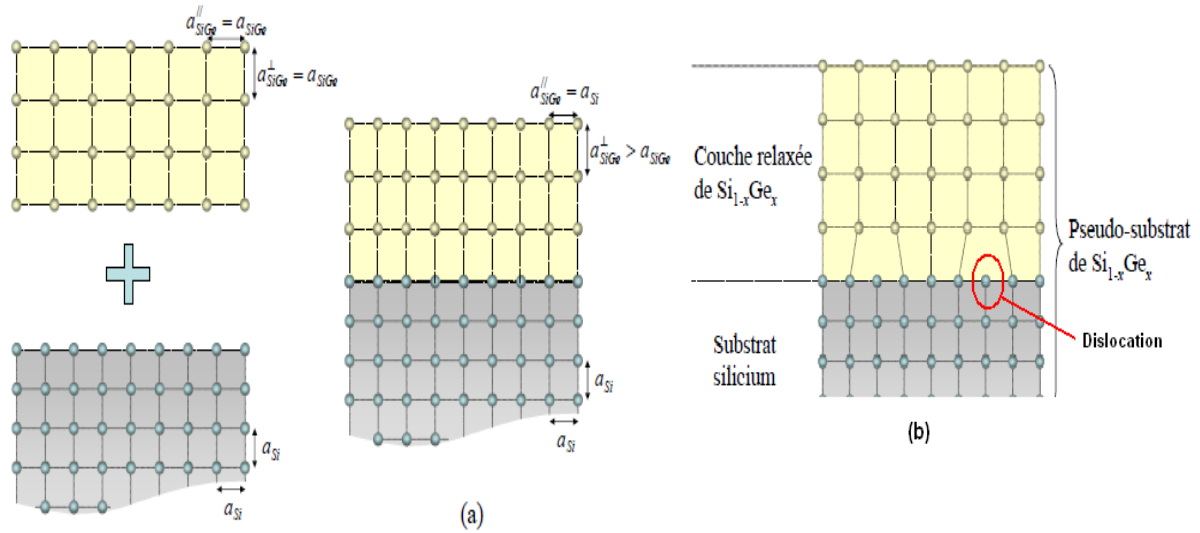


Figure. 2.21 a) Croissance épitaxiale d'une couche de $\text{Si}_{1-x}\text{Ge}_x$ sur un substrat de silicium, b) Empilement constituant un pseudo-substrat de SiGe

2.1.2.2. Epaisseur critique du Si contraint

L'épaisseur critique de relaxation d'une couche de Silicium contraint dépend de la concentration en germanium du substrat de SiGe. Plusieurs modèles existent dans la littérature pour prédire l'épaisseur critique. On peut citer entre autres celui développé par Samavedam et al [Samav99], dont une épaisseur critique de 20.5nm a été calculée pour un pourcentage en germanium de 20%. D'autre part une valeur d'épaisseur critique a été déterminée autour de 17nm pour un silicium contraint sur $\text{Si}_{0.75}\text{Ge}_{0.25}$. [Nayak93].

2.2. PHYSIQUE DU CANAL DE SILICIUM CONTRAINT

2.2.1. Structure cristalline et diagramme de bandes du silicium non contraint

Le silicium présente une structure dérivée du système cubique à faces centrées (cfc), de type diamant, qui est constituée de deux sous réseaux, décalé l'un par rapport à l'autre du quart de la diagonale principale, comme illustrée sur la Figure (2.22 -a). Chaque atome du Silicium est au centre d'un tétraèdre, et est lié par des liaisons covalentes à ses quatre plus proches voisins, voir figure (2.22-a).

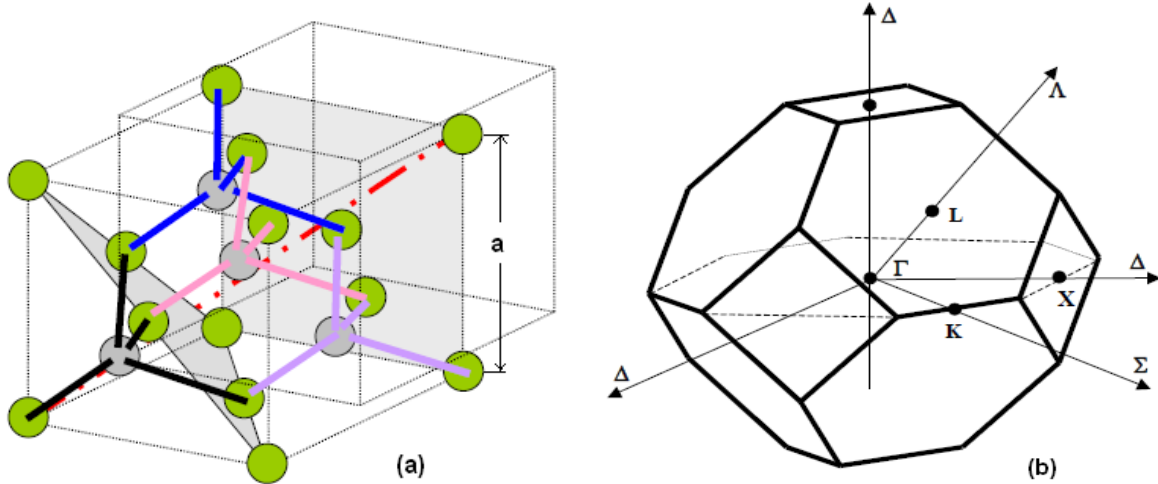


Figure. 2.22 a) La structure cristalline du silicium, b) Première zone de Brillouin du silicium

2.2.1.1. Bande de conduction du silicium non contraint

Le minimum de la bande de conduction du Silicium non contraint se situe à une distance approximative de 0.85 du centre de la zone de Brillouin, sur le chemin Γ -X, dans la direction $[100]$ appelée Δ . Le Silicium étant un cristal cubique, il existe alors 6 directions équivalentes: $[100]$, $[\bar{1}00]$, $[010]$, $[0\bar{1}0]$, $[001]$ et $[00\bar{1}]$. Ce qui donne 6 minima équivalents, également appelés vallées Δ .

La figure (2.23) représente les deux familles des vallées Δ , d'une part les vallées Δ_2 dégénérées 2 fois, situées suivant la direction $[001]$ perpendiculaire au plan de conduction des électrons, et les vallées Δ_4 dégénérées 4 fois, dont l'axe de révolution est orienté selon les directions $[100]$ et $[010]$ dans le plan de conduction des électrons.

Ainsi, des surfaces ellipsoïdales iso-énergies sont alors disposées autour de chaque minimum d'énergie [MATHIEU98], avec une masse longitudinale (m_l) de $0.916m_0$, et une masse transverse (m_t) de $0.19m_0$ (m_0 étant la masse de l'électron dans le vide $m_0 = 0,910956 \cdot 10^{-30}$ kg).

De ce fait, l'application d'un champ électrique \vec{E} dans la direction $[010]$ par exemple, entraînant le mouvement des électrons occupant la vallée Δ_2 avec une masse effective transverse m_t . Tandis que, les électrons occupants la vallée Δ_4 , leur conduction dans ce cas, sera avec une masse longitudinale m_l , voir figure (2.24).

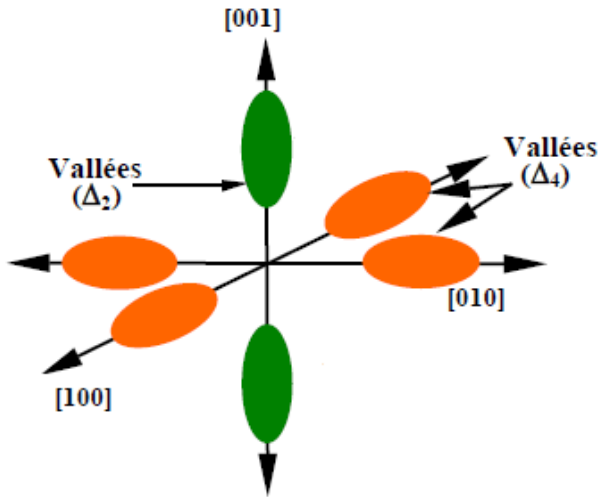


Figure. 2.23 Représentation des deux familles des vallées Δ_2 et Δ_4 de la bande de conduction du Silicium non contraint.

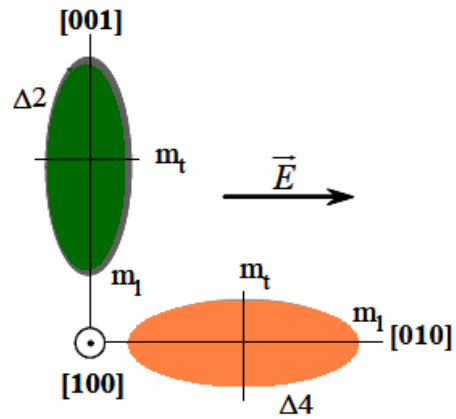


Figure. 2.24 Représentation schématique des surfaces ellipsoïdales autour de chaque minimum d'énergie, m_t est la masse transversale (petit axe) et m_l est la masse longitudinale (grand axe)

2.2.1.2. Bande de valence du Silicium non contraint

Le sommet de la bande de valence du Silicium non contraint situé au centre de la zone de Brillouin Γ , en $k=0$, constitue un point de convergence de deux bandes, la bande de trous légers ou "Light Holes" (LH), et la bande de trous lourds ou "Heavy Holes" (HH). En dessous desquelles se situe la troisième bande constituant la bande de valence appelée la bande de "Split Off" (SO), à une énergie légèrement plus basse par rapport aux deux premières ($\Delta_0=44\text{meV}$), voir figure (2.25).

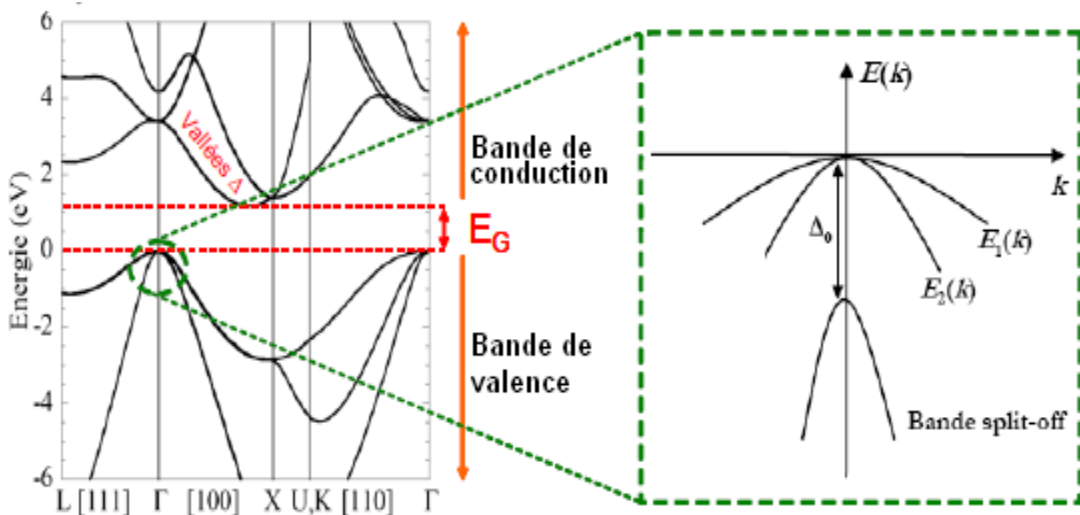


Figure. 2.25 Structure de bande du silicium d'après [Richar 04] ; zoom : représentation schématique du sommet de la bande de valence [Rochette 08]

2.2.2. Structure de bande du canal de Silicium sous contrainte en tension bi-axiale

2.2.2.1. Bande de conduction

La mise sous contrainte en tension bi-axiale du film de silicium actif par la croissance épitaxiale de celui-ci sur un substrat virtuel de silicium-germanium ($\text{Si}_{1-x}\text{Ge}_x$) présentant une concentration atomique en Germanium inférieure à 50 at.%, entraîne une modification de la structure de bande de conduction du Silicium. La figure (2.26) illustre cet effet et montre une levée partielle de la dégénérescence du minimum de la bande de conduction suivant les deux vallées Δ_2 .

Il en résulte alors, une population préférentielle des électrons dans les deux vallées (Δ_2), voir figure (2.27), dans ce cas c'est la masse effective transverse qu'il faut prendre en compte pour la contribution en conduction.

De ce fait, la séparation en énergie des deux groupes de vallées Δ_2 et Δ_4 est à l'origine d'une part de la réduction de la masse effective de conduction, voir figure (2.28) et d'autre part de la diminution des interactions avec les phonons inter-vallées, entraînant ainsi une amélioration de la mobilité des électrons [currie04], [Vogel03], [Fichetti96].

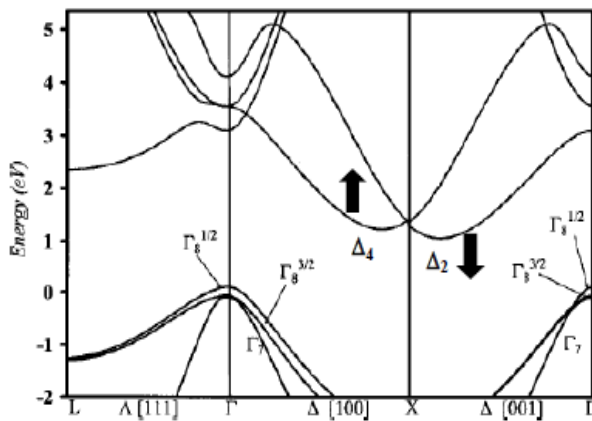


Figure. 2.26 Structure de bande du Silicium sous contrainte en tension bi-axiale.

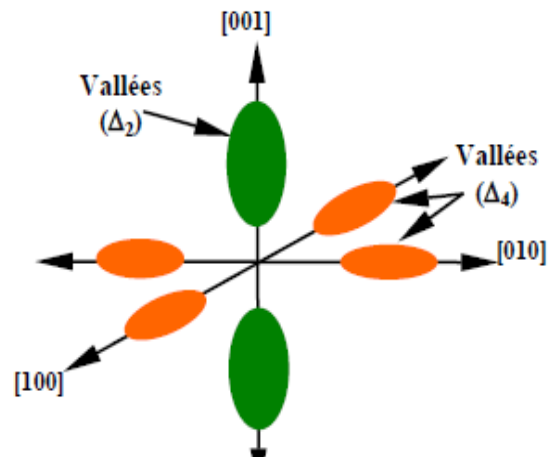


Figure. 2.27 Distribution des électrons dans les vallées Δ_2 et Δ_4 du silicium contraint

L'effet d'augmentation de la mobilité des électrons dans le canal de conduction en fonction de la concentration en germanium, grâce à l'utilisation d'une contrainte en tension bi-axiale a pu être mis en évidence par beaucoup de recherches comme le montre la Figure 2.29.

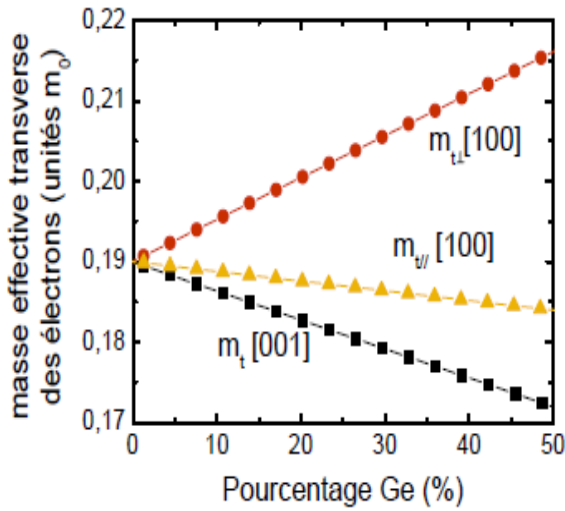


Figure. 2.28 Évolution de la masse effective transverse des électrons avec une contrainte en tension bi-axiale (correspondance % Ge). [100] correspond aux vallées Δ_4 , et [001] correspond aux vallées Δ_2 [Richard03]

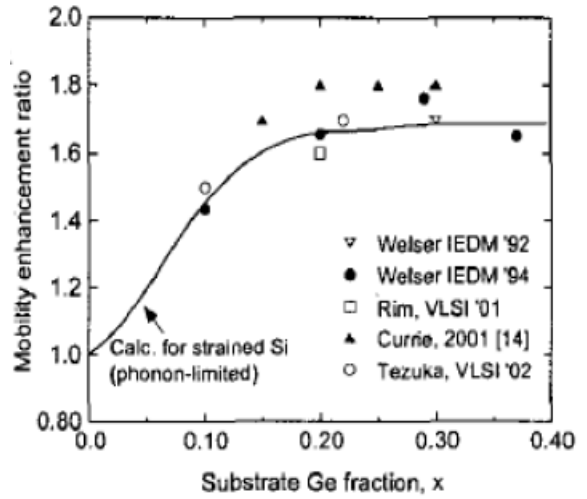


Figure. 2.29 Évolution du facteur d'amélioration de la mobilité maximale des électrons d'un canal s-Si/SiGe en fonction de la concentration en Ge [Hoyt02]

2.2.2.2. Bande de valence

Quant aux bandes de valence, l'introduction de la contrainte en tension bi-axiale dans le canal entraîne une levée de la dégénérescence entre la bande de trous lourds (HH) et la bande de trous légers (LH) dont le maximum d'énergie est supérieur à celui du matériau non contraint [PAKF03].

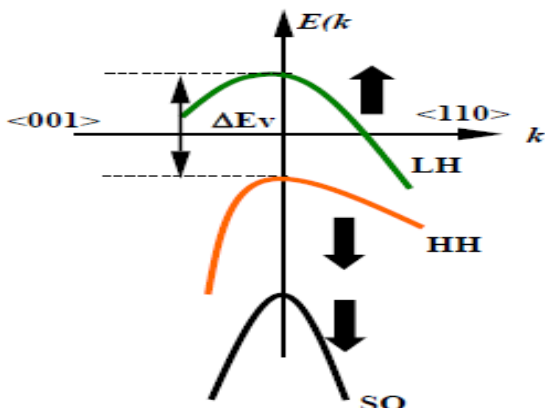


Figure. 2.30 Diagramme $E(k)$ de la bande de valence du Silicium contraint en tension bi-axiale

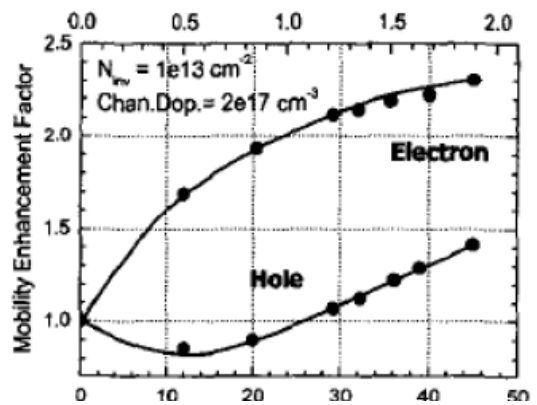


Figure. 2.31 Évolution du gain en mobilité pour les électrons et les trous sous contrainte en tension bi-axiale en fonction de la concentration en Ge [Rim03]

La séparation en énergie ΔE entre les deux bandes (LH) et (HH) est de l'ordre de 38- 40meV par un pourcentage en Germanium de 10% [Ober98], [Nayak94]. L'effet de cette contrainte est illustré sur la figure (2.30). De cette figure on montre que la sous bande des trous légers est décalée vers les hautes énergies au-dessus de la bandes de trous lourds. En effet cette bande sera énergétiquement plus favorable et sera généralement peuplée. La conduction se fait alors par des trous majoritairement légers. Ceci entrainera une amélioration de la mobilité des trous [Fichetti96], voir figure (2.31).

3. RELATION ENTRE LE POURCENTAGE DE GERMANIUM ET LA CONTRAINTE INDUITE DANS LE CANAL

Le niveau de contrainte induite dans le canal dépend des conditions du procédé (la différence des coefficients thermiques des deux matériaux (Si/ SiGe), voir Tableau (2.2)), et surtout de la fraction molaire de germanium dans l'alliage SiGe. Dans cette partie on se propose de rappeler les modèles physiques existants dans la littérature qui traitent la relation entre le pourcentage de Germanium et la contrainte générée dans le canal.

3.1. PARAMETRE DE MAILLE

La valeur du paramètre de maille de l'alliage $Si_{1-x}Ge_x$ en fonction de la proportion x en germanium est extrapolée linéairement entre le paramètre de maille du Silicium a_{Si} (5.431Å) et celui du germanium a_{Ge} (5.6575Å) par la loi de Vegard [Végard], [Polleux01]. On obtient ainsi la relation suivante :

$$a_{Si_{(1-x)}Ge_x} = a_{Si}(1 - x) + a_{Ge}x \quad (II.1)$$

On peut également déterminer par une loi parabolique décrite à l'aide des valeurs mesurées expérimentalement [Dismukes64], l'évolution du paramètre de maille de l'alliage SiGe avec sa concentration x en Germanium comme suit :

$$a_{Si_{(1-x)}Ge_x} = 0.00263x^2 + 0.0205x + 0.543105 \quad (II.2)$$

Cependant, les valeurs mesurées montrent une faible déviation autour de loi de Vegard, voir Figure (2.32).

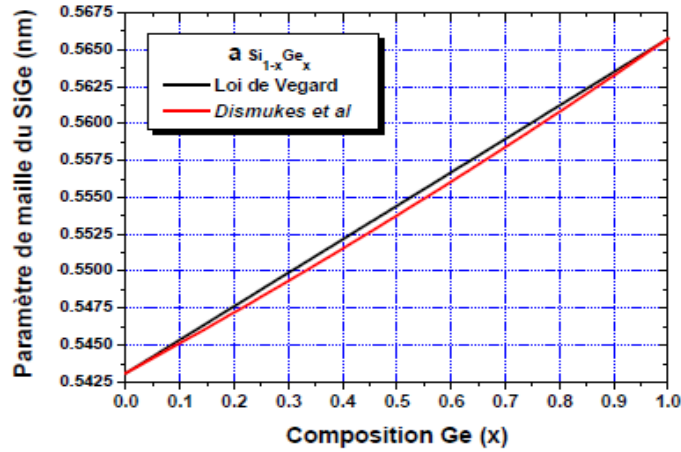


Figure. 2.32 Comparaison entre la loi de Vegard et la loi parabolique obtenue par Dismukes pour déterminer la valeur du paramètre de maille de l'alliage SiGe

3.2. BANDES D'ENERGIE

3.2.1. Rétrécissement de la largeur de la bande interdite

3.2.1.1. Silicium en tension sur pseudo-substrat de SiGe (sSi /Si Ge_x relaxé)

La contrainte en tension bi-axiale générée dans le film de Silicium déposé par épitaxie sur un pseudo-substrat de SiGe (s-Si/Si Ge_x relaxé) a une influence significative sur la modification de la structure de bandes. En effet, la largeur de la bande interdite de la fine couche de Silicium contraint, devient une fonction de la fraction molaire x de Germanium de matériau Si_{1-x}Ge_x comme suit [Himanshu09], [Zang05]:

$$Eg_{s_Si}(x) = Eg_{Si} - \Delta Eg_{s_Si}(x) [eV] \tag{II.3}$$

Avec :

Eg_{s-si(x)}, est la différence entre le niveau haut de la bande de valence et le niveau bas de la bande de conduction du silicium contraint.

Eg_{Si}, étant l'énergie de la bande interdite du Silicium (1.12 eV à température ambiante).

ΔEg_{s-si(x)}, représente le rétrécissement de la largeur de la bande interdite du Si contraint.

Dans ce cas, M. J. Kumar [Kumer 07] a démontré que le rétrécissement de la largeur de bande interdite du Si contraint varie linéairement en fonction de la fraction molaire x en germanium. Le terme ΔEg_{s-si(x)} qui définit la réduction de bande interdite s'écrit alors [Kumer 07]:

$$\Delta E_{g_{s_Si}}(x) = 0.4x \text{ [eV]} \quad (\text{II.4})$$

3.2.1.2. *Si_{1-x}Ge_x relaxé sur un substrat Si bulk (Si_{1-x}Ge_x relaxé/Si)*

L'effet le plus direct qui peut être observé dans le film de SiGe relaxé consiste en le rétrécissement de la distance séparant la bande de valence de la bande de conduction ($\Delta E_{g_{SiGe}}$), lorsque la concentration de germanium dans l'alliage SiGe augmente. Ceci a effectivement été traité théoriquement par un ensemble de références bibliographiques, conduisant à diverses expressions de ($\Delta E_{g_{SiGe}}$) en fonction de x (x étant le % en Germanium). Ce rétrécissement ($\Delta E_{g_{SiGe}}$) est donné sous la forme d'une relation linéaire (2.6) en fonction de x par [Kumer07]:

$$\Delta E_{g_{SiGe(x)}} = 0.467x \text{ [eV]} \quad (\text{II.5})$$

3.2.2. Alignement de bandes d'énergie

Quand on met en contact deux semi-conducteurs (A) et (B), leurs bandes d'énergies s'alignent dans une configuration précise créant ainsi différents types de systèmes. Ceux -ci sont résumés dans la figure (2.33). En fonction de la localisation des porteurs de charges, on parle de l'alignement de bande de type I, de type II ou de type III.

- Dans l'alignement de bande de type I, la bande interdite du matériau (A) est plus large que celle du matériau (B), et cette dernière se trouve incluse dans la bande interdite du matériau grand gap. Dans ce cas, l'électron comme le trou se trouvent dans le matériau (B).
- Dans le cas de l'alignement de bande de type II, soit le minimum de la bande de conduction, ou le maximum de la bande de valence du matériau (A) se trouve à l'intérieur de la bande interdite du matériau (B). Cela donne une hétéro structure dans laquelle les électrons et les trous ont tendance à ne pas se retrouver dans le même matériau.
- Enfin, l'alignement de bande type III, est un cas particulier du type II, dans lequel soit le bord de la bande de valence, ou celui de la bande de conduction du matériau (A) est quasiment aligné avec un des bords de bandes du matériau (B), dans ce cas un seul type de porteurs est affecté. Ce type de système est utile lorsque l'on veut bloquer ou favoriser un des porteurs sans perturber l'autre. C'est le cas par exemple des hétéro structures SiGe/Si.

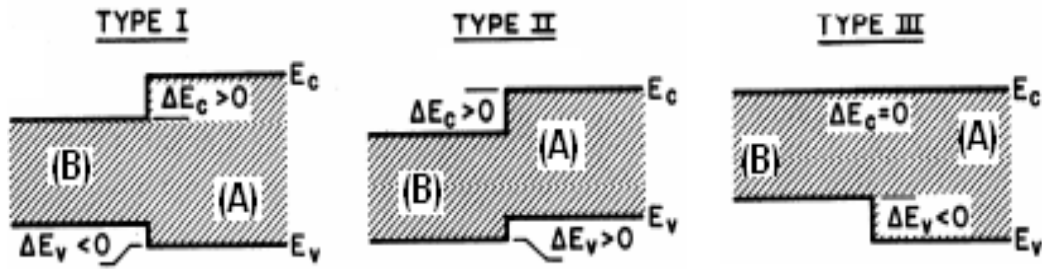


Figure. 2.33 Classification des différents types d'alignement des bandes dans les hétéro-structures d'après [Sze81]

3.2.2.1. silicium en tension sur un pseudo- substrat de SiGe (sSi /SiGe_x relaxé)

Dans ce cas, la largeur de la bande interdite de la fine couche de Silicium en tension étant différente de celle du substrat virtuel de SiGe, on obtient des discontinuités de bande de conduction (ΔE_{Cs}) et de valence (ΔE_{Vs}) qui sont de même signe, figure (2.34).

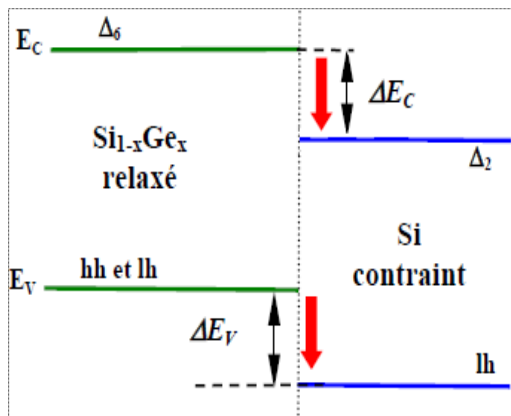


Figure. 2.34 Alignement de bandes pour un empilement (sSi /Si Ge_x relaxé)

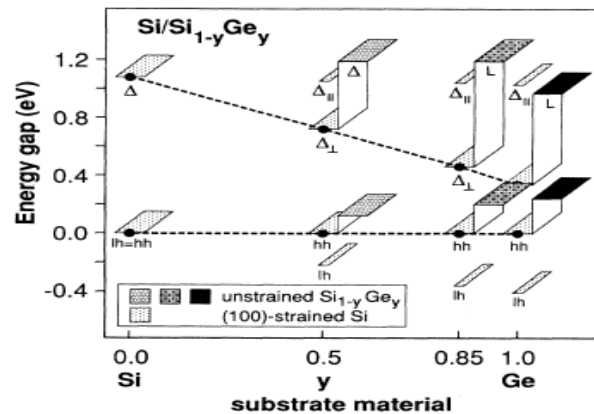


Figure. 2.35 Énergie de gap en fonction de la fraction molaire x de germanium pour un empilement (sSi /Si Ge_x relaxé) [Riger93]

C'est ce qu'on appelle l'alignement de bande de type II. En effet, un décalage de bande de l'ordre de 6 meV par pourcentage de Germanium est obtenue à la fois pour la bande de conduction et de valence [LIU05]. Cependant, pour une composition en Germanium (Ge=10%), l'offset (ΔE_{Vs}) sur la bande de valence est déterminé par [Yang04] de l'ordre de 21meV, et 58meV pour (ΔE_{Cs}). Enfin, Riger [Riger93] a démontré que le décalage énergétique de bandes sera d'autant plus important que la concentration x en Germanium dans le substrat soit forte, voir figure (2.35).

Si maintenant on exprime la variation du décalage énergétique de bandes en fonction de la

concentration en Germanium, on a les relations données par:

$$\left\{ \begin{array}{l} \Delta E_{C_{S-Si}} = 0.6x \text{ [eV]} \\ \Delta E_{V_{S-Si}} = 0.57x \text{ [eV]} \end{array} \right. \quad \text{par [Kumar07]} \quad (II.6)$$

$$\left\{ \begin{array}{l} \Delta E_{C_{S-Si}} = 0.63x \text{ (0 < x < 0.4) [eV]} \\ \Delta E_{V_{S-Si}} = 0.74x - 53x^2 \text{ (0 < x < 0.4) [eV]} \end{array} \right. \quad \text{par [people86]} \quad (II.7a)$$

$$\left\{ \begin{array}{l} \Delta E_{C_{S-Si}} = 0.63x \text{ (0 < x < 0.4) [eV]} \\ \Delta E_{V_{S-Si}} = 0.74x - 53x^2 \text{ (0 < x < 0.4) [eV]} \end{array} \right. \quad (II.7b)$$

3.2.2.2. SiGe relaxé sur un substrat Si

Par ailleurs, pour une couche de SiGe relaxé sur un substrat Si, les discontinuités de bandes de valences (ΔE_{Vs}) et de conduction (ΔE_{Cs}) à l'interface, sont de signes opposés, figure (2.36).

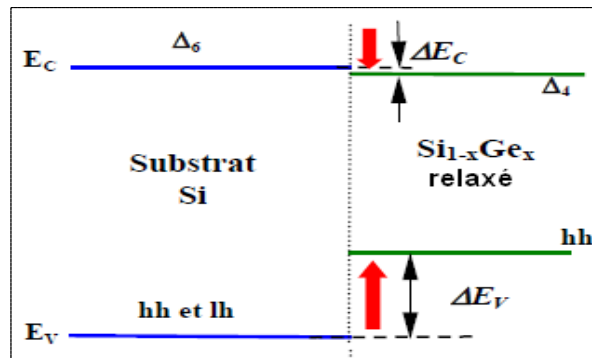


Figure. 2.36 Alignement de bandes pour un empilement (Si Ge_x relaxé/Si)

Dans ce cas, l'offset (ΔE_{Cs}) sur la bande de conduction étant négligeable, on obtient un décalage énergétique uniquement sur la bande de valence.

Le décalage énergétique de bande dans le cas de d'un empilement SiGe/Si, en fonction de la concentration en Germanium est donné par les expressions suivantes :

$$\left\{ \begin{array}{l} \Delta E_{C_{S-SiGe}} \approx 0, \text{ [eV]} \\ \Delta E_{V_{S-SiGe}} = \Delta E_{g_{SiGe}} = 0.467x \text{ [eV]} \end{array} \right. \quad \text{par [Kumar 07]} \quad (II.8a)$$

$$\left\{ \begin{array}{l} \Delta E_{V_{S-SiGe}} = \Delta E_{g_{SiGe}} = 0.467x \text{ [eV]} \end{array} \right. \quad (II.8b)$$

3.3. MOBILITE DES PORTEURS DE CHARGES

Comme nous venons de le voir, il est possible grâce au procédé "Ingénierie de substrat", d'exercer une contrainte en tension bi-axiale sur le canal de conduction. Cette approche

présente un intérêt important pour améliorer à la fois la mobilité des électrons et des trous des transistors, notamment ceux de type n. Le model traitant ce paramètre de transport électronique en fonction de la fraction molaire x en Germanium est donné par les relations (II.9) et (II.10). La mobilité des électrons μ_n est donnée par l'expression suivante [Jin10] :

$$\mu_n = \begin{cases} \mu_{0n}(N) \times (1 + 7.969x - 10.90x^2), & (0 \leq x \leq 0.15) , & (II.9a) \\ \mu_{0n}(N) \times (1.789 + 1.708x - 2.663x^2), & (0.15 \leq x \leq 0.4) , & (II.9b) \end{cases}$$

Et l'expression de la mobilité des trous μ_p est donnée par [Arora82] :

$$\mu_p = \mu_{p0}(1 + 4.31x - 2.28x^2) \quad (II.10)$$

Avec : μ_{n0} est la mobilité des électrons à faible champ électrique.

Et μ_{p0} est la mobilité des trous à faible champ électrique.

Les grandeurs μ_{n0} et μ_{p0} seront analysées par la suite dans le chapitre III.

3.4. CONSTANTE DIELECTRIQUE

La valeur de la constante diélectrique du matériau $\text{Si}_{1-x}\text{Ge}_x$ dépend de la concentration x en Germanium. La loi de Vegard permet une modélisation de la constante diélectrique ϵ_{SiGe} tenant compte de la concentration en Ge [Pejčinovic89], [Danaie07] :

$$\epsilon_{(\text{Si}_{(1-x)}\text{Ge}_x)} = \epsilon_{(\text{Si})} + \left(x(\epsilon_{(\text{Ge})} - \epsilon_{(\text{Si})}) \right) \quad (II.11)$$

ϵ_{Si} , ϵ_{Ge} sont les constantes diélectriques du Silicium et du germanium respectivement, avec $\epsilon_{\text{Si}}= 11.9$ et $\epsilon_{\text{Ge}}=16$ [Sze81]

4. CONCLUSION

La première partie de ce second chapitre est consacrée à l'étude de l'impact des contraintes mécaniques en microélectronique, de leur évitement à leur utilisation dans l'industrie des semi-conducteurs. Dans un premier temps, nous avons donné quelques exemples de contraintes mécaniques que l'on rencontre dans les films minces déposés, en montrant leurs effets néfastes, qui peuvent entraîner l'endommagement des structures réalisées. Dans un second temps, nous avons mis en évidence l'intérêt de la maîtrise des contraintes mécaniques. En effet, de nombreuses approches technologiques sont exposées: méthodes des canaux

épitaxiés, et les techniques des contraintes induites par le procédé, qui sont considérées comme des sources d'amélioration du transport électronique dans le canal des dispositifs fortement submicroniques.

Dans une deuxième étude, nous avons abordé l'architecture du transistor nMOS à canal de silicium contraint. Pour cela, nous sommes tout d'abord revenus en détails sur l'ensemble des points théoriques et physique nécessaires à une bonne compréhension de la structure de Silicium monocristallin. Ensuite, nous avons étendu notre étude au Silicium contraint en tension bi-axiale qui constitue le centre de notre travail.

Enfin, dans la dernière partie, nous avons utilisé une approche simple des équations modélisant la contrainte en tension bi-axiale dans le canal du transistor nMOS, afin notamment de relier la valeur de la concentration en Germanium aux grandeurs physiques telles que bande d'énergie, la mobilité de porteurs, la constante diélectrique, etc.

Références bibliographiques

- [Ang05] K.-W. Ang, K.-J. Chui, V. Bliznetsov, Y. Wang, L.-Y. Wong, C.-H. Tung, N. Balasubramanian, M.-F. Li, G. Samudra and Y.-C. Yeo; “Thin Body Silicon-on-Insulator N-MOSFET with Silicon-Carbon Source/Drain Regions for Performance Enhancement”; *IEDM Tech. Dig.*; p. 497-500; 2005
- [Arora82] Arora .N.D, Hauser J.R, and Roulston D.J., “Electron and hole mobilities in silicon as a function of concentration and temperature”. *IEEE.Trans. Electron Device*. Vol.29, p. 292, 1982
- [Belyanski 08] M. Belyanski et al., “Methods of Producing Plasma Enhanced Chemical Vapor Deposition Silicon Nitride Thin Films with High Compressive and Tensile Stress”, *Journal of Vacuum Science Technologies*. Vol.26, p. 517 – 521. 2008
- [BRAUN58] R. Braunstein, R. A. Moore, and F. Herman, “Intrinsic Optical Absorption in Germanium-Silicon Alloys”, *Phys. Rev.*, Vol.109, p. 695, 1958.
- [Brillouet05] M. Brillouet, séminaire lors du GdR relax, “contraintes Internes : de leur Origine à leur Utilisation dans les Matériaux à Propriétés Electroniques”, à Nant, 18-23 septembre 2005.
- [chanmougame] Chanemougame D., “Conception et Fabrication de Nouvelles Architectures CMOS et Etude du Transport dans les Canaux de Conduction Ultra Minces Obtenus avec la Technologie SON”, Thèse de doctorat, INSA de Lyon. 2005.
- [Chérault05] N. Chérault, J. Besson, C. Goldberg, and M. H. Berger, “Finite Element Simulation of Thermomechanical Stress Evolution in Cu/low-K Interconnects During Manufacturing and Subsequent Cycling”. In *ESSDERC proc.* 2005.
- [currie04] Currie M. T., “Strained Silicon: Engineering Substrates and Devices Integration”, *IEEE, International conference ICDT*, p. 261-268, 2004.
- [Danaie07] S. Danaie, “Etude de L'appariement des Transistors Bipolaires à Hétérojonction Si/SiGe issus de la Technologie BiCMOS ”, Thèse de doctorat INP, Grenoble, p. 1-230, 2007.
- [d'Heurle84] d'Heurle F.M., Petersson C.S., Baglin J.E.E., La Placa S.J. et Wong C.Y., “Formation of Thin Films of NiSi: Metastable Structure, Diffusion Mechanisms in Intermetallic Compounds”, *J. Appl. Phys.* Vol.55, p.

4208, 1984.

- [Dismukes64]** J. P. Dismukes, L. Ekstrom, R. J. Paff; “Lattice Parameter and Density in Germanium-Silicon Alloys”; *Journal of Physical Chemistry*; Vol.68, p. 3021-3027, 1964
- [EN01]** En, Ju Dong-Hyuk; Darin Chan, S. Chan, O. Karlsson, “Reduction of STI/active stress on 0.18 μm SOI Devices Through Modification of STI Process”, *IEEE Int. SOI Conf.*, p. 85-86, 2001.
- [Eneman05]** G. Eneman, M. Jurczak, P. Verheyen, T. Hoffmann, A. De Keersgieter and K. De Meyer; “Scalability of Strained Nitride Capping Layers for future CMOS generations”; *European Solid-State Device Research Conference (ESSDERC)*; p.449-452, 2005.
- [Eneman06]** G. Eneman, P. Verheyen, R. Rooyackers, F. Nouri, L. Washington, R. Schreutelkamp, V. Moroz, L. Smith, A. De Keersgieter, M. Jurczak and K. De Meyer; “Scalability of the Si_{1-x}Ge_x Source/Drain Technology for the 45-nm Technology Node and Beyond”; *Transactions on Electron Devices*; Vol.53, p. 1647, 2006.
- [Fau 2006]** S. Faulhaber, C. Mercer, M.W. Moon, J.W. Hutchinson et A.G. Evans, “Buckling delamination in compressed multilayers on curved substrates with accompanying ridge”, *J. Mech. Phys. Solids*, Vol.54, p. 1004, 2006
- [Fichetti96]** Fichetti M. V., Laux S. E., “Band Structure Deformation Potentials Carriers Mobility in Strained Si, Ge and SiGe Alloys”, *J. App. Phys.* Vol.80, p. 2234-2252. 1996
- [GALLON03]** C. Gallon, G. Reibold, G. Ghibardo, R. A. Bianchi, R. Gwoziecki, C. Raynaud, ”Electrical Analysis of Mechanical Stress Induced by Shallow Trench Isolation”, *Proc. ESSDERC, Estoril, Portugal, 16-18 septembre 2003*, p. 359, 2003.
- [GHYS05]** B. Ghyselen, “Strain Engineering in SOI-type Materials for Future Technologies”, *Mat. Sci. and Eng. B*, Vol.16. p. 124-125, 2005.
- [Goudeau 06]** P. Goudeau, C. Coupeau, F. Foucher, J. Colin, G. Geandier, N. Tamura, “Etude des Propriétés Mécaniques Locales de Films Minces et Revêtements par Diffraction X en Micro Faisceaux”, *MATERIAUX. 13-17 Novembre 2006 – Dijon, France*
- [Grégoire05]** M. Grégoire, S. Kordic, M. Ignat, X. Federspiel, P. Vannier, and S. Courtas. “New Stress Voiding Observations in Cu Interconnects”. In *IEEE*, p. 36–38, 2005.

- [HALL06] E. E. Haller, “Germanium: From its Discovery to SiGe Devices”, [Mat. Sci.](#) in Sem. Proc., Vol.9, p. 408, 2006.
- [Himanshu09] Himanshu , B., Mayank ,G. and Kumar, M. J., “Analytical Drain Current Model for Nanoscale Strained-Si/SiGe MOSFETs”, [The International Journal for Computation and Mathematics in Electrical and Electronic Engineering](#). Vol.28, p. 353-371, 2009.
- [Hoyt02] J. L. Hoyt, H. M. Nayfett, S. Eguchi, I. Aberg, G. Xia, T. Drake, E. A. Fitzgerald, D. A., “Antoniadis, Strained Silicon MOSFET Technology”, in IDEM Techno. Dig., p. 23-26, 2002.
- [Hsu07] C. W. Hsu et al., “The Effect of Mobility Enhanced Technology on Device Characteristic and Reliability for sub-90nm SOI nMOSFETs”, IEEE Conference on Electron Devices and Solid-State Circuits pp. 561 – 564, 2007.
- [Hut 92] J.W. Hutchinson, M.D. Thouless et E.G. Liniger, “Growth and Configurational Stability of Circular, Buckling-Driven Film Delaminations”, [Acta Metall. Mater.](#), Vol.40, p. 295, 1992.
- [IKARASHI03] N. Ikarashi, M. Uaki and M. Hiroi, “Spatially Resolved Electron Energy Loss Spectroscopy of an Interfacial Structure at a Ti Thin Film Cu Interconnect”, [J. Appl. Phy](#), vol.83, P.686-688, 2003.
- [Jin10] Li Jin, Liu Hong-Xia, Li Bin, Cao Lei, and Yuan Bo, “Study on two-dimensional analytical models for symmetrical gate stack dual gate strained silicon MOSFETs”, [Chin. Phys. B](#). Vol. 19. P. 107302, 2010.
- [Kumar07] M. Jagadesh Kumar, Vivek Venkataraman, and Susheel Nawal., ”Impact of Strain or Ge Content on the Threshold Voltage of Nanoscale Strained-Si/SiGe Bulk MOSFETs”, [IEEE Transactions On Device And Materials Reliability](#), Vol. 7, p. 181-187, 2007
- [LIU05] C. W. Liu, “Mobility Enhancement Technologies ”, [IEEE Circuits and Devices Magazine](#), Vol.22, p.591-593, 2001.
- [Maex93] Maex K. et Rossum V., “Silicide for Integrate circuit”, [Materials science and engineering R](#), Report 11, p. 53-153, 1993.
- [Mathieu 98] H. Mathieu, “Physique des Semiconducteurs et des Composants Electroniques”, Paris : édition Masson, 97, 99. 1998.
- [Mireille06] Mireille M., “Contraintes mécaniques en micro, nano et optoélectronique (Traité EGEM, série Electronique et micro-électronique ”, Lavoisier, p. 1-450. 2006.

- [MIZUNO] T Mizuno, S Takagi, N Sugiyama, J Koga, T Tezuka, K Usuda, T Hatakeyama, A Kurobe, A Toriumi, “High Performance Strained Si P MOSFETs on SiGe on Insulator Substrates Fabricated by SIMOX Technology”, *IEDM Tech. Dig.*, p. 934–937, 1999.
- [Moo02] M.W. Moon, J.W. Chung, K.R. Lee, K.H. Oh, R. Wang et A.G. Evans, “An experimental study of the influence of imperfections on the buckling of compressed thin films”, *Acta Mater.*, Vol.50, p. 1219, 2002.
- [Nayak93] Nayak D.K., Woo J. C. S. Park J. S, Wang K. L., Macwilliams k. P., “High Mobility P-Channel Metal Oxide Semiconductor Field Effect Transistor on Strained Si”, *App. Phys. Lett.* Vol.62, p. 2863-2855. 1993.
- [Nayak94] Nayak D.K., Chun S. K., “low Field Hole Mobility of Strained Si on (100) Si_{1-x}Ge_x Substrate”, *J. App. Phys.* Vol.64, p. 2514-2516, 2003.
- [Ober98] Oberhuber R., Zandler G., Volg P., “Subband Structure and Mobility of Two Dimensional Holes in Strained Si/SiGe MOSFET’s”. *Phys. Rev. B.* Vol.58, p.9941-9948, 1998.
- [ortolande06] Ortolland C., “Etude des Effets des Contraintes Mécaniques Induites par les Procédés de Fabrication sur le Comportement Electrique des Transistors CMOS des Nœuds Technologiques 65nm et en Deça”, Thèse de doctorat, INSA de Lyon. 2006.
- [OZT05] M. C. Öztürk, and J. Liu, “Source/Drain Junctions and Contacts for 45 nm CMOS and Beyond, Characterization And Metrology for ULSI Technology”, *AIP Conf. Proc.*, Vol.788, p. 222, 2005.
- [PAKF03] A. Pakfar, “Modélisation de la Diffusion des Dopants dans les Alliages SiGe et SiGeC”, Thèse de doctorat, INSA de Lyon, 2003.
- [Pejčinovic89] B. Pejčinovic, L. E. Kay, Ting - Wei Tang, D. H. Navon, “Numerical Simulation and Comparison of Si BJT’s and Si_{1-x}Ge_x HBT’s”, *IEEE Transaction on Electron Devices*, Vol. 36, pp. 2129-2137, 1989.
- [People86] R. People and J. C. Bean, “Band alignments of coherently strained Ge_xSi_{1-x}/Si ... on <001> Ge_ySi_{1-y} substrates”, *Appl. Phys. Lett.*, Vol. 48, p. 538, 1986.
- [Polleux01] J. L. Polleux, “Contribution à L’étude et à la Modélisation de Phototransistors Bipolaires à Hétérojonction SiGe/Si pour les Applications Opto-Microondes”, Thèse de doctorat, CNAM-Paris, p. 1-248, 2001.

- [Richard03] S. Richard, N. Cavassilas, F. Aniel, G. Fishman, “Strained Silicon on SiGe : Temperature Dependence of Carrier Effective Masse”, *Journal of Applied Physics*, Vol.94, p.5088-5094, 2003.
- [Richard04] S. Richard, “Modélisation Physique de la Structure Electronique, du Transport et de L’ionisation par Choc dans les Matériaux IV-IV Massifs Contraints et dans les Puits Quantiques”, thèse de doctorat de l’université paris XI Orsy, 2004.
- [Riger93] M.M. Rieger, and P. Vogl, “Electronic-Band Parameters in Strained Si_{1-x}Ge_x Alloys on Si_{1-y}Ge_y Substrate”, *Phys. Rev. B* 48, p. 14276-14287, 1993
- [Rim 98] K. Rim, J.L. Hoyt and J.F. Gibbons, “Transconductance Enhancement in Deep Submicron Strained Si”, *IEDM Technical Digest*, p. 707-710, Dec. 1998
- [Rim03] k. Rim, K. Chan, L. Shi, D. Boyd, J. Ott, “Fabrication and Mobility Characteristics of Ultra-Thin Strained Si Directly on Insulator (SSDOI) MOSFET”, in *IEDM Tech. Dig.*, p.49-52, 2003.
- [Rochette08] F. Rochette, “Etude et Caractérisation de L’influence des Contrainte Mécaniques sur les Propriétés du Transport Electronique dans les Architectures MOS Avancées”, Thèse de doctorat, INPG, 2008.
- [Samav99] Samavedam S. B., Taylor W. J., Grant J. M., Smith J. A., Tobin P. J., Dip. A, Philips A. M., “Relaxation of strined Si layer grown on SiGe buffer”, *J. sci. technol.* Vol. B17, p. 1424-1429. 1999.
- [Seel100] S. C. Seel, C. V. Thompson, S. J. Hearne and J. A. Floro, “Tensile Stress Evolution During Deposition of Volmer–Weber Thin Films”, *J. Appl. Phys.* Vol.88, p. 7079 – 7088, 2000.
- [Sze81] S. M. Sze, “Physics of Semiconductor Devices”, 2nd edition New york: Johon Wiley&Sons, pp. 1-853, 1981.
- [Thompson96] C. V. Thompson, R. Carel, “Stress and Grain Growth in Thin Films”, *J. Mech. Phys. Solids.* 44 (5), 657 – 673, 1996.
- [THOM04] S. E. Thompson, M. Armstrong, C. Auth, S. Cea, R. Chau, G. Glass, T. Hoffman, J. Klaus, Z. Ma, B. McIntyre, A. Murthy, B. Obradovic, L. Shifren, S. Sivakumar, S. Tyagi, T. Ghani, K. Mistry, M. Bohr, and Y. El-Mansy, “A Logic Nanotechnology featuring Strained-Silicon”, *IEEE Electron Device Letters*, 25(4), 191. 2004.

- [Tu75] Tu K.N., Chu W.K. et Mayer J.W., “Structure and growth kinetics of Ni₂Si on silicon”, *Thin Solid Films*. Vol.27. P. 403-413, 1975.
- [Vayrette11] Vayrette R., “Analyse des Contraintes Mécaniques et de la Résistivité des Interconnexions de Cuivre des Circuits Intégrés : Rôle de la Microstructure et du Confinement Géométrique”, Thèse de doctorat, l'École Nationale Supérieure des Mines de Saint-Étienne, 2011.
- [Végard] L. Végard, “Gitterkonstanten von Mischkristallen”, *Zeitschrift für Physik*, Vol. 17, p. 726 -1730, 1921.
- [Vogel03] Vogelsang T., Hofman K. R., “Electron Transport in Strained Silicon On SiGe: Temperature Dependence of Carrier Effective Masse”, *J. Appl. Phys.*, Vol.94, p. 5088-5094. 2003
- [Wang02] E. T. Wang, J. W. McPherson, J. A. Rosal, K. J. Dickerson, T.-C. Chiu, L. Y. Tsung, M. K. Jain, T. D. Bonifield, J. C. Ondrusek, and W. R. McKee, “Stress-Induced Voiding Under Vias Connected To Wide Cu Metal Leads”. In *IEEE 40th Annual International Reliability Physics Symposium*, p. 312–321, 2002.
- [Wang05] R. C. J. Wang, L.D. Chen, P.C. Yen, S.R. Lin, C.C. Chiu, K. Wu, and K.S. Chang-Liao, “Interfacial Stress Characterization for Stress-induced Voiding in Cu/Low-k Interconnects”. In *IEEE Proceedings of 12th IPFA*, p. 96–99, 2005.
- [Yang04] Yang L., Walting J.R., et al, “Si/SiGe Heterostructure Parameters for Device Simulations”, *Semicond. Sci. Technol.* Vol.19, p. 1174-1182, 2004.
- [Zang05] Zhang W, Fossum J G., “On the Threshold Voltage of Strained-Si/Si_{1-x}Ge_x Mosfets”, *IEEE Trans Electron Devices*, Vol.52, p. 263–268, 2005,

Chapitre III : CONTRAINTE MECANIQUE ET SES CONSEQUENCES ELECTRIQUES

III.1. MODÈLE DE DÉRIVE DIFFUSION RELATIVE AUX COMPOSANTS MOS A CANAL CONTRAINT

- III.1.1. La simulation numérique : un champ d'expérience infini
- III.1.2. Modélisation bidimensionnelle du transport sous contrainte mécanique
 - III.1.2.1. Modèle de transport de dérive-diffusion en présence de contrainte mécanique
 - III.1.2.2. Modèles de mobilité
 - III.1.2.2.1. Modèle analytique (dépendance mobilité- dopage)
 - III.1.2.2.2. Dépendance mobilité- champ électrique
 - III.1.2.2.3. Dépendance mobilité- fraction molaire x de Germanium
 - III.1.2.3. Modèles de Génération-Recombinaison
- III.1.3. Résolution numérique du système d'équation aux dérivées partielles
 - III.1.3.1. Discrétisation du domaine de calcul
 - III.1.3.2. Normalisation des équations
 - III.1.3.3. Discrétisation des équations par la méthode de différences finies
 - III.1.3.4. Résolution du problème discret
 - III.1.3.5. Outil de simulation

III.2. EFFET DE LA CONTRAINTE MÉCANIQUE SUR LES CARACTÉRISTIQUES ÉLECTRIQUES

- III.2.1. Dispositif simulé
- III.2.2. Validation du code de calcul
- III.2.3. Propriétés de transport dans les MOSFETs non contraints
 - III.2.3.1. Analyse des profils de potentiel, de concentrations et de champs issus des simulations SIBIDIF
 - III.2.3.2. Influence des conditions de polarisation
- III.2.4. Propriétés de transport dans les MOSFETs contraints en tension bi-axiale
 - III.2.4.1. Mobilité dans le canal de conduction
 - III.2.4.2. Caractéristiques électriques sous contraintes en tension bi-axiale

III.3. CONCLUSION

Références bibliographiques

Chapitre III

CONTRAINTE MECANIQUE ET SES CONSEQUENCES ELECTRIQUES

Au cours du chapitre précédent, nous avons vu comment l'introduction contrôlée de la contrainte en tension bi-axiale dans le canal de conduction influe sur les propriétés intrinsèques du silicium monocristallin, notamment sur la structure de bande du matériau. Dans le présent chapitre, nous nous attacherons à évaluer l'impact de cette même contrainte sur les propriétés électriques de transport du transistor nMOS. Pour ce faire, après un bref rappel de l'importance de la simulation numérique dans les domaines de recherche et développement, nous décrirons l'approche mathématique mise en œuvre pour la modélisation et la simulation numérique du transport électrique dans les dispositifs MOS étudiés dans ce travail (conventionnels et à canal contraint). Enfin, une large partie sera consacrée à la comparaison des performances des structures MOS à base de Si et à base de matériaux innovants (si contraint).

1. MODÈLE DE DÉRIVE DIFFUSION RELATIF AUX COMPOSANTS MOS A CANAUX CONTRAINTS

1.1. LA SIMULATION NUMERIQUE : un champ d'expérience infini

Employée initialement au milieu de 20^{ème} siècle, la simulation numérique est devenue de nos jours un moyen indispensable à l'étude du fonctionnement des composants à semi-conducteurs et au calcul prédictif de leurs caractéristiques. Ainsi, cette méthode est amenée à prendre une place de plus en plus importante dans de nombreux domaines de recherche et développement : électronique, mécanique, physique nucléaire, ... etc.

L'essor de la simulation numérique est lié à la combinaison des compétences de physiciens, de mathématiciens mais aussi d'informaticiens afin de fournir des logiciels « codes de calcul » variés et performants.

La simulation numérique, qui tente à reproduire, par le calcul, le fonctionnement interne d'un système réel, se présente alors comme une autre solution permettant globalement :

- De garantir la rapidité et la fiabilité de la conception, et de contribuer à l'innovation industrielle;
- De comprendre et d'interpréter précisément l'impact des différents phénomènes simulés sur le comportement des (matériaux, composants, systèmes) réels, dont la taille ne cesse de décroître ;
- De prédire l'issue des expérimentations lorsque celles-ci sont irréalisables (coûteux et/ou difficiles à mettre en place ...).
- De réagir à la modification de paramètres physiques ou géométriques et modifier ses résultats en conséquence.

La réalisation d'une étude par simulation numérique passe par trois grandes phases qui sont généralement communes à de nombreux secteurs de la recherche (voir figure (1.1)) :

✓ *La modélisation*

Au cours de cette première étape, on cherche à décrire d'une manière simple et réaliste le problème physique étudié, par exemple en termes d'équations mathématiques aux dérivées partielles (EDP) ;

✓ **Résolution numérique du problème**

Cette étape passe tout d'abord par la définition d'un maillage discrétisant le domaine de calcul en un nombre fini de points, les valeurs des paramètres à calculer sont ainsi en nombre fini et les conditions particulières dites "conditions aux limites", qui définissent les hypothèses physiques du problème à l'intérieur de ce domaine, sont appliquée sur la géométrie maillée. Nous passons ainsi d'un problème d'équations différentielles continues sur le domaine considéré en un problème d'équations aux différences (discrétisé). Il ne reste alors qu'à résoudre le problème des équations obtenu par des méthodes numériques adéquates.

✓ **Exploitation des résultats**

Les résultats obtenus sont tout d'abord examinés afin de vérifier leur cohérence, puis ils sont validés soit par confrontation aux mesures expérimentales, ou bien par comparaison aux résultats obtenus par certains logiciels commerciaux.

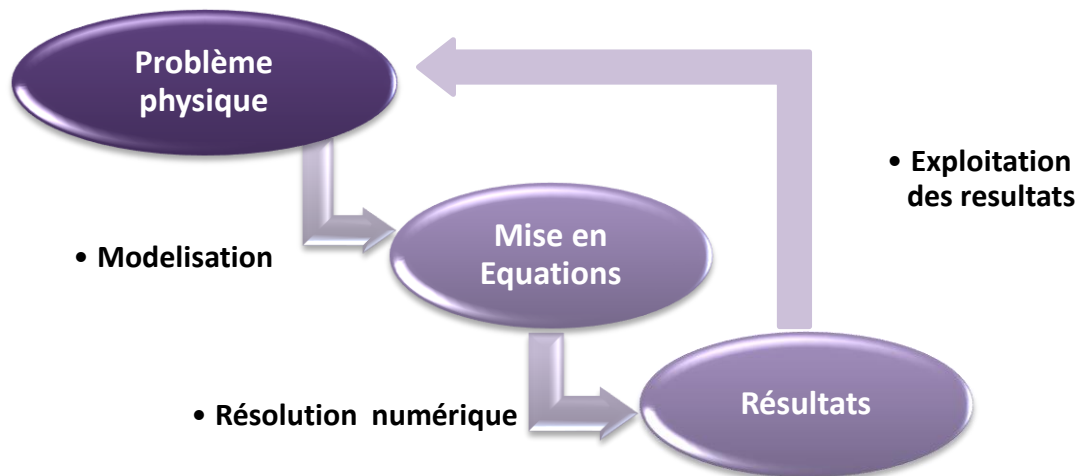


Figure. 3.1 Les composantes d'une simulation numérique

Le travail présenté dans cette première section est basé sur un code de simulation numérique SIBIDIF " Simulation Bidimensionnelle par Différences finies", précédemment développé par S.LATRECHE [Latreche99] pour étudier le fonctionnement du transistor bipolaire à hétérojonction dans le régime statique. Cette étude [Bensegueni16] est donc dédiée à l'adaptation de ce code pour la simulation physique des structures MOS à effet de champs. Il s'agit d'adapter le code pour des transistors MOS conventionnels en premier lieu. En second lieu, il faut développer un module supplémentaire qui traite les effets par induites des contraintes mécaniques en tension bi-axiales.

Ainsi, nous développerons les outils nécessaires à la modélisation du transport électrique, notamment le formalisme de dérive diffusion et le modèle de mobilité. Les effets de contraintes mécaniques seront intégrés aux modèles existants. Ensuite, nous aborderons la

discrétisation par la méthode des différences finies du système d'équations aux dérivées partielles obtenu. Il en suivra une description du concept de logiciel SIBIDIF.

1.2. MODELISATION BIDIMENSIONNELLE DU TRANSPORT SOUS CONTRAINTE MACANIQUE

Nous rencontrons dans la littérature une grande variété de modèles mathématiques différents, permettant de décrire les phénomènes de transport électronique dans les composants à semi-conducteurs. Ces modèles peuvent être classés en deux catégories : On a d'une part les modèles cinétiques, qui servent à décrire le mouvement des particules chargées à une échelle microscopique [Markiwich90], on cite en exemple l'équation de Boltzmann; celle-ci a été décrite par L. Boltzmann en 1872 pour modéliser la cinétique des gaz, d'autre part les modèles macroscopiques ou quasi-hydrodynamiques, qui assimilent l'ensemble des porteurs de charges à un fluide. Parmi ces modèles macroscopiques, nous trouvons les systèmes hydrodynamiques de type Euler-Poisson, les modèles de transport d'énergie, et les systèmes de dérive-diffusion. Une hiérarchie de ces modèles est présentée dans [jungle'01], [Markowich'90]

En microélectronique, le modèle de dérive diffusion, initialement proposé par W. Van Roosbroeck en 1950 [Roosbroeck'50], constitue le système de traitement le plus populaire et le plus simple pour décrire le transport de charge dans un matériau semi-conducteur [Brezzi'05], [Brezzi'87]. Les équations constituant ce modèle macroscopique découlent directement à l'aide d'hypothèses simplificatrices sur l'équation de transport de Boltzmann [Markowich89], [Poupaud88] Notons que ce système de diffusion est actuellement très bien adapté pour les simulations numériques.

Dans notre travail, nous nous intéressons particulièrement à ce type de modèle car il représente un très bon compromis entre le calcul efficace et la description correcte de la physique fondamentale de la plupart des composants au germanium ou au silicium, mais également le plus approprié dans le cas de polarisation que nous considérons pour décrire le transport dans ces matériaux. Notre objectif principal est d'étudier le transport électronique dans des composants MOS à effet de champ de taille submicronique, en présence d'une contrainte mécanique dans le canal de conduction.

De ce fait, pour concrétiser cette étude, nous devons considérer, le formalisme qui tient compte des effets engendrés par la contrainte en tension bi-axiale décrits dans le chapitre précédent.

A ce système de diffusion, il faut lui adjoindre, les conditions aux limites imposées aux frontières du composant [Selberherr 84]. Les modèles physiques de mobilités, effets champs et génération/recombinaison sont ainsi discutés en fonction de leur application à des dispositifs MOS.

1.2.1. Modèle de transport de dérive-diffusion en présence d'une contrainte mécanique dans le canal du transistor MOS

L'étude des phénomènes de conduction électroniques, dans des composants MOS submicroniques, à canal contraint en tension bi-axiale, dans le cadre d'un transport de type dérive-diffusion à deux dimensions, nécessite la résolution d'un système d'équations aux dérivées partielles EDPs, non linéaires et couplées, que nous allons poser ci-dessous (équations (1- 5)). Ce système est composé d'une équation elliptique de type Poisson pour le potentiel électrostatique ϕ , de deux équations paraboliques de continuité pour la densité d'électrons N et la densité de trous P , et de deux équations constitutives du courant d'électrons et des trous. Nous rappellerons les expressions mathématiques de celles-ci, ainsi que leur interprétation physique.

1.2.1.1. Formulation des équations du semi-conducteur

- *Équation de Poisson*

L'équation de Poisson relie le potentiel électrostatique ϕ à la densité de charge d'espace formée par les charges mobiles et fixes, incluant les électrons, les trous, et les impuretés ionisées. Si on suppose celles – ci totalement ionisées, indépendantes de toute variable électrique on aura :

$$\vec{\nabla}^2 \phi = - \frac{q}{\epsilon_{(Si, SiGe)}} [p(x,y) - n(x,y) + dop] \quad (III.1)$$

Avec

$p(x,y)$	densité de trous
$n(x,y)$	densité d'électrons
ϵ_{Si}	permittivité diélectrique du silicium
ϵ_{SiGe}	permittivité diélectrique du SiGe
q	la valeur absolue de la charge élémentaire de l'électron
$dop = N_D(x,y) - N_A(x,y)$	densité d'impuretés ionisées

Entre le champ électrique \vec{E} et le potentiel électrostatique ϕ on a la relation classique

$$\vec{E}(x,y) = - \vec{\nabla} \phi(x,y)$$

- *Équations de continuité*

Elles décrivent la manière dont évoluent les densités de charges électroniques (des électrons ou bien des trous) suite aux processus de transport, de génération, et de recombinaison des porteurs :

$$\frac{\partial n}{\partial t} = g_n + \frac{1}{q} \vec{\nabla} \cdot \vec{J}_n \quad (\text{III. 2})$$

$$\frac{\partial p}{\partial t} = g_p - \frac{1}{q} \vec{\nabla} \cdot \vec{J}_p \quad (\text{III.3})$$

Les termes g_n et g_p décrivent les phénomènes de génération – recombinaison. En pratique, divers mécanismes de génération/ recombinaison de porteurs de charge libres sont possibles; la génération- recombinaison due aux pièges (ou recombinaison Shockley-Read-Hall (SRH)), recombinaison directe bande-bande par des transitions de phonons, et recombinaison d'Auger [Markowich89], [Silvaco95]

Dans les semi-conducteurs à gap indirects comme le silicium cristallin, les recombinaisons sont, principalement, de type SRH et Auger.

- **Équations de transport**

Elles lient les densités de courant d'électrons et de trous aux pseudo_ potentiel de Fermi φ_n et φ_p :

$$J_n = -qn\mu_n \frac{d\varphi_n}{dx} \quad (\text{III.4})$$

$$J_p = -qn\mu_p \frac{d\varphi_p}{dx} \quad (\text{III.5})$$

Avec

μ_n, μ_p mobilité des électrons, des trous

Sachant que :

$$\varphi_n = -\frac{1}{q} E_{FN} \quad (\text{III.6})$$

$$\varphi_p = -\frac{1}{q} E_{FP} \quad (\text{III.7})$$

Avec

E_{Fn}, E_{Fp} pseudo - niveaux de Fermi des électrons, des trous. Ceux-ci sont définis par :

$$E_{FN} = E_C + KT \ln\left(\frac{n}{N_C}\right) + KT \ln \gamma_n \quad (\text{III.8})$$

$$E_{FP} = E_V - KT \ln\left(\frac{p}{N_V}\right) + KT \ln \gamma_p \quad (\text{III.9})$$

Avec

γ_n, γ_p représentent l'influence de la statistique de Fermi-Dirac

n, p densités de porteurs libres des électrons et des trous

N_C, N_V densités d'états effectives des électrons et des trous

E_V	énergie maximale dans la bande de valence
E_C	énergie minimum dans la bande de conduction
K	constante de Boltzmann
T	température absolue, qui est fixée à 300 K.

En considérant, la statistique de Boltzmann : $\gamma_n = \gamma_p = 1$ [Lundstrom83], l'expression des pseudo- niveaux de Fermi devient alors :

$$E_{FN} = E_C + KT \ln\left(\frac{n}{N_C}\right) \quad (\text{III.10})$$

Les expressions pour les densités de porteurs libres des électrons et des trous en termes de densité d'états effectives sont données par les relations suivantes :

$$n = N_C \exp\left(\frac{E_{FN} - E_C}{KT}\right) \quad (\text{III.11})$$

$$p = N_V \exp\left(\frac{E_V - E_{FP}}{KT}\right) \quad (\text{III.12})$$

Les densités d'états effectives pour les électrons et les trous sont donnée par:

$$N_C = 2 \left(\frac{2\pi m_n^* KT}{h^2}\right)^{3/2} \quad (\text{III.13})$$

$$N_V = 2 \left(\frac{2\pi m_p^* KT}{h^2}\right)^{3/2} \quad (\text{III.14})$$

Avec

m_n^*	masse effective d'électron
m_p^*	masse effective des trous dans la bande de valence
h	constante de Planck.

Comme on l'a évoqué dans le chapitre précédent, la contrainte mécanique affecte principalement les bandes d'énergie de la structure Si/ SiGe. Ainsi, selon les auteurs, différentes variations des masses de conduction et des densités d'états des trous du SiGe ont été reportées [prinz89], [Slotboom93], [Liu 83]. Les données de masses effectives et des densités d'état des trous du silicium contraint sont difficilement trouvable dans la littérature, c'est pourquoi on contentera ici de les traiter comme celles du silicium massif.

Notamment, les densités d'état effectives dans le cas du SiGe, noté N_{cSiGe} , N_{vSiGe} , sont définies selon Silvaco [Silvaco96]:

$$N_{cSiGe} = 2.8 \cdot 10^{19} + (x(1.04 \cdot 10^{19} - 2.8 \cdot 10^{19})) \quad (III.15)$$

$$N_{vSiGe} = 1.04 \cdot 10^{19} + (x(6.08 \cdot 10^{18} - 1.04 \cdot 10^{19})) \quad (III.16)$$

Avec

x Fraction molaire en germanium

En multipliant les deux expressions des densités d'électrons (III.11) et de trous (III.12), on obtient la loi d'action de masse:

$$n \cdot p = n_i^2 \quad (III.17)$$

La densité intrinsèque n_i est donnée par:

$$n_i = \sqrt{N_c \cdot N_v} \cdot \exp\left(\frac{-E_g}{2KT}\right) \quad (III.18)$$

Avec

$E_g = E_c - E_v$ gap d'énergie entre les bandes de conduction et de valence

Le produit ($N_c \cdot N_v$) influe directement sur la concentration intrinsèque des porteurs. Il dépend principalement de la température et de la contrainte mécanique (taux de germanium dans le matériau SiGe) [Banerjee07]. Notons qu'une réduction de ce produit d'un facteur de 0,4 par rapport au Silicium en cas d'un pourcentage de Germanium égale 20%, a déjà été démontrée par J.Prinz [prinz89] ainsi que par J.W. Slotboom [Slotboom93]. En outre, les travaux de Q.Z.Liu [Liu 83] prouvent d'une manière générale que le rapport du produit ($N_c \cdot N_v$) des densités effectives d'états du SiGe et du Si est généralement inférieur à 1 :

$$\frac{(N_c \cdot N_v)_{SiGe}}{(N_c \cdot N_v)_{Si}} < 1 \quad (III.19)$$

D'après les équations (4) (5) (6) et (7), les équations de transport peuvent se mettre alors sous la forme suivante :

$$J_n = \mu_n n \frac{dE_{Fn}}{dx} \quad (III.20)$$

$$J_p = \mu_p p \frac{dE_{Fp}}{dx} \quad (III.21)$$

En substituant les expressions des densités de courant dans les équations de continuité, on aboutit au système de diffusion de trois équations suivant :

$$\begin{cases} \vec{\nabla}^2 \varphi = \frac{q}{\varepsilon_{(Si, SiGe)}} [p(x, y) - n(x, y) + DOP] \\ Div (D_n \cdot grad (n) - \mu_n \cdot n \cdot grad (\varphi)) - \frac{\partial n}{\partial t} = g_n \\ Div (D_p \cdot grad (p) + \mu_p \cdot p \cdot grad (\varphi)) + \frac{\partial p}{\partial t} = -g_p \end{cases} \quad (III.22)$$

Dans le cas du régime permanent $\frac{\partial n}{\partial t}$ et $\frac{\partial p}{\partial t}$ sont nuls que nous considérons dans ce travail; on obtient alors :

$$\begin{cases} \vec{\nabla}^2 \varphi = \frac{q}{\varepsilon_{(Si, SiGe)}} [p(x, y) - n(x, y) + DOP] \\ Div (D_n \cdot grad (n) - \mu_n \cdot n \cdot grad (\varphi)) = g_n \\ Div (D_p \cdot grad (p) + \mu_p \cdot p \cdot grad (\varphi)) = -g_p \end{cases} \quad (III.23)$$

Avec

D_n, D_p Constantes de diffusion des électrons, des trous

1.2.1.2. Formulation des équations de l'oxyde

Dans cette étude, nous supposons que l'oxyde est un isolant parfait dans lequel les densités de porteurs sont considérées nulles, par conséquent il ne subsiste que les équations électrostatiques :

$$\vec{\nabla}^2 \varphi = - \frac{Q_{OX}}{\varepsilon_{OX}} \quad (III.24)$$

$$\vec{E}(x, y) = - \vec{\nabla} \varphi(x, y) \quad (III.25)$$

Avec

ε_{OX} permittivité diélectrique de l'oxyde

Q_{OX} la densité de charge éventuellement présente dans l'oxyde

1.2.1.3. Conditions à l'interface oxyde/ semi-conducteur

Nous définissons les conditions existant sur cette interface de milieux de permittivités diélectriques différentes de façon à introduire les phénomènes de surface;

a- Sur le potentiel électrostatique

On se place sous les hypothèses suivantes :

➤ Continuité du potentiel électrostatique:

$$(\varphi)_{ox} = (\varphi)_{sc} \quad (III.26)$$

➤ Discontinuité de la composante normale du champ:

$$\varepsilon_{ox} \left(\frac{\partial \varphi}{\partial y} \right)_{ox} = \varepsilon_{sc} \left(\frac{\partial \varphi}{\partial y} \right)_{sc} + Q_{ss} \quad (III.27)$$

Avec

Q_{ss} Densité surfacique de charge due aux centres de recombinaison en surface, ou aux impuretés

b- Sur les densités de courants

Les flux d'électrons et de trous normaux à l'interface sont supposés être nuls :

$$g_{sn} + \frac{1}{q} J_{ny} = 0 \quad (III.28)$$

$$g_{sp} - \frac{1}{q} J_{py} = 0 \quad (III.29)$$

Avec

g_{sn}, g_{sp} Taux de génération surfacique

J_{ny}, J_{py} Composantes en y de \vec{J}_n, \vec{J}_p

1.2.1.4. Conditions à l'interface silicium - SiGe

Il convient de définir les conditions existant sur cette interface de façon à introduire le phénomène de non uniformité de structure de bandes d'énergie, (figure (3.2). cf. chapitre II) ;

a- Cas d'un empilement SiGe/Si

➤ Ces conditions portent sur le décalage énergétique de bande, en fonction de la fraction molaire x en Germanium:

$$\begin{cases} E_c = -q\varphi + \frac{E_g}{2} \\ E_v = -q\varphi - \frac{E_g}{2} + \Delta E_{V_{SiGe}} \end{cases} \quad (III.30)$$

$$\begin{cases} \text{Ou} \\ \Delta E_{C_{SiGe}} \approx 0 \\ \Delta E_{V_{SiGe}} = 0.467x \end{cases} \quad \text{par [Kumar07]} \quad (III.31)$$

Avec

$\Delta E_{v_{SiGe}}$ discontinuité au niveau de la bande de valence, elle vaut zéro sur toute la structure sauf, à l'interface SiGe/Si.

$\Delta E_{c_{SiGe}}$ dans ce cas le décalage au niveau de la bande de conduction est presque nul

b- Cas d'un empilement silicium contraint sur SiGe (s-Si/ SiGe)

➤ Ces conditions portent sur la discontinuité de bandes d'énergies, en fonction de la concentration en Germanium :

$$\begin{cases} E_C = -q\phi + \frac{E_g}{2} + \Delta E_{c_{s-si}} \\ E_V = -q\phi - \frac{E_g}{2} - \Delta E_{v_{s-si}} \end{cases} \quad (III.32)$$

Où

$$E_{g_{s-si}} + \Delta E_{c_{s-si}} = E_{g_{(si_{1-x}Ge_x)}} + \Delta E_{v_{s-si}} \quad (III.33)$$

$$\begin{cases} \Delta E_{c_{s-si}} = 0.6x \\ \Delta E_{v_{s-si}} = 0.57x \end{cases} \quad (III.34)$$

Avec

$\Delta E_{c_{s-si}}$ décalage au niveau de la bande de conduction, à l'interface Si /SiGe

$\Delta E_{v_{s-si}}$ décalage au niveau de la bande de valence, à l'interface s-Si/SiGe

$E_{g_{s-si}}$ différence entre le niveau haut de la bande de valence et le niveau bas de la bande de conduction du silicium contraint

$E_{g_{(si_{1-x}Ge_x)}}$ différence entre le niveau haut de la bande de valence et le niveau bas de la bande de conduction du SiGe

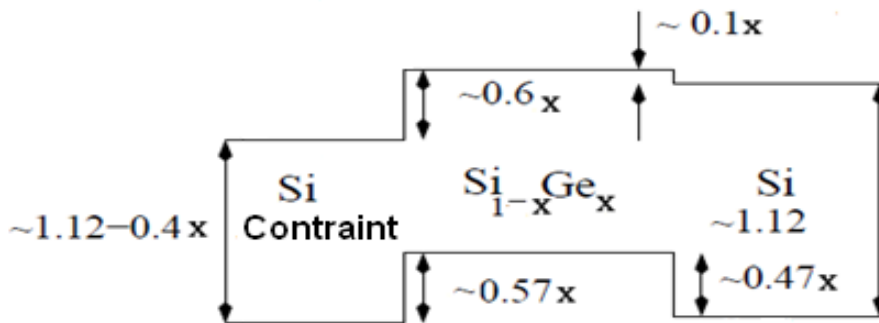


Figure. 3.2 Effets de la contrainte en tension bi-axiale sur la structure de bande du Si et du SiGe

1.2.1.5. Conditions aux limites

Les conditions aux limites portent sur les contacts d'une part, où l'on considère des conditions de Dirichlet, et le reste de la frontière d'autre part, où l'on impose des conditions de type Neumann.

a- Conditions aux contacts

Ces conditions portent sur les densités de porteurs n et p, et sur le potentiel électrostatique.

On se place sous les hypothèses suivantes :

- Les contacts (de la source et du drain) pris sur le semi-conducteur sont considérés du type ohmique idéal, c'est-à-dire que le semi-conducteur est supposé être électriquement neutre et en équilibre thermodynamique au voisinage immédiat du contact. Le dopage sur ces contact étant connu et égal à la densité d'ions donneurs N_D (le dopage est choisi élevé),
- Sur le contact du drain nous appliquons une tension constante notée V_D ; On obtient alors les conditions aux limites suivantes :

$$\begin{aligned} n &= N_D \\ p &= n_i^2/N_D \Rightarrow \begin{cases} \varphi = V_D \\ \varphi_n = \varphi_p = V_D - \frac{KT}{q} \ln\left(\frac{n}{n_i}\right) \end{cases} \\ V_D &= C^{ste} \end{aligned} \quad (III.35)$$

- Sur le contact de la source nous appliquons une tension nulle V_S . Nous aurons alors les conditions aux limites suivantes :

$$\begin{aligned} n &= N_D \\ p &= n_i^2/N_D \Rightarrow \begin{cases} \varphi = 0 \\ \varphi_n = \varphi_p = -\frac{KT}{q} \ln\left(\frac{n}{n_i}\right) \end{cases} \\ V_D &= 0 \end{aligned} \quad (III.36)$$

- Alors que le contact de la grille pris sur l'oxyde est traité comme un contact Schottky. les conditions aux limites sur la grille sont alors:

$$\varphi = V_G \quad (III.37)$$

Avec

V_G polarisation extérieure appliquée

b- Autres frontières

Sur le reste de la frontière, les conditions sont supposée telles que les dérivées normales à ces frontières soient nulles. Pour le potentiel et les quasi-potentiels de Fermi, on aura les conditions aux limites suivantes:

$$\begin{cases} \nabla\varphi \cdot i_n = 0 \\ \nabla\varphi_n \cdot i_n = 0 \\ \nabla\varphi_p \cdot i_n = 0 \end{cases} \quad (\text{III.38})$$

Avec

i_n composante normale

1.2.2. Modèles de mobilité

La mobilité des porteurs est le paramètre principal dans le modèle de transport électronique. En effet, il a le plus d'impact sur les caractéristiques électriques du MOSFET. Dans ce travail, nous avons besoin de combiner plusieurs modèles pour les différentes régions des matériaux semi-conducteurs.

1.2.2.1. Modèle analytique (dépendance mobilité–dopage)

Pour la majeure partie du composant, nous considérons un modèle analytique standard (équation.13) développé par [Yu94]. Ce modèle exprime la réduction de la mobilité par différents types d'interactions comme les collisions avec les impuretés (dopage). L'expression de la mobilité est donnée alors par :

$$\mu(N) = \left[\mu_{min} + \frac{\mu_{max} - \mu_{min}}{1 + \left(\frac{N_{tot}}{C_r}\right)^\alpha} - \frac{\mu_1}{1 + \left(\frac{C_s}{N_{tot}}\right)^\beta} \right] \quad (\text{III.39})$$

Avec

N_{tot} équivaut à la concentration totale en impuretés dans le semi-conducteur.

Chaque variable dans l'expression ci-dessus dépend du type de porteur (électron ou trou). Leurs valeurs numériques sont précisées dans le tableau 3.1.

TABLEAU 3.1 Paramètres pour le modèle analytique (équation 13)[Dessis]

Paramètres	As(N)	B(P)
$\mu_{max}(\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{S}^{-1})$	1417.0	470.5
$\mu_{min}(\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{S}^{-1})$	52.2	44.9
$\mu_1(\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{S}^{-1})$	43.9	29
α	0.68	0.719
β	2	2
$C_s(\text{cm}^{-3})$	9.68 e16	2.23e17
$C_r(\text{cm}^{-3})$	3.43e20	6.10e20

1.2.2.2. Dépendance mobilité- champ électrique

Dans le cas d'un transistor MOSFET, les porteurs sont confinés au voisinage de l'interface oxyde/semi-conducteur (Si / SiO₂), sous l'effet d'un champ électrique transversal associé à la polarisation de la grille. La valeur de la mobilité dans le canal en inversion est, par conséquent, sensiblement inférieure à celle des porteurs dans le substrat semi-conducteur. L'expression suivante décrit l'évolution de la mobilité par rapport aux champs électriques (longitudinaux et transversaux) [Yu94]:

$$\mu(N, E_{\perp}, E_{\parallel}) = \mu(N, E_{\perp}) * \left(1 + \left(\frac{\mu(N, E_{\perp}) E_{\parallel}}{V_{sat}} \right)^{\beta} \right)^{-1/\beta} \quad (\text{III.40})$$

Avec cependant

$$\mu(N, E_{\perp}) = \mu(N) * \left(1 + \frac{E_{\perp}}{E_{crit}} \right)^{-\alpha} \quad (\text{III.41})$$

Où :

V_{sat} vitesse de saturation des porteurs

$\mu(N)$ calculé à partir du modèle analytique (Equat13)

E_{\perp} champ électrique perpendiculaire au vecteur densité de courant créé par la tension de grille

E_{\parallel} champ électrique parallèle au vecteur densité de courant créé par la tension du drain

E_{crit} valeur de référence

Les paramètres α , β , V_{sat} et E_{crit} sont définies dans le tableau 3.2.

TABLEAU 3.2 paramètres des modèles de mobilité comprenant la dépendance mobilité-champs électriques transversale et longitudinale Equat.40 et Equat.41 [Yu94]

Paramètres	électrons	trous
A	0.5	0.5
B	1.395	1.215
E_{crit} (V/cm)	4.2 e 4	3. e 4
V_{sat} (cm/s)	0.78e 7	0.98e 7

1.2.2.3. Dépendance mobilité- fraction molaire x en Germanium

Comme nous l'avons déjà évoqué aux chapitres précédents, la génération de contrainte mécanique en tension bi-axiale au niveau du canal de conduction du transistor n MOS, permet d'améliorer à la fois la mobilité des électrons et des trous dans cette zone active. Les équations suivantes (III.42) et (III.43) expriment la variation de la mobilité des porteurs de charges (électrons et trous) en fonction de la fraction molaire x en Germanium :

$$\mu_n = \begin{cases} \mu_{0n}(N) \cdot (1 + 7.969x - 10.90x^2), & (0 \leq x \leq 0.15) \\ \mu_{0n}(N) \cdot (1.789 + 1.708x - 2.663x^2), & (0.15 \leq x \leq 0.4) \\ \text{par [Jin10]} \end{cases} \quad (\text{III.42})$$

Et

$$\mu_p = \mu_{p0}(1 + 4.31x - 2.28x^2), \quad \text{par [Arora82]} \quad (\text{III.43})$$

Avec:

μ_{n0} mobilité des électrons : calculé à partir du modèle analytique (Equation III.39)

μ_{p0} mobilité des trous : calculé à partir du modèle analytique (Equation III.39)

1.2.3. Modèles de Génération-Recombinaison

Les expressions (III.2) et (III.3) des équations de continuité introduisent deux termes g_n et g_p qui décrivent le phénomène de génération (recombinaison) de paires électrons – trous dans un matériau semi-conducteur. On se limitera ici au cas d'une génération - recombinaison de type (*Schockley-Read-Hall*) SHR. Ce type de mécanisme introduit la notion de pièges (ou centres de recombinaison) avec des niveaux discrets d'énergie E_t localisés dans la bande interdite.

Dans la mesure où les processus de génération et de recombinaison s'effectuent par paires, ces taux sont communs aux électrons et aux trous. Considérant qu'un électron a une durée de vie τ_n dans la bande de conduction, et qu'un trou a une durée de vie τ_p dans la bande de valence, le taux de génération recombinaison GR^{SRH} par unité de volume via un centre de concentration N_t localisé au niveau E_t dans le gap est donné par :

$$GR^{SRH} = \frac{n \cdot p - n_i^2}{\tau_p(n + \bar{n}^*) + \tau_n(p + \bar{p}^*)} \quad (\text{III.44})$$

Où :

$$\bar{n}^* = n_i \exp\left(\frac{E_t - E_i}{KT}\right) \quad (\text{III.45})$$

$$\bar{p}^* = n_i \exp\left(-\frac{E_t - E_i}{KT}\right) \quad (\text{III.46})$$

Les paramètres \bar{n}^* ou \bar{p}^* dépendent de la position du niveau d'énergie dans la bande interdite.

On se place sous les hypothèses suivantes :

➤ Le niveau d'énergie E_t est au milieu de la bande interdite de sorte que: $E_t - E_i \approx 0$.

Cette hypothèse impose alors la simplification suivante :

$$GR = \frac{n \cdot p - n_i^2}{\tau_p(n + n_i) + \tau_n(p + n_i)} \quad (\text{III.47})$$

Les durées de vie τ_n, τ_p sont inversement proportionnelles à la concentration de pièges, N_t , à la vitesse thermique, v_{th} , et à la section de capture, σ , des porteurs.

$$\tau = \frac{1}{\sigma \cdot v_{th} \cdot N_t} \quad (\text{III.48})$$

En pratique, les durées de vie des porteurs dans le silicium sont très variables selon la concentration de dopage qui introduit des défauts cristallins supplémentaires (dislocations...). La dépendance des temps de vie en fonction du niveau de dopage $N(x, y)$ est modélisée par les expressions empiriques [Silvaco96] données par la relation (III.49). Les paramètres associés sont résumés dans le tableau 3.3

$$\tau_n(x, y) = \frac{\tau_{n0}}{1 + \frac{N(x, y)}{N_{SRH-n}}} \quad \tau_p(x, y) = \frac{\tau_{p0}}{1 + \frac{N(x, y)}{N_{SRH-p}}} \quad (\text{III.49})$$

TABLEAU 3.3 Valeur des paramètres entrant dans le calcul des durées de vie des électrons et des trous [30-chap2 maya].

Paramètres	Unite	Electrons	Trous
τ_0	s	$3 \cdot 10^{-5}$	10^{-5}
N_{SRH}	cm^{-3}	10^{17}	10^{17}

1.3. RESOLUTION NUMERIQUE DU SYSTEME D'EQUATIONS AUX DERIVEES PARTIELLES

Un certain nombre de schémas numériques ont été développés pour approcher les solutions d'équations de Van Roosbroeck (III.1) – (III.3). Historiquement, la première discrétisation du modèle de dérive - diffusion par la méthode des différences finies a été proposée en 1964 par H. Gummel [Gummel'64] et améliorée quelques années plus tard par D. Scharfetter et H. Gummel [Scharfetter 69]. Le schéma de Scharfetter-Gummel a ensuite été étendu au problème bidimensionnel sur la base d'un maillage rectangulaire [Wang74], [Barson76], [Sze83]. Nous mentionnons par ailleurs des discrétisations de type éléments finis proposée dans F. Brezzi, L. D. Marini et P. Pietra [Brezzi87], [Brezzi 89] dont le principal avantage réside dans la possibilité de traitement de géométries non planes et le choix des éléments (rectangulaires, triangulaires) de raffinements de maillage. Plus récemment, des méthodes de volumes finis ont été proposées C. Chainais-Hillairet et Y. J. Peng [Hillairet03] et [Hillairet04].

Dans cette section, nous considérons une méthode de résolution numérique du système d'équations de drive-diffusion, basée sur le concept de discrétisation en espace de type différence finies. Cette approche met en œuvre trois phases essentielles: la première consiste en la discrétisation du domaine de calcul (la géométrie du dispositif) en un nombre fini de points. La seconde phase concerne les schémas de discrétisation (normalisation et discrétisation des équations constitutives). Enfin, la résolution du problème discret obtenu

constitue la dernière phase.

1.3.1. Discrétisation du domaine de calcul

La discrétisation du domaine de calcul est d'une importance cruciale car, comme on le verra dans §1.3.3, les fonctions de base dépendent entièrement du maillage. Par conséquent, les résultats ne seront pertinents que si on définit un maillage adapté à ce que l'on souhaite simuler.

Dans cette étude, la forme géométrique de la structure nMOS étudié conduit naturellement à choisir un maillage rectangulaire, c'est-à-dire qu'on superpose au domaine un réseau de lignes droites parallèles au système d'axes orthogonal. Les points d'intersection de ces lignes sont appelés " nœuds " du maillage, et sont les point où l'on va calculer les valeurs des fonctions φ , n et p . Un exemple typique de la discrétisation d'un transistor nMOS est donné par la figure (3.4).

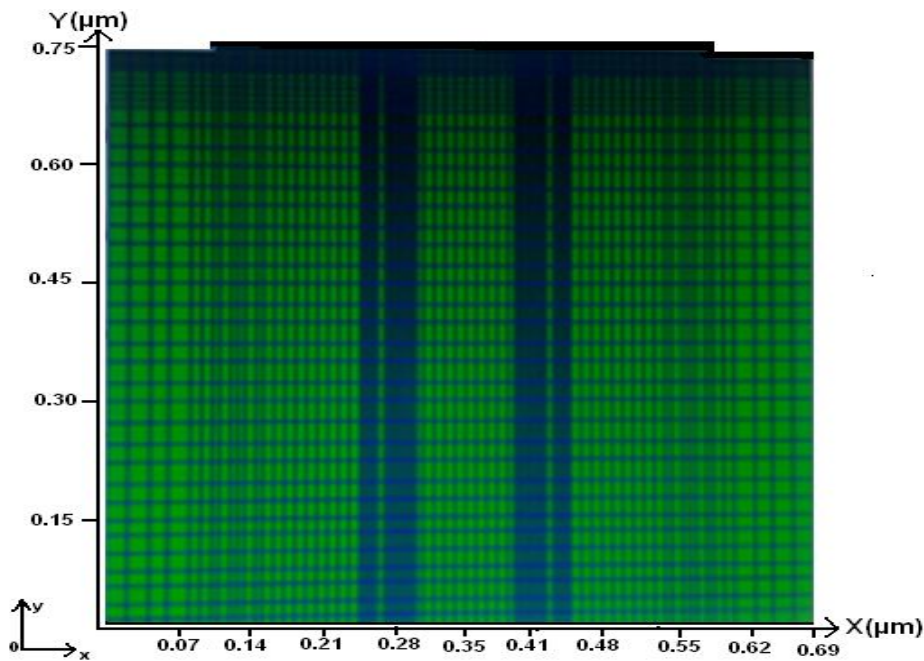


Figure. 3.4 Maillage différences finies typique de la discrétisation d'un transistor nMOS

L'espacement des lignes de maillage, ou pas, est défini par :

$$hx_i = x_{i+1} - x_i \quad hy_i = y_{i+1} - y_i \quad (\text{III.50})$$

Où

hx_i, hy_i pas en x, pas en y

Dans notre travail, nous choisissons un pas non uniforme en x et en y , de façon à suivre les fortes variations des grandeurs électriques (potentiel, concentration des électrons, champ électrique), notamment au niveau de la jonction P-N du canal et des contacts de source/drain et à l'interface Si/SiO₂.

1.3.2. Normalisation des équations

Dans cette étape, nous allons réécrire les équations de dérive-diffusion en utilisant de nouvelles variables réduites (ou normalisées) autres que φ , n et p , afin de simplifier les calculs numériques. Cette opération s'effectue en choisissant convenablement les valeurs des constantes de normalisation. Le potentiel électrostatique φ peut, par exemple, être décomposé en un produit, de la manière suivante:

$$\varphi = \varphi_0 \cdot \phi$$

Avec :

- φ_0 une constante qui possède la même dimension que φ
- ϕ une variable sans dimension

Les constantes de normalisation des principales variables telles qu'elles sont utilisées dans le logiciel « **SIBIDIF** » sont résumés dans le Tableau 3.4 [Latreche98] [Heydmann76].

En prenant en compte cette stratégie de normalisation, le système d'équations (11) adopte une nouvelle forme où les différentes quantités normalisées en majuscule (Φ pour le potentiel, N , P , DOP pour les concentrations d'électrons, trous et dopants, GR pour le taux de génération – recombinaison, X et Y pour les distances), spécifient qu'elles sont sans dimension :

$$\begin{cases} \text{div}(\text{grad}(\phi)) = N - P - DOP \\ \text{Div}(M_n \cdot (\text{grad}(N) - N \cdot \text{grad}(\phi))) = GR_n \\ \text{Div}(M_p \cdot (\text{grad}(P) + P \cdot \text{grad}(\phi))) = -GR_p \end{cases} \quad (\text{III.51})$$

Il est commode d'introduire la notation suivante :

$$\begin{cases} \psi^n = \exp(-\phi_n) \\ \psi^p = \exp(\phi_p) \end{cases} \quad (\text{III.52})$$

Alors

$$\begin{cases} \phi_n = \phi - \ln N \\ \phi_p = \phi + \ln P \end{cases} \quad (\text{III.53})$$

Le système d'équations (III.51) devient alors :

$$\begin{cases} \operatorname{div}(\operatorname{grad}(\phi)) = \exp(\phi) \cdot \Psi^n - \exp(-\phi) \cdot \Psi^p - DOP \\ \operatorname{Div}(M_n \cdot \exp(\phi) \cdot \operatorname{grad}(\Psi^n)) = GR_n \\ \operatorname{Div}(M_p \cdot \exp(-\phi) \cdot \operatorname{grad}(\Psi^p)) = -GR_p \end{cases} \quad (\text{III.54})$$

TABLEAU 3. 4 Valeurs des constantes de normalisation [Sutreshe98]

GRANDEURS VARIABLES	VARIABLES	UNITE	FACTEUR DE NORMALISATION	ORDRE DE GRANDEURS à 300 K°
Distance	L	m	$L = \sqrt{\frac{\varepsilon \cdot U_T}{q \cdot n_i}}$	$3.34 E-5$
Potentiel électrostatique	U_T	V	$U_T = \frac{k \cdot T}{q}$	0.0258
Concentration	n, p, N_D, N_A	cm^{-3}	n_i	$1.45E10$
Densité de courant	J_n, J_p	$C \cdot s^{-1} \cdot cm^{-2}$	$J_0 = \frac{q \cdot d_0}{L} \cdot n_i$	$1.82 E-8$
G/R volumique	$(G/R)_{volumique}$	$cm^{-3} \cdot s^{-1}$	$\frac{D_0 \cdot n_i}{L^2}$	$3.42 E+13$
G/R surfacique	$(G/R)_{surfacique}$	$cm^{-3} \cdot s^{-1}$	$\frac{D_0 \cdot n_i}{L}$	$1.14 E+11$
Constant de diffusion	D_0	$cm^2 \cdot s^{-1}$	$\frac{L \cdot J_0}{q \cdot n_i}$	$1.46 E+6$
Mobilité	μ_n, μ_p	$cm^2 \cdot V^{-1}$	$\frac{D_0}{U_T}$	$5.65 E+7$
Courant total	I	A/cm	$J_0 \cdot L$	$0.34 E-2$
Durée de vie	τ	s	$\frac{L^2}{D_0}$	$7.88 E-12$
Densité de charge surfacique	ρ_s	C / cm^2	$\frac{U_T \cdot \varepsilon_{Si}}{L}$	$7.88 E-12$
Densité de charge sur l'oxyde	ρ_{ox}	C / cm^3	$q \cdot n_i$	$2.32 E-9$

1.3.3. Discrétisation des équations par la méthode des Différences Finies

Dans ce chapitre, nous nous intéressons donc à un schéma différence finies pour le modèle de dérive diffusion en deux dimensions. Le processus de discrétisation sur les équations des semi-conducteurs que nous considérons seront détaillés en annexe I.

1.3.4. Résolution du problème discret

L'ensemble d'équations numériques issues de la discrétisation nodale par la méthode des différences finies des équations de dérive- diffusion s'écrit :

$$\begin{cases} G_k \phi_{k-1} + B_k \phi_{k-n} + D_k \phi_{k+1} + H_k \phi_{k+n} - C_k \phi_k - \exp(\phi) \cdot \Psi^n + \exp(-\phi) \cdot \Psi^p + DOP = 0 \\ G_k^n N_{k-1} + B_k^n N_{k-n} + D_k^n N_{k+1} + H_k^n N_{k+n} - C_k^n N_k + GR_n(k) = 0 \\ G_k^p P_{k-1} + B_k^p P_{k-n} + D_k^p P_{k+1} + H_k^p P_{k+n} - C_k^p P_k + GR_p(k) = 0 \end{cases} \quad (\text{III.55})$$

Il est à remarquer que les équations de continuité de courant apparaissent linéaires en N, et P respectivement, à l'exception des termes (GR) générateur de non-linéarité qui ne se situent pas au second membre, comme c'est le cas pour l'équation de Poisson, la partie non linéaire est représentée par le terme (N - P - DOP).

Il est cependant intéressant de pouvoir séparer, dans ces trois équations, les termes générateurs de non - linéarités des termes linéaires. On peut donc mettre le système d'équations (55) sous la forme symbolique suivante [Latreche98]:

$$\begin{cases} L^\phi(\phi) - N + P + DOP = 0 \\ L^n(N) + GR(\phi, N, P) = 0 \\ L^p(P) + GR(\phi, N, P) = 0 \end{cases} \quad (\text{III.56})$$

Où

$L^n(N)$, $L^p(P)$, $L^\phi(\phi)$ Symbolisent la forme linéaire de chacune des équations précédentes.

Toute fois ces équations n'introduisent en chaque nœud k qu'une relation entre 5 points du maillage du type :

$$G_k X_{k-1} + B_k X_{k-n} + D_k X_{k+1} + H_k X_{k+n} - C_k X_k = S_k \quad (\text{III.57})$$

Ceci conduit alors à écrire chacune des équations linéaires précédentes sous la forme matricielle:

$$[M_k] \cdot [X_k] = [S_k] \quad (\text{III.58})$$

Avec

- M_k matrice contenant les coefficients G, B, D, H et C
- X_k vecteur inconnu à calculer (ϕ, N ou P)
- S_k vecteur contenant le second membre des équations

Pour résoudre le système linéaire (III.58), nous employons une méthode itérative dite de « Gauss-Seidel ».

1.3.4.1. Description de l'algorithme de Gauss-Seidel

Soit à résoudre système d'équations discrètes de la forme suivante :

$$G_k X_{k-1} + B_k X_{k-n} + D_k X_{k+1} + H_k X_{k+n} - C_k X_k = S_k \quad (\text{III.59})$$

La mise en œuvre de l'algorithme de Gauss- Seidel permet de construire une suite vectorielle $X^{(0)}, X^{(1)}, \dots, X^{(n)}, X^{(n+1)}, \dots$ convergente vers la solution X cherchée.

A chaque cycle de l'algorithme de simulation, nous procédons alors par trois étapes suivantes:

1- Solution initiale

Au départ, nous choisissons un ensemble de valeurs initiales $X_k(0)$ pour les trois variables. Pour cela, il est préférable d'approcher les quasi-potentiels de Fermi des électrons et des trous, en notant que pour les porteurs majoritaires d'une région, ils sont pratiquement constants et que pour les minoritaires leur variation est monotone [Heydmann76], ce qui s'exprime de la façon suivante :

$$\text{➤ région de type N: } \begin{cases} \phi_n^0 = \text{constante} \\ \text{div grad}(\phi_p^0) = 0 \end{cases}$$

$$\text{➤ région de type P: } \begin{cases} \phi_p^0 = \text{constante} \\ \text{div grad}(\phi_n^0) = 0 \end{cases}$$

La constante de ces équations sera simplement la valeur du pseudo - niveau de Fermi prise au contact métallique de la zone correspondante. Une fois obtenues ϕ_n^0 et ϕ_p^0 le potentiel électrostatique $\phi^{(0)}$ est calculé par résolution de l'équation de Poisson ($\text{div. grad}(\phi) = 0$). Enfin les densités de porteurs libres ($N^{(0)}$ et $P^{(0)}$) sont estimés à partir de $\phi^{(0)}$, ϕ_n^0 et ϕ_p^0 .

2- Solution finale

Lors d'une itération, le maillage est parcouru par lignes successives. Pour chaque point k, nous procédons comme suit:

- a- Fixer le nombre maximal d'itérations et la tolérance ϵ .
- b- Récupérer les résultats de la solution initiale $\phi^{(0)}$, $N^{(0)}$ et $P^{(0)}$ pour déclencher le processus itératif de la résolution finale
- c- Evaluer M_n , M_p (mobilités des électrons et de trous) et G (taux de génération – recombinaison) à partir de $\phi^{(0)}$, $N^{(0)}$ et $P^{(0)}$
- d- Evaluer $X_k^{(i)}$ avec la méthode Gauss-Seidel :

$$X_k^{(i)} = \frac{1}{C_k} \left[S_k - \left(G_k X_{k-1}^{(i-1)} + B_k X_{k-n}^{(i-1)} + D_k X_{k+1}^{(i-1)} + H_k X_{k+n}^{(i-1)} \right) \right] \quad (\text{III.60})$$

avec $i = 1, 2, \dots, n+1$

e- Tester la convergence.

f- Conserver L'itération précédente dans $X_k^{(0)}$: $X_k^{(0)}$ reçoit $X_k^{(i)}$,

g- Retour à l'étape b

Il est à noter que la convergence de la solution finale est fortement tributaire de la qualité de la de la solution initiale.

3- Conditions d'arrêt

La méthode itérative de Gauss- Seidel nécessite un nombre infini d'itérations pour converger vers la solution cherchée. Ainsi, pour rendre cette méthode opérationnelle, il convient d'introduire un critère d'arrêt pour le procédé itératif.

On détermine les conditions d'arrêts suivantes :

- Nombre maximale d'itérations
- Test de convergence : la méthode de Gauss-Seidel converge si l'erreur devient suffisamment petite. On choisira une combinaison entre erreur absolue (eq.III.61) pour le potentiel électrostatique et erreur relative (eq.III.62) pour les densités de porteurs libres (électrons – trous). Ce qui conduira à stopper les itérations lorsque les conditions suivantes sont satisfaites :

Erreur absolue :

$$\left| X_k^{(m+1)} - X_k^{(m)} \right| \leq \varepsilon \quad (\text{III.61})$$

Erreur relative :

$$\left| \frac{X_k^{(m+1)} - X_k^{(m)}}{X_k^{(m+1)}} \right| \leq \varepsilon \quad (\text{III.62})$$

Si les erreurs relatives (absolues) entre deux valeurs successives dépassent une certaine tolérance fixée d'avance, on reprend le calcul en suivant les trois étapes précédentes voir Figure (3.4).

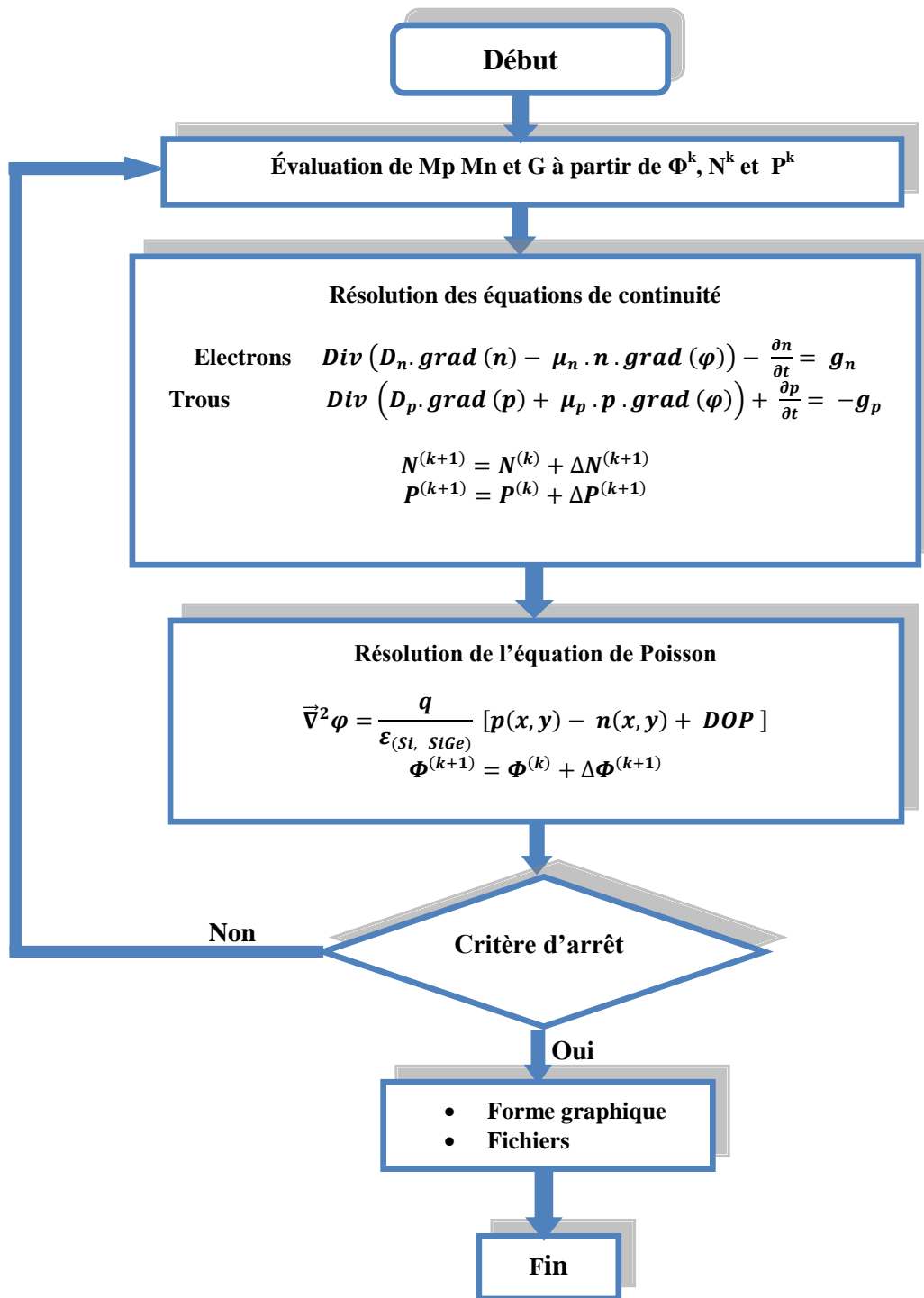


Figure. 3.4 Organigramme de la résolution finale.

1.3.5. Outil de simulations: Logiciel SIBIDIF

La simulation des composants MOS est effectuée avec le logiciel **SIBIDIF** « *Simulation BIdimensionnelle par DIfférences Finies* ».

"SIBIDIF" est un simulateur bidimensionnel [SLatreche98], étendu pour décrire le fonctionnement électrique des hétérojonctions en particulier, le transistor MOS à canal contraint en tension bi-axiale.

Ce logiciel assure une simulation physique des caractéristiques électriques des composants semi-conducteurs (MOS, TBH) dans un fonctionnement en régime continu. De plus, il fournit des informations sur la distribution des variables physiques internes, telles que le potentiel électrostatique, les concentrations des porteurs de charge, le champ électrique, etc. Ceci est réalisé en résolvant numériquement et suivant la méthode des différences finies des équations de dérive diffusion à chaque nœud d'un maillage, défini par l'utilisateur.

Le logiciel SIBIDIF regroupe 4 modules qui aboutissent à la modélisation de la structure considérée. La démarche de simulation de chaque module est indiquée sur la Figure (3.5). Dans ces modules:

- **UTILED** : permet de décrire la structure que l'on souhaite étudier.
- **BIDIMI** : dans ce module de simulation physique, on recherche la structure déjà construite dans UTILED, ainsi que les paramètres physiques correspondants, et le type de polarisation choisie, pour effectuer la solution initiale.
- **SIBIDIF** : c'est dans ce module que l'on déclare les modèles physiques pris en compte, et les modèles de résolution numérique pour exécuter la solution finale
- **Visualisation graphique** : Les résultats de simulations peuvent être visualisés suivant le type d'analyse, soit dans MATLAB, soit dans Origine.

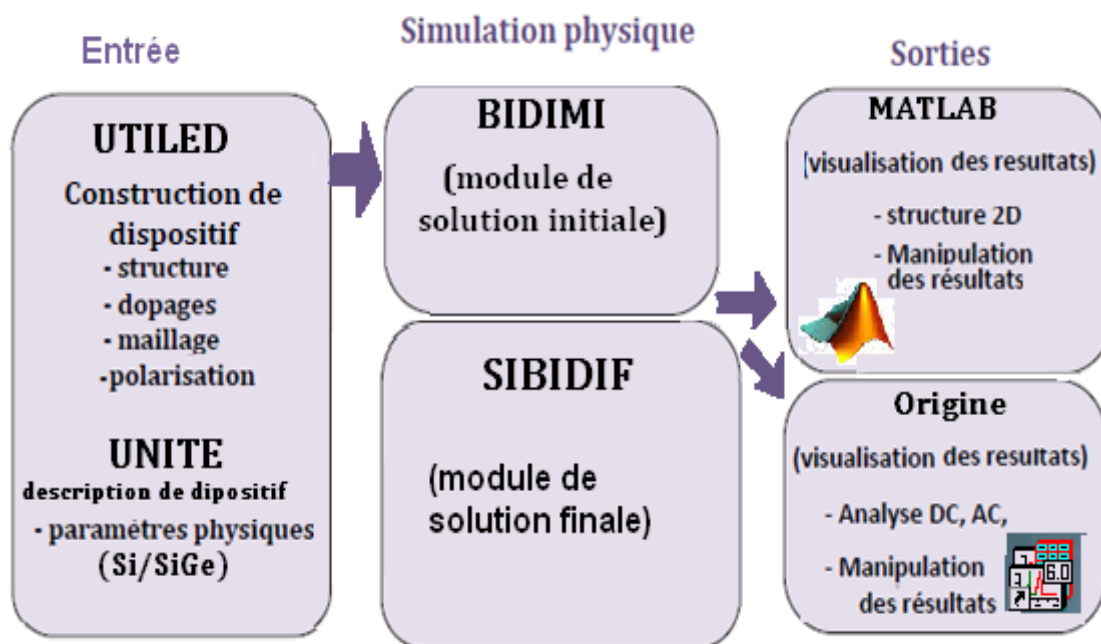


Figure. 3.5 Structure de la simulation physique avec le logiciel SIBIDIF

2. EFFET DE LA CONTRAINTE MÉCANIQUE SUR LES CARACTÉRISTIQUES ÉLECTRIQUES

2.1. DIPOSITIFS ÉTUDIÉ

Dans cette deuxième section de ce chapitre, nous présentons des simulations conduites sur des transistors n LDD-MOS à effet de champs de taille submicronique (nLDD-MOSFETs: MOSFETs de type N légèrement dopés du côté drain). Nous considérons deux séries de dispositifs: une avec un canal standard à base de Si, une autre, de même géométrie, mais à canal contraint, (contrainte bi-axiale en tension équivalente à celle d'une couche de Si épitaxiée sur un pseudo-substrat de $\text{Si}_x\text{Ge}_{1-x}$, dont la fraction molaire en germanium, x , varie de 0 à 30%). Les performances des deux structures, seront comparées ultérieurement à l'aide du code de calcul numérique présenté dans la section précédente.

Ainsi, la structure des dispositifs n MOS simulés est illustrée sur la Figure 3.6.

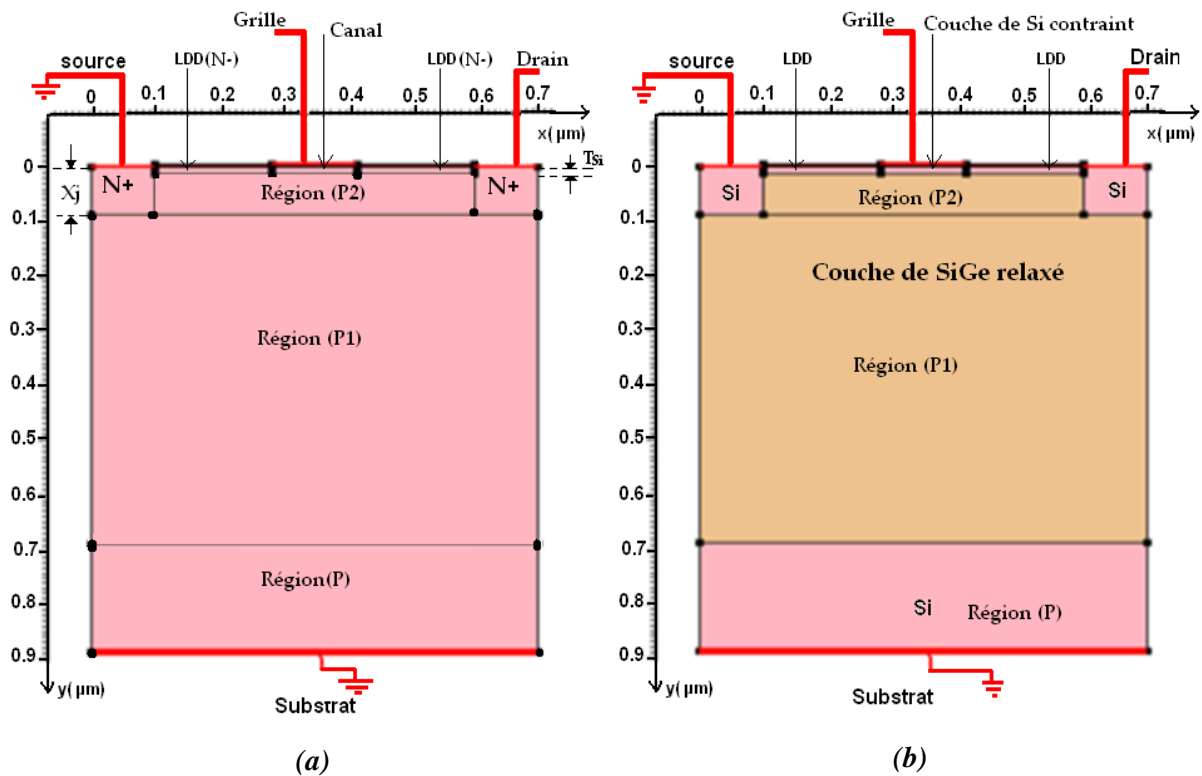


Figure. 3.6 Vue schématique des transistors n MOS étudiés où les principaux paramètres électriques et structuraux sont définis : a) transistor MOS non contraint, b) transistor MOS contraint

La longueur du canal L_g des transistors étudiés est de 130 nm avec une épaisseur de l'oxyde de grille SiO_2 de 3nm. Le canal est dopé à $1.10^{17} \text{ cm}^{-3}$. La concentration des caissons

(source/drain) N⁺ est de l'ordre de 1.10^{20}cm^{-3} et la profondeur de jonction X_j sera prise 88nm, avec des extensions LDD (Lightly Doped Drain) dopés à 5.10^{19}cm^{-3} .

Notons que les principaux paramètres électriques et structurels pour la simulation des dispositifs nMOS contraints sont choisis parmi ceux rapportés dans un travail expérimental [Rim00] sont listés dans le Tableau 3.5.

TABLEAU 3.5 Paramètres considérés pour la simulation des dispositifs n MOSFET [Rim00]

Paramètre	Valeur
Epaisseur de l'oxyde, (T _{ox}) (nm)	3
Longueur de la grille L _g (nm)	130
Epaisseur du canal T _{Si} (nm)	13
Dopage du canal (cm ⁻³)	1e 17
Dopage Source/drain (cm ⁻³)	1e 20
Dopage LDD (cm ⁻³)	5e19
Dopage Substrat région p (cm ⁻³)	1e 16
Dopage Substrat région p1 (cm ⁻³)	2e 16
Dopage Substrat région p2 (cm ⁻³)	1e18
Polarisation Grille, V _G (V)	0.01- 2
Polarisation Drain, V _D (V)	0.01- 2
Température (K)	300
Fraction molaire x en Ge de la couche SiGe	0- 30%

2.2. VALIDATION DU CODE DE CALCUL DÉVELOPPÉ

La figure 3.7 compare les caractéristiques électriques I_D (V_D) dans les dispositifs nMOS à canal contraint (pour une tension de grille V_g=1.5V) issus de la simulation de notre code (SIBIDIF) et d'un code de simulation commercial (Sentaurus ISE-TCAD). En effet, on observe que les deux courbes présentent la même allure. La concordance entre les deux codes de simulation permet de valider notre code de simulation pour les dispositifs nMOS.

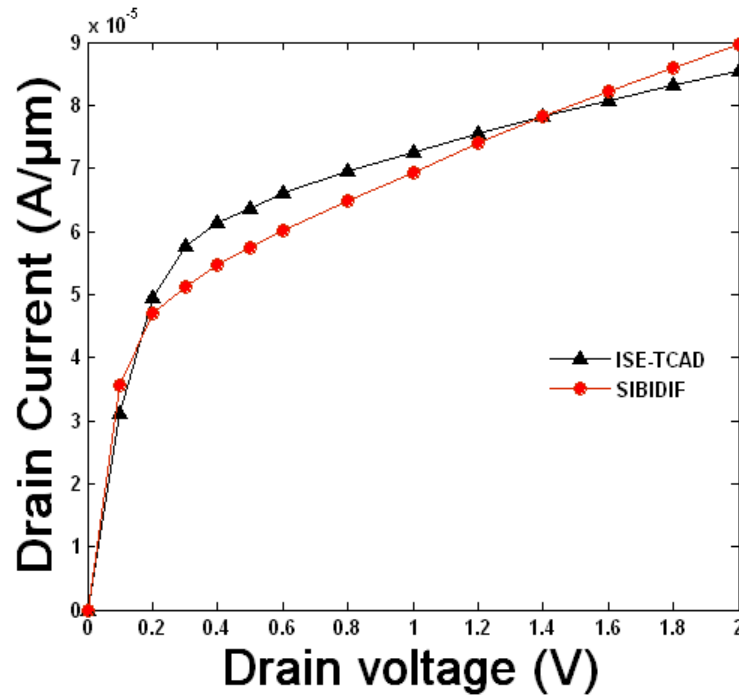


Figure. 3.7 Caractéristiques électriques $I_D(V_D)$ issue de notre code de simulation SIBIDIF et d'un code commercial SUNTAURUS (ISE-TCAD) des transistors MOS, les principales données des structures sont : $L_g=130\text{nm}$, $T_{ox}=3\text{nm}$, $T_s=13\text{nm}$, $T=300\text{K}$.

2.3. PROPRIETES DE TRANSPORT DANS LES MOSFETS NON CONTRAINTS

2.3.1. Profils de potentiel, de concentration des électrons et de champs électriques en deux dimensions issus des simulations " SIBIDIF "

Le composant ici considéré est un n MOS à canal non contraint dont la géométrie est indiquée en Figure (3.6-(a)). Dans ce paragraphe, nous allons détailler les résultats de calcul obtenues en deux dimensions sur les quantités physiques (potentiel électrostatique, de champs électriques et de concentration de porteurs de charges électrons/trous).

La Figure 3.8 représente la répartition bidimensionnelle du potentiel électrostatique $\phi(x, y)$ calculé pour une polarisation de grille de 1V et une tension de drain de 0.5V alors que la source et le substrat sont à la masse. On distingue la zone de substrat en équilibre où le potentiel est constant, et la formation de deux barrières de potentiel entre les régions de types opposé. La première caractérisée par une hauteur très prononcé se situe du côté drain-substrat, cette barrière est augmenté par la polarisation V_D appliquée; alors que la seconde moins élevée et située du côté source - substrat. Cette dernière a pratiquement disparue à l'interface entre la source et le canal. Nous constatons également une forte chute de tension dans la couche d'oxyde à cause de la forte valeur négative de la charge d'espace à l'interface oxyde/silicium.

Nous présentons sur la figure (3.9), l'évolution au cours des itérations de l'erreur absolue commise sur le calcul du potentiel électrostatique, pour les polarités $V_g = 1\text{ V}$ et $V_d = 0.5\text{ V}$. Le critère de la convergence absolue $\Delta\phi$ a été fixé de 10^{-10} .

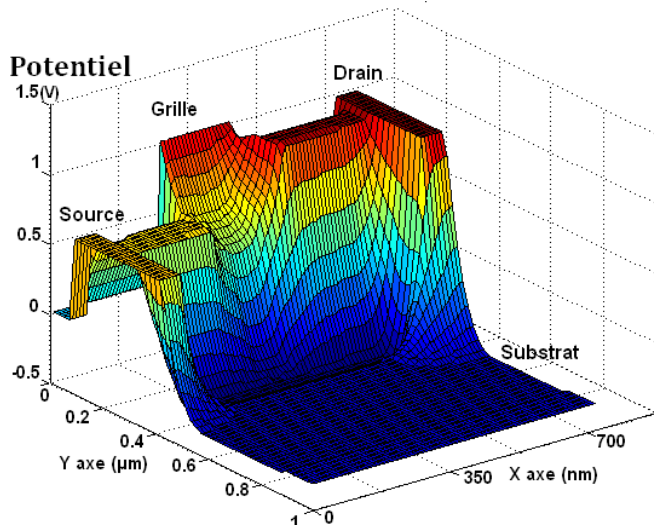


Figure. 3.8 Distribution bidimensionnelle du potentiel électrostatique dans la structure NMOS

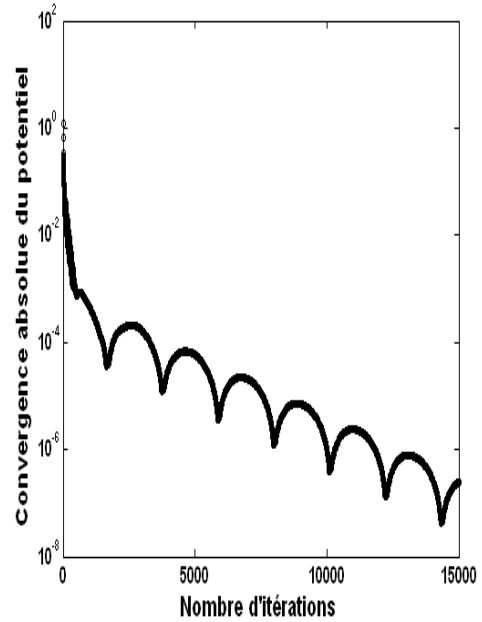


Figure. 3.9 Evolution de l'erreur absolue au potentiel en fonction du nombre d'itérations pour un NMOS à canal standard

La figure (3.10) montre la répartition bidimensionnelle de la densité d'électrons le long de la structure du composant n MOS, pour la même polarisation ($V_G = 1\text{ V}$, $V_D = 0.5\text{ V}$, $V_S = 0$).

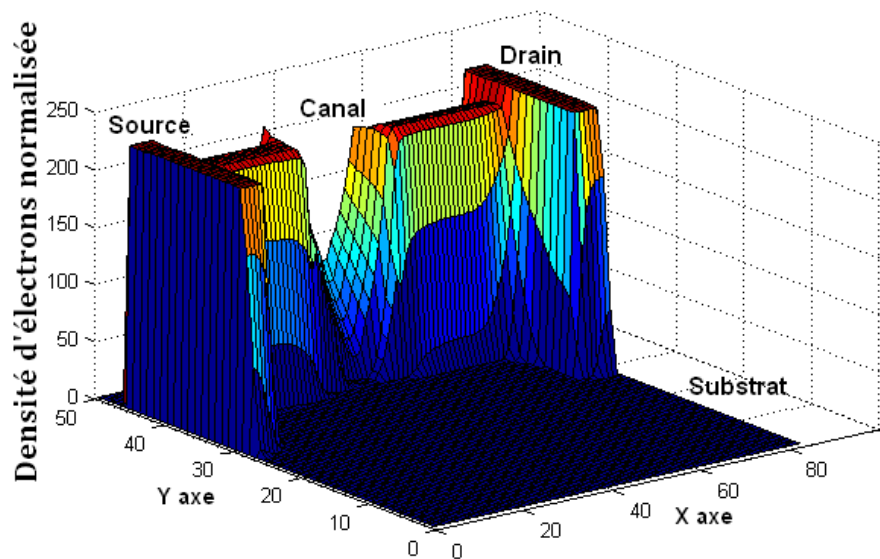


Figure. 3.10 Distribution bidimensionnelle de la densité d'électrons dans la structure NMOS

On observe les deux plots de source et de drain où la valeur est celle de l'équilibre thermodynamique. On note également la présence des profils LDD (ou Lightly Doped Drain de même type que le drain), autour des diffusions de drain et de la source. Ces extensions faiblement dopées permettent une meilleure répartition des zones de déplétion. En effet, la zone de charge d'espace (ZCE) pourra alors s'étendre dans les régions de contact les moins dopées et plus exclusivement dans le canal. On observe aussi les paliers correspondants aux jonctions où la densité d'électrons varie très rapidement.

Enfin, pour la même polarisation précédente, la figure (3.11) représente la répartition de la densité des trous dans le composant n MOS. On note l'existence d'un profil de dopage rétrograde : le dopage vertical sous l'oxyde est choisi de l'ordre de $1 \text{ e}17 \text{ cm}^{-3}$ afin d'obtenir la valeur de la tension de seuil V_T désirée d'une part et, pour ne pas trop réduire la mobilité dans le canal d'autre part. En revanche, le niveau de dopage de la couche enterrée (réalisée par épitaxie sur toute la longueur du canal) est nettement plus important (10^{18} - 10^{19} cm^{-3}) pour limiter les effets de canal court [Rim00].

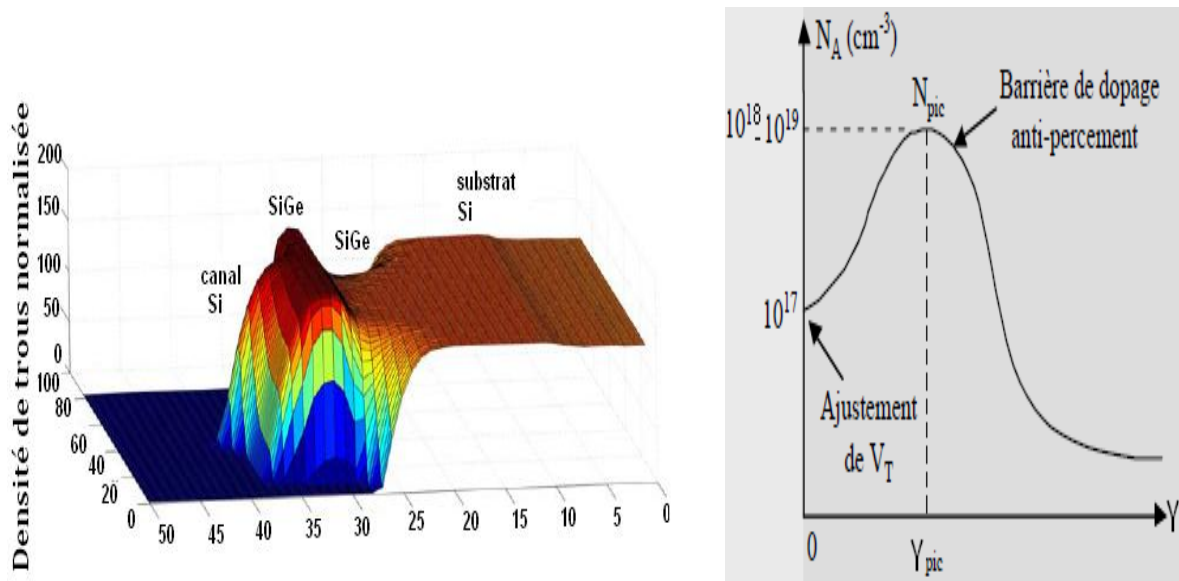


Figure. 3.11 Distribution bidimensionnelle de la densité de trous dans la structure MOS

L'évolution au cours des itérations de l'erreur relative commise sur le calcul des densités des électrons et des trous est représenté sur la figure (3.12), pour les polarités $V_g=1\text{V}$ et $V_d=0.5\text{V}$. Les critères de la convergence relative $\Delta N/N$ et $\Delta P/P$ ont été fixés de 10^{-9} .

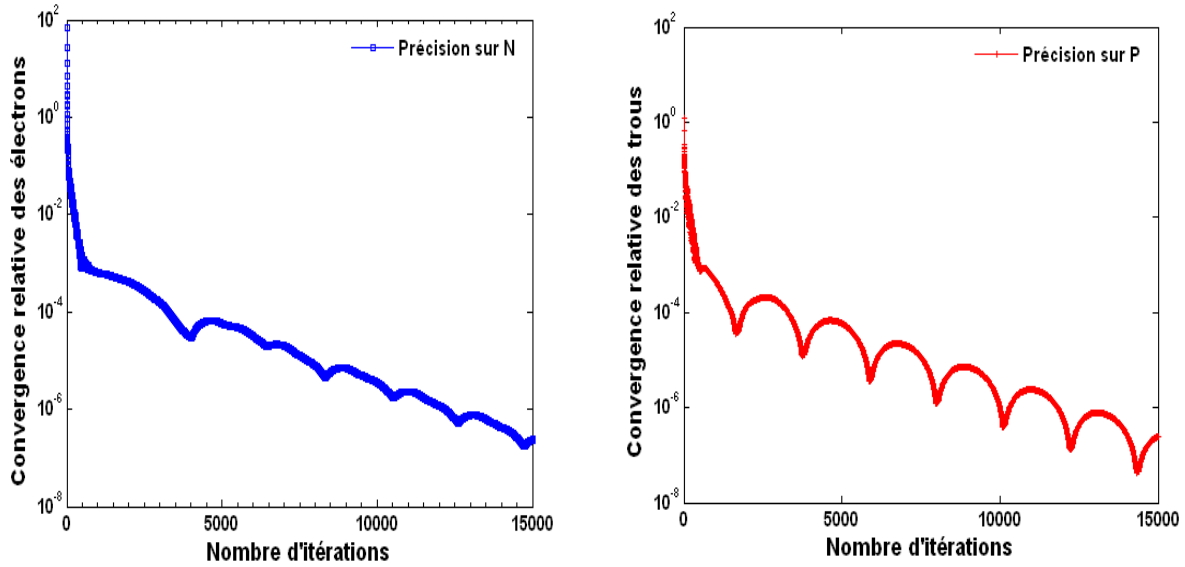


Figure. 3.12 Evolution de l'erreur relative des électrons et des trous en fonction du nombre d'itérations pour un n MOS à canal de Si standard

On montre sur les Figures (3.13) et (3.13), les évolutions en deux dimensions des deux composantes E_x et E_y du champ électrique le long du canal de conduction. On observe en effet que le champ électrique longitudinal E_x est de valeur relativement faible, dans la portion du canal reliée à la source. Par contre, le champ électrique transverse E_y atteint alors des valeurs élevées. On remarque enfin que dans la région drain-canal règnent des champs intenses.

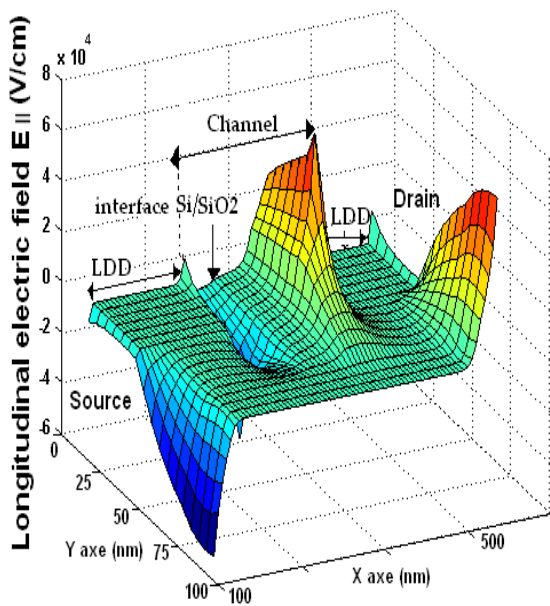


Figure. 3.13 Distribution bidimensionnelle du champ électrique longitudinale dans la structure MOS

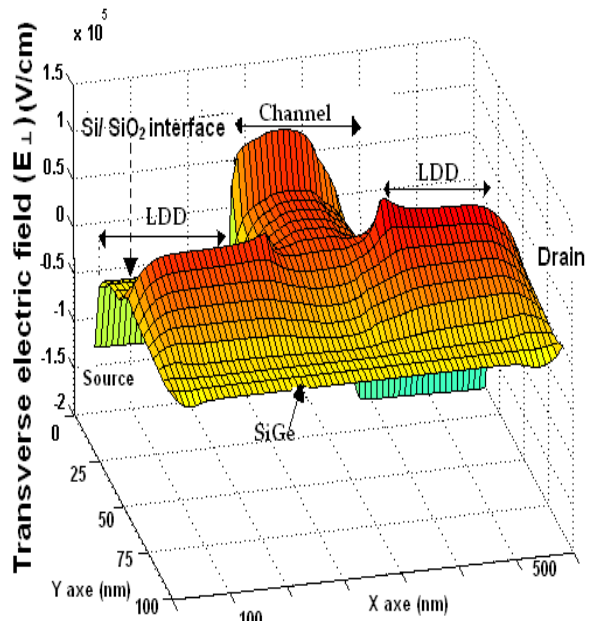


Figure. 3.14 Distribution bidimensionnelle du champ électrique transversale dans la structure MOS

2.3.2. Influence des conditions de polarisation

Dans cette partie, nous présentons les profils de champs électriques, la densité d'électrons, ainsi que la mobilité des électrons le long de l'interface canal-oxyde de grille, obtenus avec une simulation SIBIDIF sur un dispositif MOS à canal de Si de 130nm de longueur de grille, à température ambiante ($T=300K$). Par ces profils, nous discutons l'évolution du transport électrique dans les composants MOSFETs sous différentes conditions de polarisation. Ces discussions serviront de base à la description de la variation du courant dans les MOSFETs sous contrainte en tension bi-axiale.

Dans le premier cas, le potentiel de la grille est supérieur au potentiel du drain, et varie de 0.8V jusqu'à 2V, la tension V_D est de 0.02V. Les contacts de la source et de substrat sont toujours à la masse.

On observe sur la (Figure 3.15-c) que, l'accroissement de la tension de grille n'a pas d'effet important sur la composante longitudinale de champ électrique, en revanche il cause une augmentation significative du niveau de la composante transversal de celui-ci de quelques (Méga volt/cm), notamment dans la région centrale du canal (Figure 3.15-d). Cela se traduit par une variation de la quantité d'électrons, au milieu du canal et une réduction de leur mobilité (Figure 3.15-a). En effet, en augmentant la tension de grille, il est possible d'observer un effet plus marqué d'accumulation des électrons à l'interface Si/SiO₂ formant ainsi une couche d'inversion suffisamment conductrice (Figure 3.15-b).

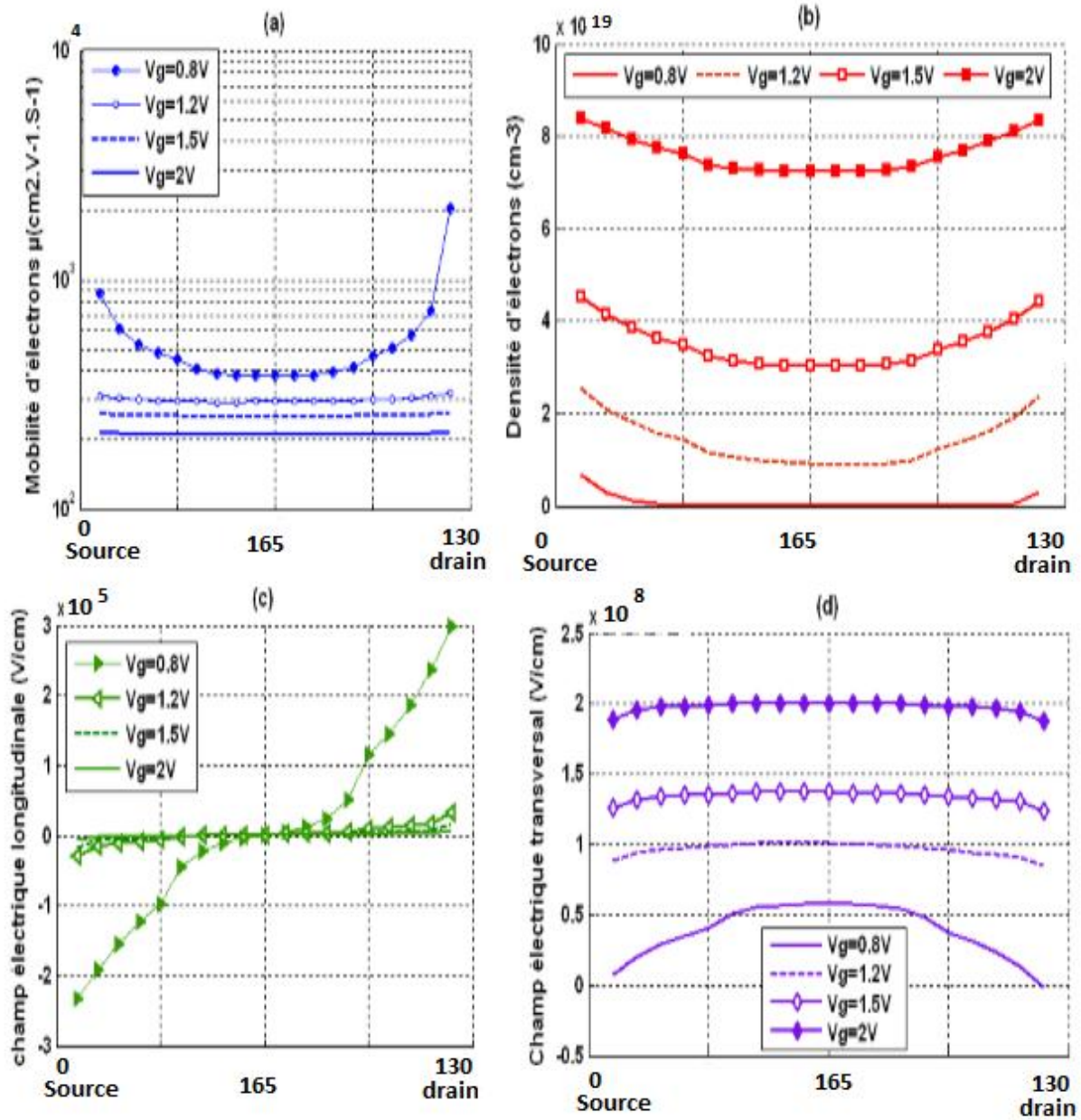


Figure. 3.15 Profils de a) mobilité, b) concentration des électrons, c) champ électrique longitudinale et de d) champ électrique transversale le long du canal du dispositif nMOS non contraint de 130nm de longueur de grille. Les profils sont calculés pour des conditions de polarisation non nulles, V_g varie de 0.8 jusqu'à 2V, $V_d = 0.02V$.

La figure (3.16) montre également l'influence des polarisations de la grille et du drain sur les évolutions des mêmes grandeurs physiques précédentes en fonction de la position x, le long de l'interface canal- oxyde de grille dans les dispositifs MOS contraint. Dans ce cas nous considérons une tension de drain variable allant de 0.5V jusqu'à 2V, et une tension de grille constante de 1.5V.

Nous observons tout d'abord la forte force de dérive du côté de l'électrode du drain. De même, on notera que pour des tensions de drain élevées (supérieures à la tension de la grille)

le champ électrique transversal, capable d'attirer les électrons en surface pour former un canal conducteur près de la source, s'inverse en un point du canal et ne peut maintenir en surface une zone inversé. De ce fait, la densité d'électrons présente une allure identique à celle de la figure (3.16-b) près de la source, tandis qu'au voisinage du drain les électrons sont repoussés de la grille (figure (3.16-c)), par conséquent leur mobilité augmente dans cette zone (figure (3.16-a)).

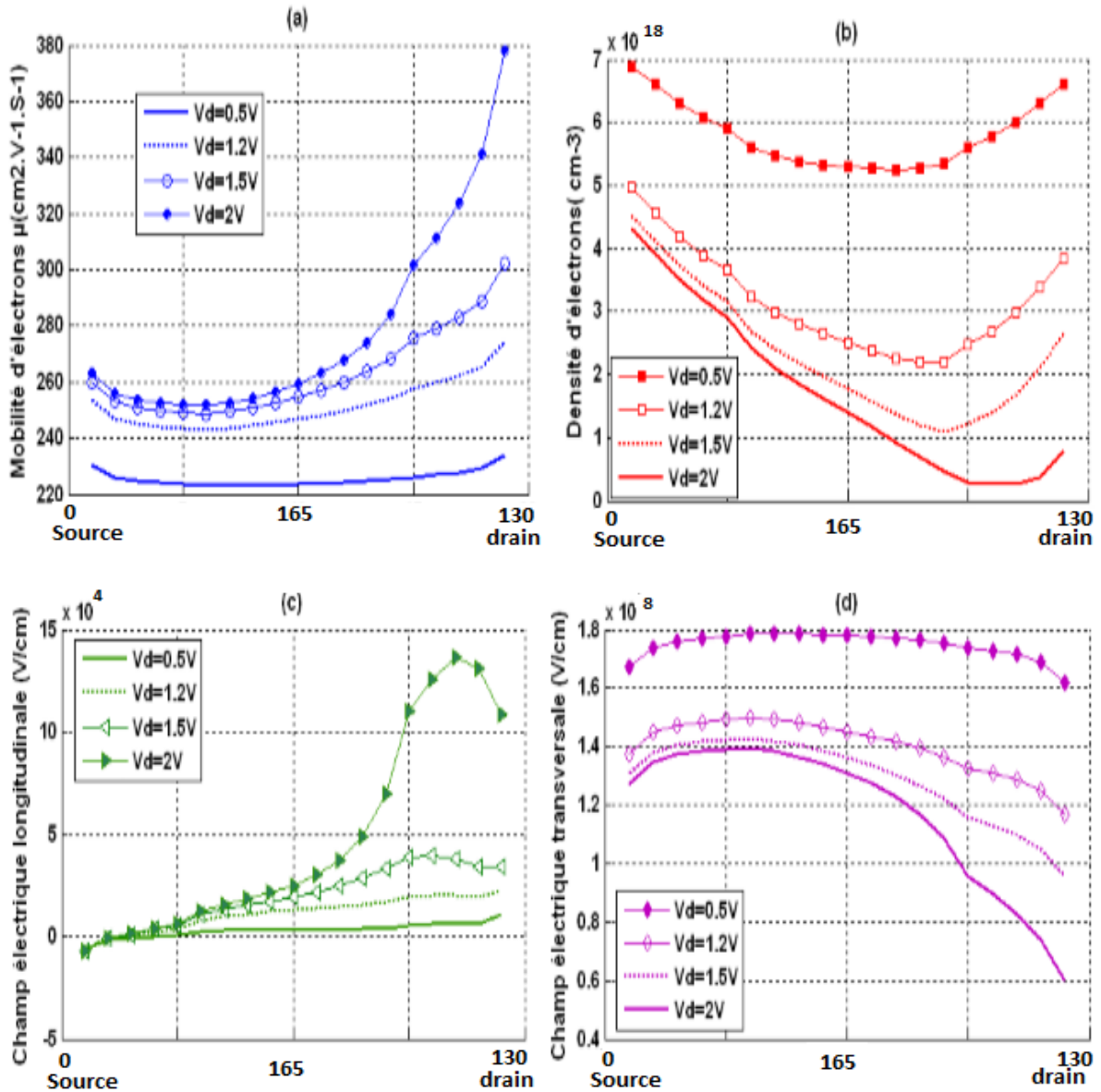


Figure. 3.16 Profils de a) mobilité, b) concentration des électrons, c) champ électrique longitudinale et de d) champ électrique transversale le long du canal du dispositif nMOS non contraint de 130nm de longueur de grill, sous des potentiels de drain allant de 0.5V jusqu'à 2V. La tension de grille considérée est de 1.5V.

2.4. PROPRIETES DE TRANSPORT ÉLECTRIQUE DANS LES MOSFETS CONTRAINTS EN TENSION BI-AXIALE

L'étude suivante a pour but d'estimer l'influence de la contrainte mécanique en tension bi-axiale (variation du pourcentage en germanium, x , dans le pseudo- substrat $Si_{1-x}Ge_x$) sur les propriétés électriques de transport dans le canal de conduction, notamment sur les caractéristiques électriques statiques $I(V)$ du composant MOS et sur la mobilité de porteurs de charges.

2.4.1. Effet de la contrainte sur la mobilité dans le canal de conduction

Nous avons reporté en Figure (3.17) les évolutions de la mobilité des électrons au milieu du canal de conduction des dispositifs MOS contraint et des dispositifs à canal standard en fonction du champ électrique transversal, tenant compte de la variation du taux de Germanium x dans le substrat $Si_{1-x}Ge_x$.

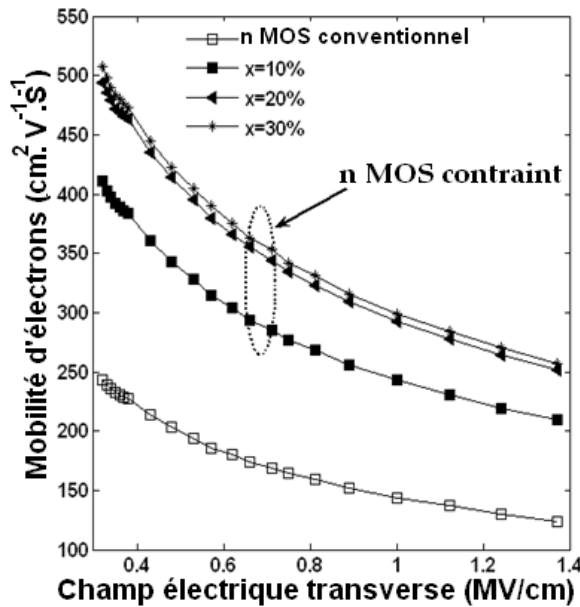


Figure. 3.17 Influence d'une contrainte bi-axiale sur la mobilité, variation de mobilité en fonction de la proportion de Ge dans le substrat virtuel.

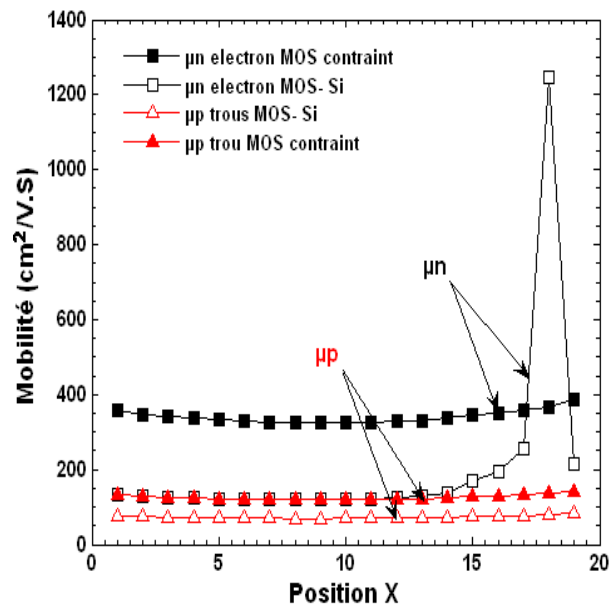


Figure. 3.18 Variation de la mobilité des électrons et des trous dans une couche d'inversion sous contraintes bi-axiales,

Plusieurs observations sont à noter sur la variation de la mobilité des électrons des nMOSFET en fonction de contraintes en tension bi-axiales:

- i) Les résultats obtenus dans le cas du nMOS affichent une augmentation de la mobilité des électrons pour tous les cas de contraintes. On distingue bien que, plus la concentration en germanium dans le matériau $Si_{1-x}Ge_x$ est grande plus la mobilité des électrons dans le canal de conduction est importante, pour toutes les tensions de grille [Bensegueni16].

- Les variations de la mobilité sont essentiellement dues à la contrainte ainsi qu'à la réduction de la masse effective en fonction du taux de germanium [Rochette08].
- ii) Les variations de mobilités dues à la contrainte sont supérieures à celles obtenues pour des dispositifs non contraints [Bensegueni16]. En plus, les valeurs de la mobilité dépendent fortement de la tension de grille appliquée et donc du champ électrique transverse.
 - iii) les contraintes en tension bi-axiales conduisent à la fois à une augmentation de la mobilité des électrons et des trous, (figure 3.18). En revanche, la mobilité des électrons atteste de variations plus marquées que celle des trous pour la majorité des contraintes. En effet, sur la Figure (3.19) on représente le facteur d'amélioration de la mobilité des électrons en fonction de la proportion en germanium x dans la couche de SiGe (Le facteur d'amélioration de la mobilité est défini comme le rapport entre la mobilité dans MOSFET Si contraint et la mobilité dans les MOSFET conventionnels). Cette figure compare l'ensemble des données, obtenues au cours de cette thèse, aux données expérimentales de la littérature de l'Université de Stanford [Welser92], et [Welser94], IBM [Rim01], Hitachi [Sugii01], le MIT [Cheng01] et [Lauer04], Toshiba [Muzino 00] et [Tezuka 02], Rashed et al. [Rached95], Takagi et al. [Takagi96].

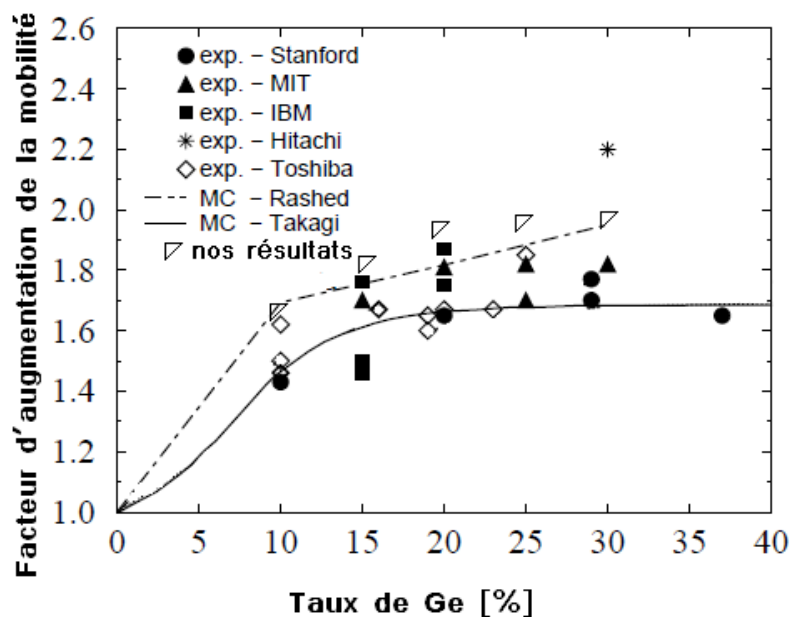


Figure. 3.19 Facteur d'augmentation de la mobilité en fonction de la proportion de Ge dans le substrat virtuel obtenue au cours de ce travail et comparé à d'autres travaux de la

Comme on le voit sur la figure le rapport d'amélioration de la mobilité des électrons augmente progressivement avec le pourcentage en Ge pour $x < 20\%$ et tend à saturer pour des valeurs plus élevées.

2.4.2. Caractéristiques électriques courant- tension sous contraintes en tension bi-axiale

La figure 3.20 révèle l'importance de l'effet de la contrainte mécanique sur les caractéristiques courant- tension $I_D(V_{GS})$ et $I_D(V_{DS})$ de la structure nMOS à canal contraint avec un taux de germanium de 20% par rapport à celle de dispositif MOS à canal standard. En effet, dans cette figure, la comparaison entre les courbes montre un fort décalage entre la caractéristique de dispositif contraint vers une tension de polarisation de grille plus élevée par rapport à la courbe de transistor non contraint. Le courant de saturation I_{on} est donc plus important que dans le cas d'une structure standard à même polarisation [Bensegueni13]. En revanche, cette analyse montre une diminution de la tension de seuil V_T dans le dispositif contraint (figure 2.20-b)

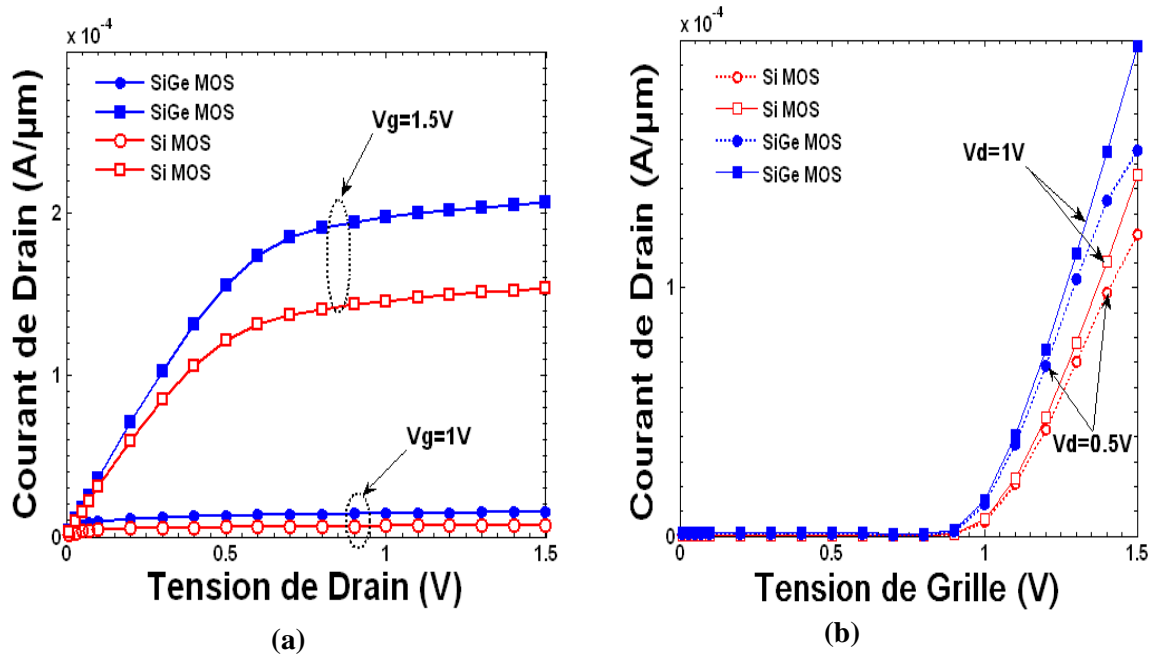


Figure. 3.20 Caractéristiques électriques des MOSFET contraint et des dispositifs à canal de standard simulés pour une concentration en Germanium $x=20\%$, a) $I_D(V_{DS})$ à V_{GS} variable, b) $I_D(V_{GS})$ à V_{DS} variable

La figure 3.21 compare les courbes de courant $I_D(V_{DS})$ de dispositif nMOS à canal contraint et de dispositif non contraint où différentes proportions de Ge sont appliquées dans le pseudo- substrat $Si_{1-x}Ge_x$, x varie de 10% jusqu'à 30%.

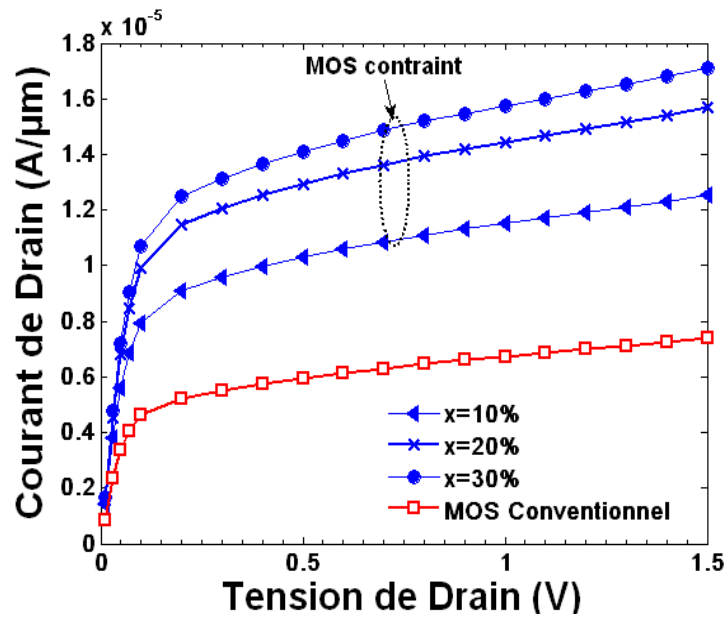


Figure. 3.21 Caractéristiques électriques $I_D(V_{DS})$ à $V_{GS} = 1V$ des MOSFET contraints et conventionnels simulés pour différentes proportions en germanium, x varie de 10% à 30%,

Ainsi, nous pouvons distinguer un accroissement important du courant de drain I_{on} lorsqu'on augmente le taux de germanium [Bensegueni16]. L'évolution de la différence entre les courbes semble être fortement dépendante de la concentration en germanium et donc de l'évolution de la mobilité et de la masse effective.

Les résultats de simulations de la structure MOS étudiée sont en bon accord avec ceux présentées par d'autres auteurs dans la littérature [Sarah03] et [Olsen 09], tant du point de vue du comportement électrique général que des ordres de grandeur trouvés.

3. CONCLUSION

Le chapitre III est dédié à la simulation numérique de dispositifs NMOS à effet de champ de taille submicronique. Deux séries de dispositifs ont été considérées: l'une avec un canal standard à base de Si, une autre, à canal contraint en tension bi-axiale.

Nous avons élaboré durant cette thèse, un code de simulation bidimensionnelle dédié au calcul des propriétés de transport électronique dans la couche d'inversion. Nous avons ainsi pu présenter les différents outils nécessaires à la modélisation du transport électrique, notamment le formalisme de dérive diffusion et le concept de mobilité. Les modèles proposés dans ce chapitre intègrent systématiquement les effets de contraintes mécaniques dans le but d'évaluer leur aptitude à augmenter les performances des composants MOS.

Dans un premier temps, les résultats de la simulation issus de notre code « SIBIDIF » sont comparés à ceux obtenus d'un logiciel commercial "Suntaurus (ISE-TCAD)". La

concordance entre les codes nous a permis de valider nos résultats.

Dans un deuxième temps, les simulations de transport bidimensionnelles dans des dispositifs MOS conventionnels, nous ont permis de déterminer avec précision les quantités physiques (champ électrique, densités de porteurs de charge, mobilité, potentiel) qui permettent la compréhension des phénomènes mis en jeu. Ensuite, l'influence des conditions de polarisation sur la distribution de ces mêmes quantités physiques le long de l'interface oxyde de grille - canal de conduction a été évaluée afin de fournir des résultats sur les différents régimes de fonctionnement du composant.

Enfin, le code de simulation numérique a été adapté à la simulation des dispositifs MOS à canal contraint en tension bi-axiale (prise en compte des effets de la contrainte mécanique sur les propriétés intrinsèque du Si, à savoir, sur la bande de gap, la mobilité, .. etc.). Les performances des composants MOS à canal contraint ont ainsi pu être évaluées et comparées à celle obtenues sur Si, en termes de mobilité et de courant de drain. Deux principaux résultats ont pu être dégagés par cette étude :

- 1) Les films de Si contraint, qui possèdent de faibles masses effectives, sont sujets à une forte mobilité. Les résultats obtenus ont révélés des variations importantes de la mobilité des électrons (et des trous) dans la couche d'inversion pour toutes les contraintes en tension appliquées. Ainsi, les simulations ont montré une augmentation de la mobilité des électrons d'un facteur de (190%) par rapport au Silicium en cas d'un pourcentage de Germanium égale 20%.
- 2) De plus, les performances statiques (courant-tension) sont fortement améliorées avec les canaux de Si contraints en tension bi-axiales car ceux-ci peuvent fournir des courants de drain Ion plus élevés grâce à leurs mobilités plus importantes. En revanche, une diminution de la tension de seuil V_T dans les dispositifs contraints a été observée.

Le chapitre III constitue donc une première comparaison des performances entre une structure MOS " classique " de la microélectronique et une structure MOS à canal de Si contraint. Le prochain chapitre propose alors une étude sur une structure avancée : le transistor MOS contraint avec un diélectrique de grille à forte permittivité.

Références bibliographiques

- [Arora 82] Arora .N.D, Hauser J.R, and Roulston D.J., “Electron and hole mobilities in silicon as a function of concentration and temperature”. *IEEE.Trans. Electron Device*. Vol.29, p. 292, 1982.
- [Banerjee 07] B Banerjee, S Venkataraman, Y. Lu, S. Nuttinck, D. Heo,Y. J. Emery Chen, J. D. Cressler, J. Laskar, G. Freeman, D. Ahlgren, “Cryogenic Performance of a 200 GHz SiGe HBT Technology”. *IEEE Journal of solid state circuits*, Vol. 40, p. 585-593, 2007.
- [Bensegueni13] R. Bensegueni, S.Latreche, “Solution of Drift Diffusion Equations using 2D Finite Difference method: application to a strained MOSFET Device”, *Universal Journal of Mathematics and Mathematical Sciences*, Vol.4, p. 119-133. Pushpa Publishing House, Allahabad, INDIA. 2013
- [Bensegueni 16] R. Bensegueni, S.Latreche, “Numerical Method for a 2-D Drift Diffusion Model Arising in Strained n Type MOSFET Device” *PRAMANA journal of physics*, Vol. 86, p. 1391–1400, June 2016.
- [Brezzi 05] F. Brezzi, L. D. Marini, S. Micheletti, P. Pietra, R. Sacco, and S. Wang. “Discretization of semiconductor device problems”. In *Handbook of numerical analysis*. Vol. XIII, p. 317–441. North-Holland, Amsterdam, 2005
- [Brezzi 87] F. Brezzi, L. D. Marini, and P. Pietra. “Methodes d’elements finis mixtes et schema de Scharfetter-Gummel”. *C. R. Acad. Sci. Paris Sér. I Math.*, Vol.305, p. 599–604, 1987.
- [Brezzi 89] F. Brezzi, L. D. Marini, and P. Pietra. “Two-dimensional exponential fitting and applications to drift-diffusion models”. *SIAM J. Numer. Anal.*, Vol.26, p. 1342–1355, 1989.
- [Barson 76] F. Barson, “Emitter-collector shorts in bipolar devices”. *IEEE Journal of Solid-State Circuits*, Vol.11, p. 505-510, 1976.
- [Cheng01] Z.-Y. Cheng et al., “Electron mobility enhancement in strained-Si n-type metal oxide field effect transistor”. *IEEE Electron Device Lett*. Vol.22, p. 321-323, 2001.
- [Gummel’64] H. Gummel. “A self-consistent iterative scheme for one-dimensional steady-state transistor calculations”. *IEEE Trans. Electron Dev.*, Vol.11, p. 455–465, 1964.
- [heydmann72] M. Heydmann, “Résolution numérique des équations bidirectionnelles de transport dans les semi-conducteurs”. Thèse de doctorat, Université de Paris Sud Orsay, p. 1-191, 1972.
- [Hillairet 03] C. Chainais-Hillairet and Y.-J. Peng. “Convergence of a finite-volume scheme for the drift-diffusion equations in 1D”. *IMA J. Numer. Anal.*, Vol.23, p. 81–108, 2003.

- [Hillairet 04]** C. Chainais-Hillairet and Y.-J. Peng. “Finite volume approximation for degenerate drift-diffusion system in several space dimensions”. *Math. Models Methods Appl. Sci.*, Vol.14, p. 461–481, 2004.
- [Jungle’01]** A. Jüngel. “Qualitative behavior of solutions of a degenerate nonlinear drift-diffusion model for semiconductors”. *Math. Mod. and Meth. in Appl. Sci.*, Vol.5, p. 497-518, 1995.
- [Jin10]** L. Jin, L. Hong-Xia, L. Bin, C. Lei, and Y. Bo, “Study on two-dimensional analytical models for symmetrical gate stack dual gate strained silicon MOSFETs”. *Chin. Phys. B.* Vol.19, p.107302, 2010.
- [Kumar07]** M. J. Kumar, V. Venkataraman, and S. Nawal., “Impact of Strain or Ge Content on the Threshold Voltage of Nanoscale Strained-Si/SiGe Bulk MOSFETs”. *IEEE Transactions on Device and Materials Reliability.* Vol.7, p. 181, 2007.
- [Latreche98]** S. Latreche, “Etude de transistors bipolaires à émetteur polysilicium réalisés en technologie CMOS”. Thèse de doctorat es sciences, Université de Constantine, pp: 1- 140, 1998.
- [Latreche99]** Latreche, S. and Gontrand, C. “Modelisation de la conduction dans la diode émetteur - base d'un transistor bipolaire compatible CMOS”. *Physical Status Solidi.* sol (b), Vol.214.203, p. 203-215, 1999.
- [lauer04]** I. Lauer et al., “Fully depleted in n-MOSFETs on super-critical thickness strained SOI”. *IEEE Electron Device Lett.* Vol.25, p. 83-85, 2004.
- [Liu 83]** Q.Z. Liu, B. A. Orner, L. Lanzerotti, M. Dahlstrom, W. Hodge, M. Gordon, J. Johnson, M. Gautsch, J. Greco, J. Rascoe, D. Ahlgren, A. Joseph, and J. Dunn Collector, “Optimization in Advanced SiGe HBT Technologies”. *IEEE Transaction on microwave theory and techniques,* VOL. 53, 2006.
- [Lundstrom83]** M. Lundstrom and R. J. Schuelke, “Numerical analysis of heterostructure Semiconductor Device’s”. *IEEE Transaction on Electron,* Vol. ED 30, p. 1151- 1159, 1983.
- [Olsen09]** S.H. Olsen, et al, “Strained Si/SiGe MOS technology: Improving gate dielectric integrity”. *Microelectronic Engineering.* Vol.86, p. 218–223, 2009
- [Poupaud88]** F. Poupaud. “Etude mathématique et simulations numériques de quelques équations de Boltzmann”. Thèse de Doctorat, Université Paris 6, 1988.
- [Prinz89]** E. J. Prinz, P. M. Garonne, P. V. Schwartz, X. Xiao and J. C. Sturn, “The Effect of Base-Emitter Spacers and Strain-Dependent Densities of States in Si/Si_{1-x}Ge_x/Si Heterojunction Bipolar Transistors”. In *IEDM*, p. 639-642, 1989.
- [Rached95]** M. Rashed et al., “Monte Carlo Simulation of electron transport in strained Si/SiGe n-MOSFETs”. In *IEDM Tech.Dig.*, p. 765-768, 1995
- [Rim 00]** Kern R., Judy L. Hoyt, and James F. Gibbons, “Fabrication and Analysis of Deep Submicron Strained-Si N- MOSFET’s”. *IEEE Transactions on Electron Devices,* VOL. 47, p. 1406-1415, 2000.

- [Rim 01] K. Rim et al., “Strained Si NMOSFETs for higher performance CMOS technology”. In VLSI Symp. Tech.Dig., p. 59–60, 2001
- [Rochette08] F. Rochette, “Etude et Caractérisation de L’influence des Contrainte Mécaniques sur les Propriétés du Transport Electronique dans les Architectures MOS Avancées”, Thèse de doctorat, INPG, 2008.
- [Roosbroeck’50] W. van Roosbroeck. “Theory of flow of electrons and holes in germanium and other semiconductors”. *Bell Syst. Techn. J.*, Vol.29, p. 560–607, 1950.
- [Sarah03] Sarah, H. O., Anthony, G. O., Luke, S. D., Kelvin, S. K. K., Sanatan, C., Andrew, M. W., Yue, T. T., Alan, G. R. E., David, J. N., Anthony, G. C., “High-Performance nMOSFETs Using a Novel Strained Si/SiGe CMOS Architecture”. *IEEE Transactions on Electron Devices*, Vol.50, p. 1961-1969, 2003.
- [Selberherr 84] S. Selberherr, “Analysis and Simulation of Semiconductor Devices”. New York: Springer-Verlag, 1984.
- [Scharfetter 69] D. L. Scharfetter and H. K. Gummel. “Large signal analysis of a silicon Read diode”. *IEEE Trans. Elec. Dev.*, Vol.16, p. 64–77, 1969.
- [Silvaco95] SILVACO International. “Devicé Simulation Software”, Atlas User's Manual. Version 4.0, June 1995.
- [Silvaco96] Silvaco, “Intrenational Atlas II user’s Manual. Edition 1 chapter 5”. BLAZE, p. 1-7, 1996.
- [SLatreche98] S. Latreche, “Modélisation de transistor à homo et hétéro-jonctions compatibles avec une filière CMOS Submicronique : influence de phénomènes quantiques”. Thèse de doctorat Institut national des sciences appliquées de Lyon, N°98 ISAL 0089, p. 137- 164, 1998.
- [Slotboom93] J. W. Slotboom, G. Streutker, A. Pruijboom and D. J. Gravesteijn, “Parasitic Energy Barriers in SiGe HBT's”. In *IEEE Transactions on Electron Devices*, Vol. 12, p. 486-488, March 1993.
- [Sugii01] N. Sugii et al., “Enhanced performance in strained-Si MOSFETs on CMP SiGe substrate”. In IEDM Tech. Dig., p. 737–740, 2001
- [Sze 83] S.M. Sze, “VLSI technology”. Mac Graw Hill, 1983.
- [Takagi 96] S. Takagi et al., “Comparative study of phonon- limited mobility of two dimensional electrons in strained and unstrained Si metal oxide field effect transistor”. *J. Appl. Phys.* Vol.80, p. 1567-1577, 1996.
- [Tezuka 02] T. Tezuka et al., “high- performance strained Si-on insulator MOSFETs by novel fabrication processes utilizing Ge condensation technique”. In VLSI Symp. Tech.Dig., p. 96–97, 2002
- [Wang 74] A.C.M. Wang, S. Kakihana, “Leakage and hFE dagradation in microwave bipolar transistors”. *IEEE Trans. Electron Devices*, Vol. 21, p. 667-674, 1974.

- [Welser92]** J. Welser et al., “NMOS and PMOS transistor fabricated in strained silicon/ relaxed silicon germanium structures”. In [IEDM Tech.Dig.](#), p. 1000–1002, 1992
- [Welser94]** J. Welser et al., “Electron mobility enhancement in strained –Si n-type metal oxide field effect transistor”. [IEEE Electron Device Lett.](#) Vol.15, p.100-102, 1994.
- [Yu94]** Z. Yu, D. Chen, L. So, R. W. Dutton, S.G. Beebe, R.J.G. Goossens and F.M. Rotella, “Pieces- 2ET and its applications subsystems”. Integrated Circuits Laboratory, Stanford University, Standford, California, 1994.

Chapitre IV : OXYDES DE GRILLE HIGH-k ET TRANSISTORS MOS A CANAUX CONSTRAINTS

IV.1. OXYDES HIGH-K ET CHOIX TECHNOLOGIQUES POUR LES DISPOSITIFS nMOS

IV.1.1. Limites de scaling de SiO_2 et solution à la miniaturisation

IV.1.1.1. Problématique de l'oxyde de grille SiO_2

IV.1.1.2. Vers l'utilisation de diélectriques alternatifs

IV.1.2. Matériaux à forte permittivité "oxyde High-k"

IV.1.2.1. Propriétés de sélection des oxydes High-k

IV.1.2.2. Quelques oxydes high-k candidats potentiels

IV.2. ETUDE DE LA CONDUCTION DANS UN EMPILEMENT DE GRILLE MOS EN HfO_2

IV.2.1. Outil de simulation 2D: le LOGICIEL SILVACO-TCAD

IV.2.1.1. Principe

IV.2.1.2. Caractéristiques principales de la structure simulée

IV.2.2. Influence de la grille métallique sur les caractéristiques électriques

IV.2.3. Caractérisation de l'empilement grille / canal

IV.2.3.1. Courant de fuite dans l'oxyde de grille : transition tunnel direct

IV.2.3.1.1. Oxyde de silicium (SiO_2)

IV.2.3.1.2. oxyde High-k (HfO_2), courants de fuites, EOT

IV.2.3.2. Propriétés de transport

IV.3. TRANSISTOR nMOSFET À EMPILEMENT DE GRILLE TIN/HfO_2 ASSOCIANT UN CANAL DE Si CONTRAINT s-Si

IV.3.1. Description de la structure

IV.3.2. Performances des transistors nmos a empilement $\text{TIN}/\text{HfO}_2/\text{s-Si}$

IV.3.2.1. Mobilité des électrons

IV.3.2.2. Caractéristiques électriques

IV.3.3. Effets de la variation de la CAP s-Si

IV.3.3.1. Mobilité des électrons

IV.3.3.1. Courant I_{ON} , I_{OFF}

IV.4. CONCLUSION

Références bibliographiques

Chapitre IV

OXYDES DE GRILLE HIGH-k ET TRANSISTORS MOS A CANAUX CONTRAINTS

Comme présenté au chapitre précédent, l'effet bénéfique de l'ingénierie de substrat sur les dispositifs de type n MOSFET, a été clairement établi à travers des résultats de simulations électriques. En particulier, nous avons pu voir comment la contrainte en tension bi-axiale peut modifier les propriétés de transport électrique dans le canal de conduction. La mobilité de porteurs de charges est une de ces propriétés fortement touchée par les effets de la contrainte mécanique. Dans ce chapitre, nous nous intéressons à d'autres nouveaux matériaux. Ici, l'utilisation des oxydes à forte permittivité ou "high-k", en tant que diélectriques de grilles des transistors MOS, afin notamment de limiter les courants de fuite à travers les dispositifs, sera étudiée.

Dans un premier temps, nous commencerons par évoquer les limites de l'oxyde de grille SiO_2 avant de définir les critères auxquels doivent répondre les oxydes à forte constante diélectrique pour être considérés comme candidats potentiels au remplacement de la silice. Nous continuerons par l'étude du courant tunnel sur des transistors nMOS intégrant des épaisseurs variables d'oxyde high-k (le dioxyde d'Hafnium HfO_2), puis comparée aux dispositifs de diélectrique de grille classique (SiO_2). Nous discuterons ensuite les problèmes posés par l'introduction des oxydes à fortes permittivités, particulièrement en terme de transport électrique (dégradation de la mobilité) dans le canal.

Enfin, nous terminerons ce chapitre en abordant succinctement les performances des structures nMOS bénéficiant à la fois de l'oxyde de grille high-k et du canal de conduction contraint en tension bi-axiale.

1. OXYDES HIGH-K ET CHOIX TECHNOLOGIQUES POUR LES TRANSISTORS nMOS

1.1. LIMITES DE SCALING DE SiO₂ ET SOLUTION A LA MINIATURISATION

1.1.1. Problématique de l'oxyde de grille SiO₂

Une des clefs du succès sans précédent de l'industrie de la microélectronique réside dans les propriétés remarquables du SiO₂ et de son interface naturelle avec le silicium. En effet, le dioxyde de silicium (SiO₂) présente un ensemble de qualités intrinsèques inégalées à ce jour: il dispose d'un grand gap de l'ordre de 9eV, d'un offset de bande de valence de 4.4eV et d'un offset de bande de conduction égal à 3.5 eV, avec un champ de claquage élevé, d'environ (15 MV/cm). De plus, cet isolant présente une bonne stabilité thermodynamique lors de sa croissance sur le Silicium avec une faible densité de défauts dans le volume ($< 10^{16} \text{ cm}^{-3}$) et à l'interface Si/SiO₂ ($< 10^{11} \text{ cm}^{-2}$).

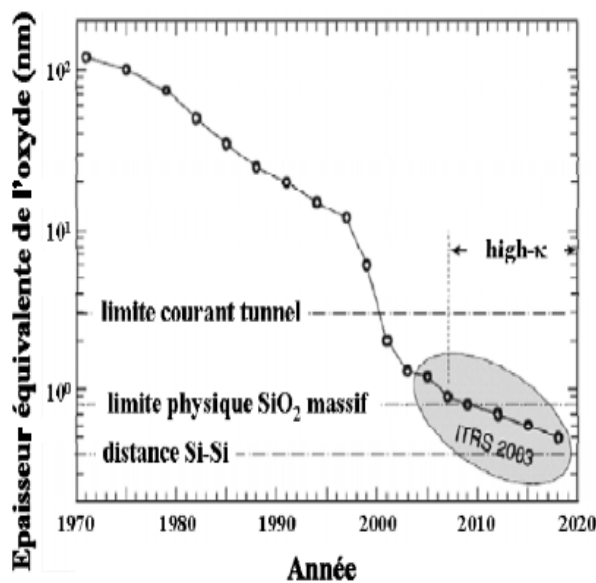


Figure. 4.1 Prévisions pour l'épaisseur équivalente d'oxyde d'après l'ITRS 2003 [Wong2006].

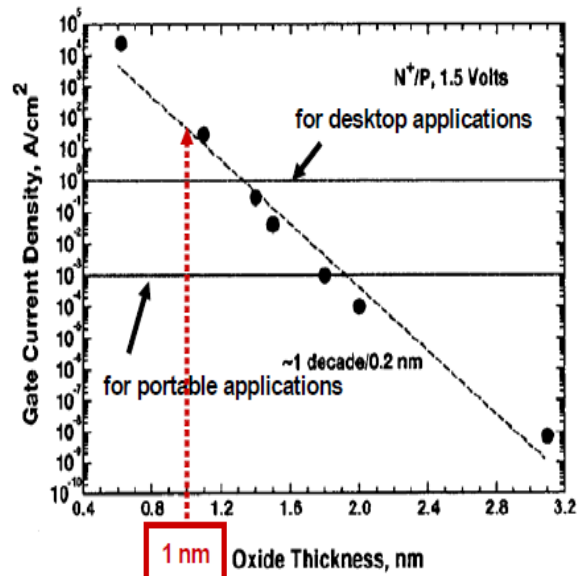


Figure. 4.2 Augmentation du courant de grille en fonction de l'épaisseur pour un nMOSFET de 35 nm de longueur de grille à 1,5 V (d'après [Green2001])

Cependant, l'âge d'or de l'oxyde de grille SiO₂ semble être arrivé à son terme. En effet, continuer la miniaturisation des dimensions des composants électroniques, impose la réduction des épaisseurs de silice jusqu'à des valeurs ultimes ($< \sim 1 \text{ nm}$) (Figure 4.1), ce qui la rend inemployable. Deux raisons en sont la cause:

- D'une part, pour des diélectriques très fin (d'épaisseur typiquement inférieure à 3 nm), les électrons peuvent traverser la barrière de potentiel de l'oxyde par un mécanisme d'effet tunnel direct, même à faible champ électrique [Frank2001], [Song2001] dont la probabilité croît exponentiellement avec la diminution d'épaisseur de l'oxyde [Ghibaudo2000]. Ainsi, cette augmentation exponentielle du courant de grille pose un sérieux problème sur le contrôle de la consommation globale des composants CMOS. De ce fait, si nous supposons que la limite de courant tunnel acceptable est de $1\text{A}/\text{cm}^2$ pour un dispositif haute performance et de $10^{-3}\text{A}/\text{cm}^2$ pour un dispositif à faible puissance, alors, les épaisseurs minimales tolérables de silice sont respectivement 1,3 et 1,9nm pour chacune de ces dispositifs (voir Figure 4.2).

- En plus à cette limitation liée à l'augmentation du courant de fuite, il y a eu un grand intérêt à la question de la limite plus fondamentale pour l'épaisseur minimale de l'oxyde de silicium SiO_2 [Schulz1999]. Muller et al. [Muller1999] ont étudié la composition chimique et la structure électronique des couches d'oxydes ultra-mince. Ils ont montré expérimentalement que la limite fondamentale de l'épaisseur de SiO_2 se situe entre 7 et 12 Å. Ainsi, une autre étude théorique intéressante sur l'alignement des bandes à l'interface Si/SiO_2 a été effectuée par Tang al. [Tang 98]. Ces derniers observent une dégradation importante de l'offset de bande interdite du SiO_2 , lorsque l'épaisseur de l'oxyde est réduite en-dessous de de ~ 7 Å de SiO_2 et proposent alors cette valeur comme la limite minimum et qu'en deçà, la couche de SiO_2 perd les propriétés électroniques du matériau isolant et induit un courant de fuite beaucoup trop important entre le canal et la grille.

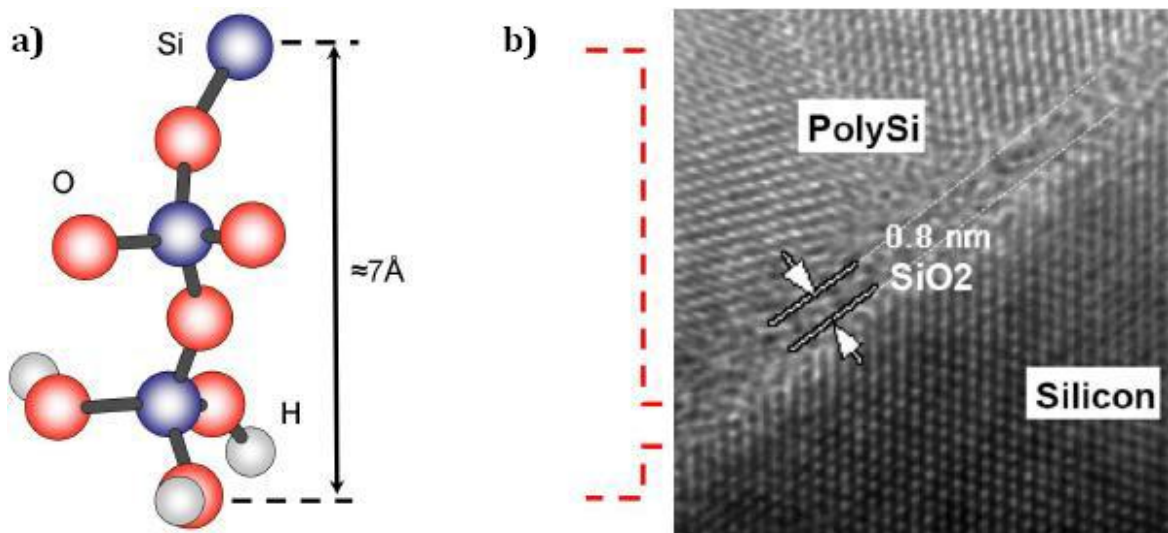


Figure. 4.3 Représentation de l'épaisseur a) théorique et b) pratique [Chau 04] minimale de SiO_2 intégrable

Il est ainsi évident qu'une solution doit être trouvée ;

1.1.2. Vers l'utilisation de diélectriques alternatifs

Pour faire face à l'augmentation des courants de fuite par effet tunnel, tout en maintenant une capacité d'oxyde de grille (C_{ox}) élevée avec des épaisseurs de diélectriques physiquement acceptables, de nouveaux diélectriques à haute permittivité " κ " sont employés pour les technologies CMOS sub-65 nm. Ces matériaux, dits couramment « high- κ » sont nécessaires pour continuer l'optimisation des performances des futures générations de TMOS, comme le démontrent plusieurs articles dans la littérature [Wilk2001], [Kington2000], [Osburn2002], [Stathis2002], [Wallace2002], [Buchanan1999].

La substitution de la silice SiO_2 par un oxyde high- κ permet donc d'augmenter l'épaisseur physique de la couche de diélectrique d'un facteur $\kappa/3.9$ tout en conservant, la capacité du condensateur (voir figure 4.4).

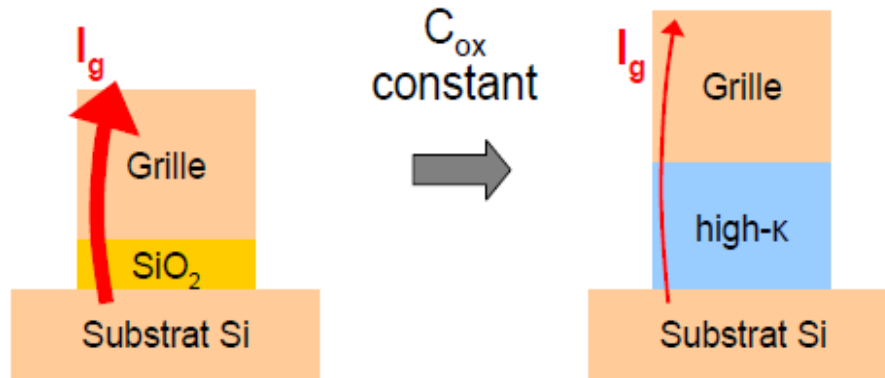


Figure. 4.4 Schéma de principe de l'introduction d'un matériau high- κ dans un empilement de grille

Ainsi, l'introduction de matériaux à grande constante diélectrique fait appel à la notion d'épaisseur équivalente d'oxyde (Equivalent Oxide Thickness ou EOT), qui correspond à l'épaisseur de la silice équivalente nécessaire pour obtenir une valeur de capacité égale à celle d'un matériau de constante diélectrique $\kappa_{high-\kappa}$ et d'épaisseur physique $t_{high-\kappa}$:

$$EOT = t_{SiO_2} = \frac{\kappa_{SiO_2}}{\kappa_{High-\kappa}} t_{High-\kappa} \quad (IV.1)$$

1.2. MATERIAUX A FORTE PERMITTIVITE "OXYDE HIGH-K"

1.2.1. Propriétés de sélection des oxydes High-k

Dans la littérature, nombre de travaux de recherche se sont orientés essentiellement vers la définition des propriétés de films minces d'oxydes high- κ afin de trouver le successeur au SiO_2 . En effet, la sélection d'un matériau de remplacement ne peut malheureusement pas se

réaliser sans obstacles à franchir, car il est impossible d'obtenir avec le diélectrique high- κ tous les avantages qu'avait le dioxyde de Silicium (SiO_2). De ce fait, pour choisir un bon candidat il faut rassembler plusieurs facteurs, parmi lesquels nous pouvons citer par exemple:

1.2.1.1. Permittivité diélectrique " κ "

C'est évidemment le premier facteur à prendre en compte lorsqu'on parle d'oxyde high-k. En effet, la permittivité relative du matériau doit être suffisante pour atteindre des épaisseurs équivalentes d'oxyde (EOT) inférieures à 1 nm tout en maintenant des courants de fuite acceptables pour les applications envisagées.

1.2.1.2. Bande interdite et discontinuité de bandes

L'énergie de gap et les hauteurs de barrières sont des propriétés importantes puisqu'elles limitent l'application des matériaux à très forte permittivité. En effet, comme illustré sur la figure 4.5, la plupart des matériaux high- κ ne présentent pas une bande interdite aussi élevée que SiO_2 .

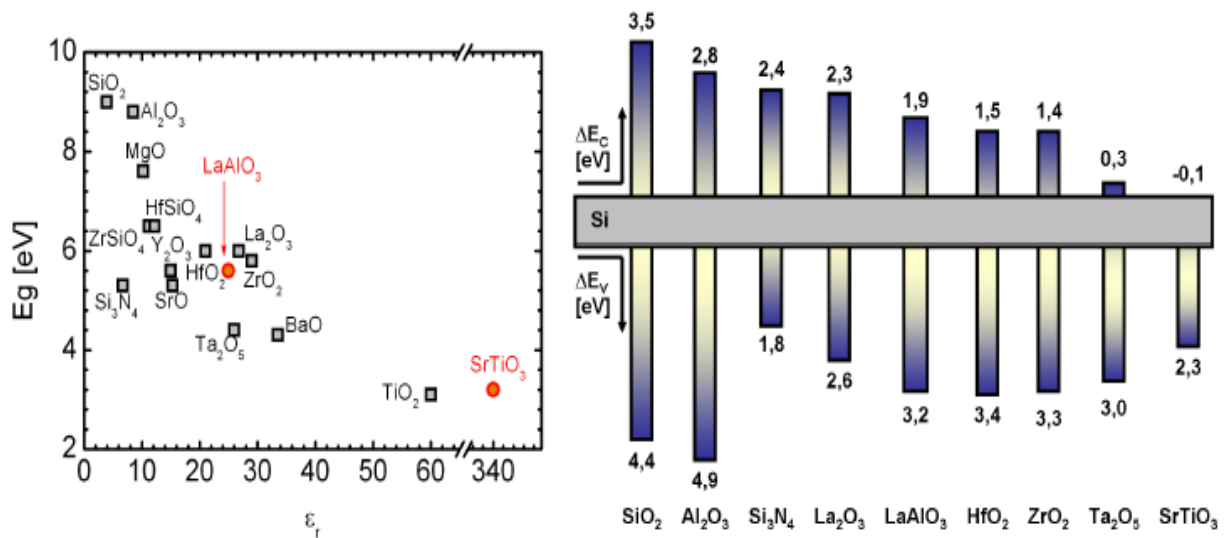


Figure. 4.5 Récapitulatif de quelques offsets de bande [Robertson 2002]

Ainsi, Pour garantir un comportement d'isolant, il faut non seulement un matériau à large bande interdite mais également un matériau dont les discontinuités de bande de conduction (ΔE_C) et de valence (ΔE_V) aux interfaces soient suffisamment grandes pour empêcher le transport des électrons par émission thermique ou par effet tunnel. Ces barrières doivent typiquement être supérieures à 1 eV. Dans le cas du silicium, compte tenu du positionnement non symétrique des bandes de conduction et de valence des matériaux high-k, alors, cette condition impose en pratique que les oxydes concernés aient une largeur de bande interdite supérieure à 5 eV (voir figure 4.6). Comme l'énergie de gap est globalement inversement

proportionnelle à la constante diélectrique et qu'elle doit être supérieure à 5eV, la valeur limite de la permittivité relative sera fixée aux alentours de 25 [Schlom 2002].

1.2.1.3. Aspect cristallographique- paramètre de maille

La compatibilité cristallographique est un autre aspect important à prendre en considération lorsque le diélectrique high-k est intégré dans le transistor, de même que l'impact du paramètre de maille sur la qualité de l'interface du dispositif. Pratiquement le désaccord entre la maille de l'oxyde et celle du substrat de Silicium doit être faible (typiquement inférieure à (3%) en valeur absolue). La figure (4.6) présente le désaccord de maille de quelques oxydes high-k en fonction de constante diélectrique et de leur bande interdite.

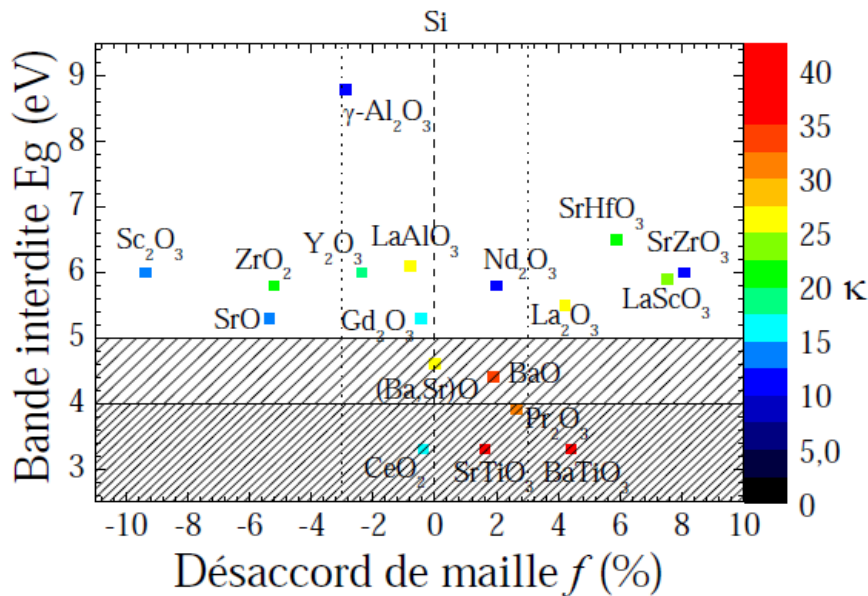


Figure. 4.6 Paramètre de maille de quelques oxydes high-k en fonction de leur gap E_g et de leur constante diélectrique k . les zones hachurées correspondent aux bandes interdites inférieures à 4eV ou 5eV [Clément 05]

1.2.1.4. Stabilité thermique

Afin de considérer leur intégration dans des applications CMOS, les diélectriques high-k doivent être stables au contact avec le silicium, notamment lors des traitements thermiques nécessaires au procédé de fabrication, durant lesquels le diélectrique est soumis à de fortes températures. Il faut en effet éviter tout phénomène de dégradation tel que la formation d'une couche interfaciale (de silicate ou de silice) de faible permittivité, mal contrôlée et peu désirable entre le canal de Si et l'oxyde. Le plus souvent, cette couche interfaciale entraîne l'augmentation de l'EOT :

$$EOT = \frac{k_{SiO_2}}{k_{High-k}} t_{High-k} + \frac{k_{SiO_2}}{k_{interfaciale}} t_{interfaciale} \quad (IV.2)$$

1.2.2. Quelques oxydes diélectriques candidats potentiels

Bien que la liste de diélectriques ayant une permittivité plus élevée que la silice soit longue, celle des candidats potentiels qui ont de la chance pour être intégrés en tant qu'oxyde de grille dans les futures structures CMOS, est finalement assez restreinte. A titre d'exemple, le Tableau 4.1 résume les caractéristiques des différents matériaux high-k se rapprochant au mieux des différents critères de sélection énumérés ci-dessus.

TABLEAU 4.1 Principales forces et faiblesses des différents diélectriques high-k candidat potentiels et EOT_{min} reportées dans la littérature [Weber05]

Matériau	k	Principales forces	Principales faiblesses
SiO ₂	3.9	Compatibilité avec le silicium, excellente interface avec le Si, mobilité élevée	Faible k, EOT > 0.8 nm, courant de grille trop élevé pour toutes les applications (HP, LOP, LSTP).
SiON	6-7	Caractéristiques du SiO ₂ avec amélioration du compromis EOT/J _G , mobilité élevée. EOT _{min} =7Å [Matsushita04]	Solution court-moyen terme. Courant de grille reste trop élevé pour les applications LSTP.
Al ₂ O ₃	8-11	Bonne connaissance du matériau, gap d'énergie élevé (8.8eV), structure amorphe, bonne stabilité thermique. EOT _{min} =9.6Å [Chin00]	mobilité faible, réduction de l'EOT faible, incompatibilité avec la grille Poly-Si. k modérée
HfSiON	11	Comparé à HfSiOx, meilleure stabilité thermique, amélioration de l'EOT et du compromis EOT/J _G , réduction de la pénétration des dopants dans le cas d'une grille Poly. EOT _{min} =13Å [Iwai04].	Réduction assez moyenne de l'EOT, mobilité généralement dégradée par rapport à HfSiOx
Y ₂ O ₃	~15	E _G élevée	Température de cristallisation faible, formation de silicides
HfO ₂	20-25	Compatibilité avec un procédé de fabrication CMOS, forte réduction du courant de grille (4- 6 décades). EOT _{min} =6.5Å [Yamamoto03], 9-10Å avec un recuit élevé [Choi01], [Chau04], [Doris05].	dégradation de la mobilité avec la réduction de l'EOT, faible barrière à la pénétration de l'oxygène après recuit et nécessité d'une couche interfaciale => réduction de l'EOT très moyenne.
HfAlON	9-25	Large gamme de permittivité possible	Défauts associés à Al, Peu de résultats reportés
La ₂ O ₃	20-25	Absence de couche interfaciale => fort potentiel en terme de réduction de l'EOT. Excellent compromis EOT-J _G . Mobilité correcte, EOT _{min} =4.8Å [Chin00], meilleure stabilité thermique	instable vis-à-vis du silicium
Oxydes Epitaxiés (TiO ₂ , SrTiO ₃)	> 50	Qualité de l'interface obtenue par épitaxie. Fort potentiel en terme de réduction de l'EOT. EOT _{min} =5.4Å [Jeon02] avec SrTiO ₃ .	E _G et ΔE _C inacceptables

2. ETUDE DE LA CONDUCTION DANS UN EMPILEMENT DE GRILLE MOS EN HfO₂

Parmi les différents candidats potentiels, notre choix s'est porté sur l'oxyde d'Hafnium HfO₂. Comme décrit précédemment, l'intérêt de ce matériau provient d'une bonne compatibilité et d'une bonne stabilité thermodynamique vis-à-vis du Silicium [Spinelli 98], [Pacelli 99]. Les caractéristiques de HfO₂ comme oxyde de grille ont été données ci-dessus (Tableau IV.1). Cette partie s'appuie sur une étude complète de la conduction électrique dans un transistor nMOS intégrant un oxyde de grille high-k en HfO₂.

2.1. OUTIL DE SIMULATION 2D: LE LOGICIEL SILVACO-TCAD (SILicon VALley COrporation- Technology Computer Aided Design)

2.1.1. Principe

Pour les simulations électriques des dispositifs MOS étudiés (conventionnels et à matériaux innovants) en 2D, nous avons utilisé le logiciel ATLAS (SILVACO-TCAD). Cet outil standard, qui est, d'une très grande qualité, permet de traiter un grand nombre de simulations tout en faisant varier des paramètres physiques et électriques (dopage, dimensions, polarisation etc.).

Dans ATLAS, nous avons utilisé la modélisation de type dérive-diffusion pour le transport des porteurs. Afin de faciliter notre étude orientée sur la simulation de caractéristiques électriques statiques, nous nous sommes concentrés sur le mécanisme de génération-recombinaison de porteurs de Shockley-Read-Hall (SRH). Nous avons également activé les modèles standards prenant en compte l'effet tunnel, la mobilité, champ électrique, la largeur de bande dans le silicium, etc., permettant d'obtenir des résultats réalistes. (Ces modèles seront détaillés en annexe II).

2.1.2. Caractéristiques principales de la structure simulée

Les figures 4.7 et 4.8 illustrent respectivement la structure nMOS à empilement de grille high-k en HfO₂ définie sous ATLAS et le maillage 2D utilisé. Les dispositifs simulés ont des longueurs de grilles de 100nm et des oxydes de grille très minces [Atlas] (EOT varie de 1nm jusqu'à 3nm). Le canal des TMOS est dopé à $1.10^{17} \text{ cm}^{-3}$. La concentration des caissons (source/drain) N⁺ est de l'ordre de $1.10^{20} \text{ cm}^{-3}$ et la profondeur de jonction X_j sera prise 75nm, avec des extensions LDD (Lightly Doped Drain) dopés à $5.10^{19} \text{ cm}^{-3}$.

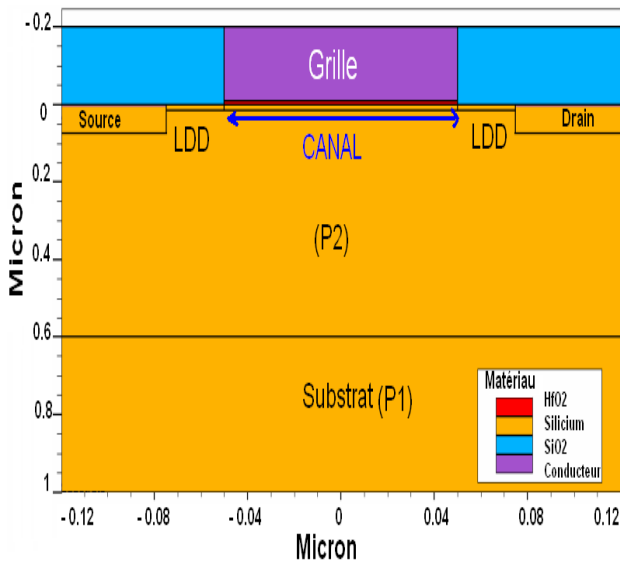


Figure. 4.7 Structure nMOS à empilement de grille en HfO2 simulée sous ATLAS

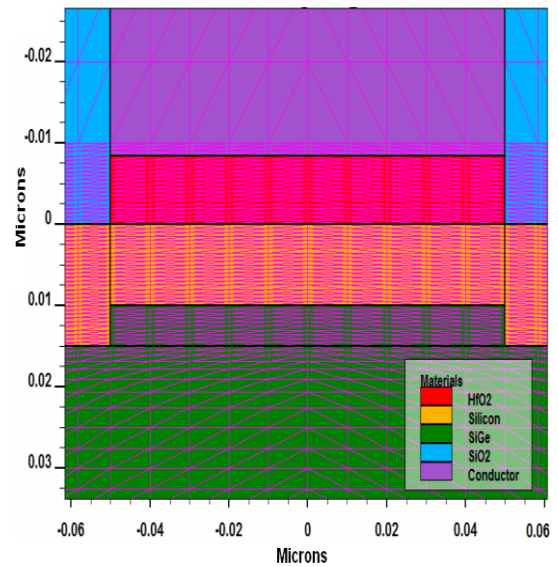


Figure. 4.8 Illustration du maillage sur la région de l'oxyde de grille

Les paramètres considérés pour la simulation des dispositifs n MOSFET sont consignés dans le tableau suivant (Tableau 4.2) [Atlas]:

TABLEAU 4.2 Paramètres considérés pour la simulation des dispositifs n MOSFET

Paramètre	Signification	Valeur
EOT (nm)	Epaisseur de l'oxyde équivalente	1- 3
Lg (nm)	Longueur de la grille	100
Tsi (nm)	Epaisseur du canal	10
Xj (nm)	Profondeurs de jonction (source /drain)	75
P2 (cm ⁻³)	Dopage du canal	1e 17
P1 (cm ⁻³)	Dopage substrat	1e16
N (cm ⁻³)	Dopage LDD	5e19
N+ (cm ⁻³)	Dopage Source/drain	1e 20
V _{GS} (V)	Polarisation Grille	0.02- 3
V _{DS} (V)	Polarisation Drain	0.02- 2
T (K)	Température	300

2.2. INFLUENCE DE LA GRILLE METALLIQUE SUR LES CARACTERISTIQUES ELECTRIQUES

Comme nous l'avons déjà évoqué dans le premier chapitre de ce manuscrit, l'intégration de matériaux de forte permittivité comme isolant de grille des transistors nMOS n'est pas envisageable sans avoir recours à des grilles constituées d'un matériau métallique. Ainsi, l'étude de la conduction électrique dans un transistor HfO₂/grille métallique passe nécessairement par l'étude préalable de l'impact d'une grille métallique sur les caractéristiques

électriques, notamment sur la variation des paramètres électriques tel que la tension de seuil, le courant de drain à l'état passant I_{ON} et le courant de drain à l'état bloqué I_{OFF} . Cette étude constitue l'objet de cette partie du chapitre.

Sur la Figure 4.9, nous présentons les courbes de transfert $I_D(V_G)$ du transistor nMOS à empilement de grille high-k simulée en fonction du travail de sortie Φ_M du métal de grille; Φ_M correspond à la hauteur de barrière de potentiel entre la grille métallique et le diélectrique (Φ_M varie de 4.1 à 4.8 eV). Les paramètres de simulations utilisés donnent une bonne approximation du courant de drain en fonction de la tension de grille pour l'ensemble des matériaux de grille utilisés. On notera notamment sur la Figure 4.10 que la tension de seuil V_t dépend directement du travail de sortie Φ_M du métal de grille utilisé. La grille métallique permet alors d'ajuster la tension de seuil via le travail de sortie Φ_M .

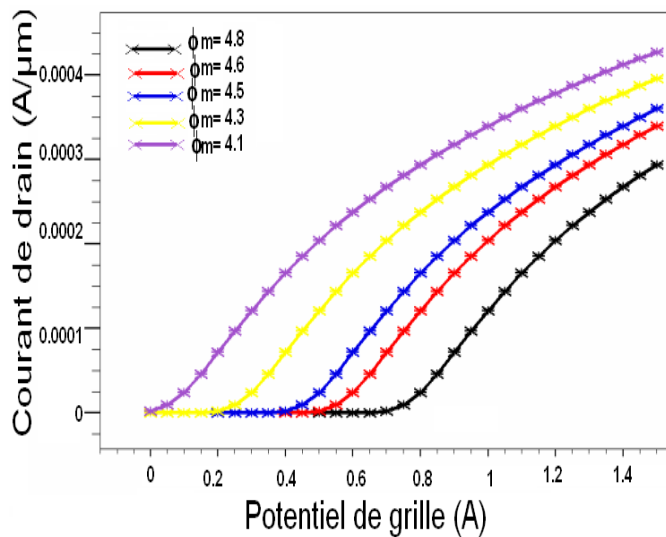


Figure. 4.9 Caractéristiques de transfert $I_D(V_G)$ obtenues pour différents travaux de sorties de métal utilisés dans un empilement de grille en HfO_2 . $V_{DS}=0.1V$

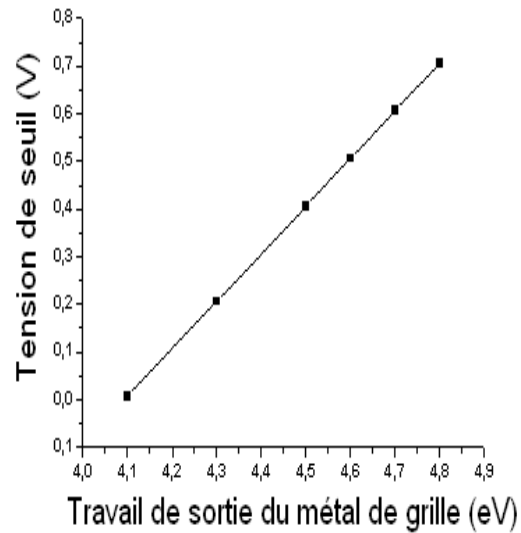


Figure. 4.10 Variation de la tension de seuil en fonction du travail de sortie du métal de grille utilisé

Comme l'ont montré d'autres travaux, il est possible d'ajuster dans une large gamme (suivant les applications visées) la tension de seuil des nMOS et pMOS via le travail de sortie du métal de grille utilisé (Figure 4.11). Par exemple, pour une technologie CMOS, on cherchera d'intégrer une grille unique pour les deux types de transistors (nMOS et pMOS). Dans ce cas, il sera nécessaire de choisir un métal ayant un travail de sortie Φ_M autour du milieu du gap du silicium « mid-gap » (TiN, W ou $CoSi_2$, soit environ 4,6 - 4,7 eV) [VANDOO 06], afin d'avoir un comportement symétrique.

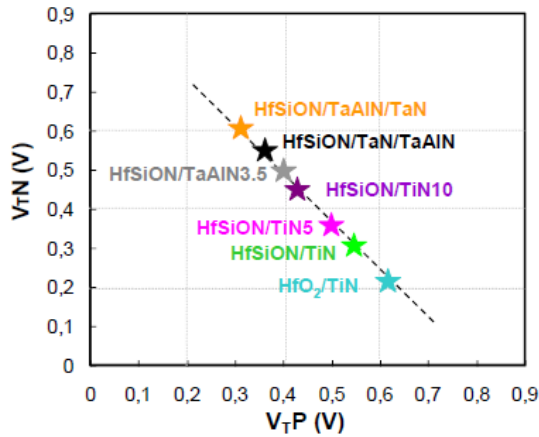


Figure. 4.11 Tensions de seuil de nFET et pFET FDSOI obtenues pour différents empilements de grille en gate first [Faynot10]

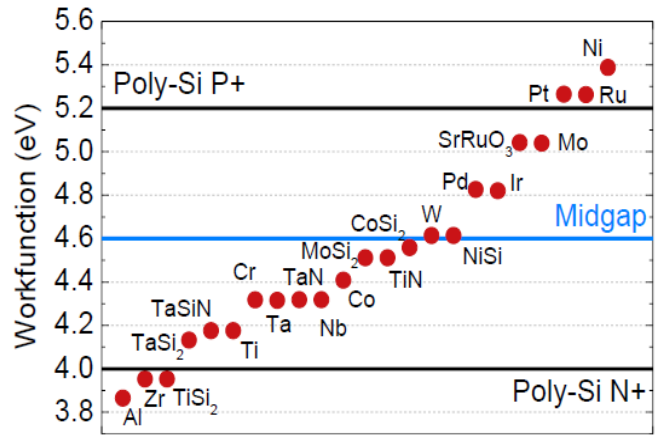


Figure. 4.12 Représentation des travaux de sortie de différents métaux pouvant être utilisés en tant qu'électrode de grille pour un nMOS et/ou un pMOS [Skotnicki08]

Les Figure 4.13 et Figure 4.14 illustrent respectivement les caractéristiques électriques $I_D(V_G)$ sous seuil et les caractéristiques de sorties $I_D(V_D)$ obtenues pour différents travaux de sorties de grille métalliques. On note que l'augmentation du travail de sortie a entraîné au niveau transistor, l'augmentation de la pente sous seuil S qui conduit à la réduction du courant de fuite I_{OFF} . On observe également que l'une des particularités de l'accroissement du travail de sortie est d'abaisser le courant I_{ON} des nMOS. En revanche, on note une augmentation du rapport I_{on}/I_{off} (Figure 4.15).

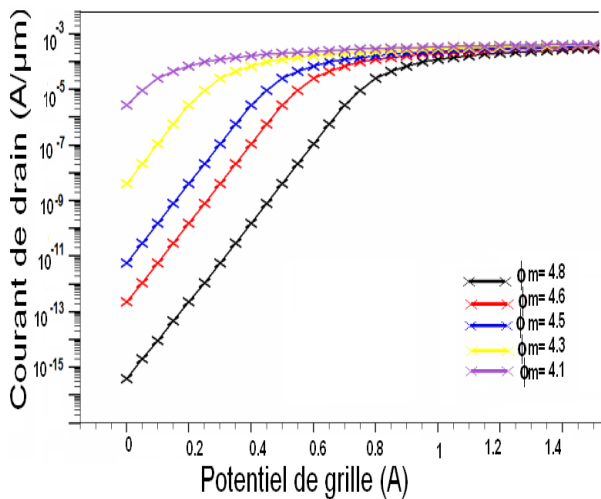


Figure. 4.13 Caractéristiques de transfert $I_D(V_G)$ sous seuil obtenues pour différents travaux de sorties de métal utilisés dans un empilement de grille en HfO_2 . $V_{DS}=0.1V$

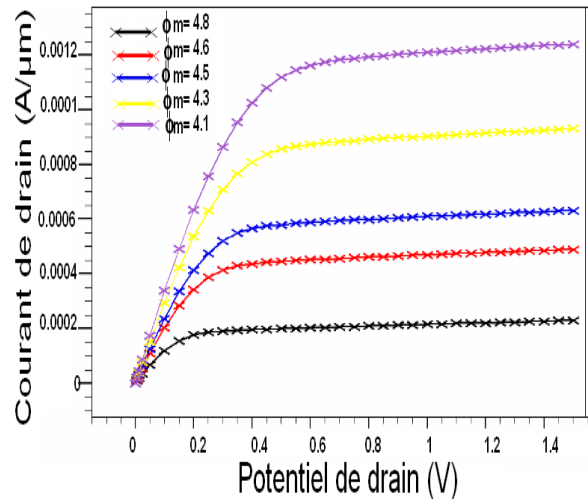


Figure. 4.14 Caractéristiques $I_D(V_D)$ obtenues pour différents travaux de sorties de métal utilisés dans un empilement de grille en HfO_2 . $V_{GS}=1V$

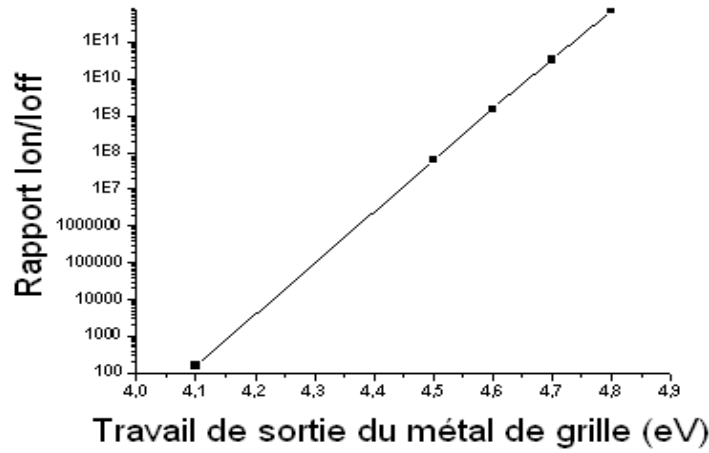


Figure. 4.15 Variation du rapport I_{ON}/I_{OFF} en fonction du travail de sortie du métal de grille utilisé

2.3. CARACTERISATION DE L'EMPILEMENT GRILLE / CANAL

2.3.1. Courant de fuite dans l'oxyde de grille : transition tunnel direct

Dans cette partie, une étude du courant tunnel a été réalisée sur les mêmes transistors de la (figure 4.7). Dans ce cas, les nMOS intégrant soit des oxydes de forte permittivité en HfO_2 , soit des oxyde de grille standards (SiO_2). Les épaisseurs des oxydes équivalentes varient de 1 à 3.5nm. L'ensemble de ces dispositifs est décrit dans la figure (4.16).

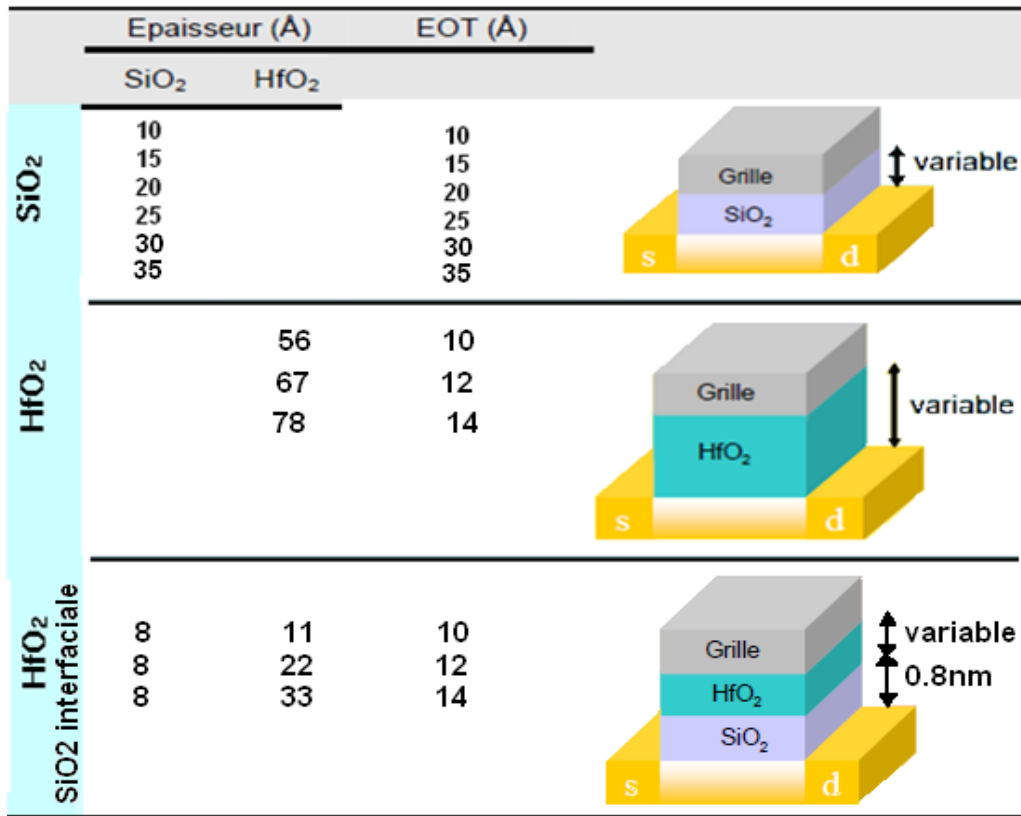


Figure. 4.16 Ensemble des dispositifs simulés au cours de cette étude

2.3.1.1. OXYDE DE SILICIUM (SiO₂)

La Figure 4.17 permet de suivre l'évolution de la densité de courant tunnel J_G à travers l'oxyde de silicium (SiO₂) en fonction de la polarisation de grille V_{GS} à températures ambiante (300K). Les épaisseurs de films (EOT) varient de 1 à 3.5 nm. La densité de courants de fuite J_G traduit le déplacement de charges électriques entre la grille et le canal par effet tunnel avec ou sans commande sur la grille. C'est une grandeur surfacique exprimée en (A/cm²).

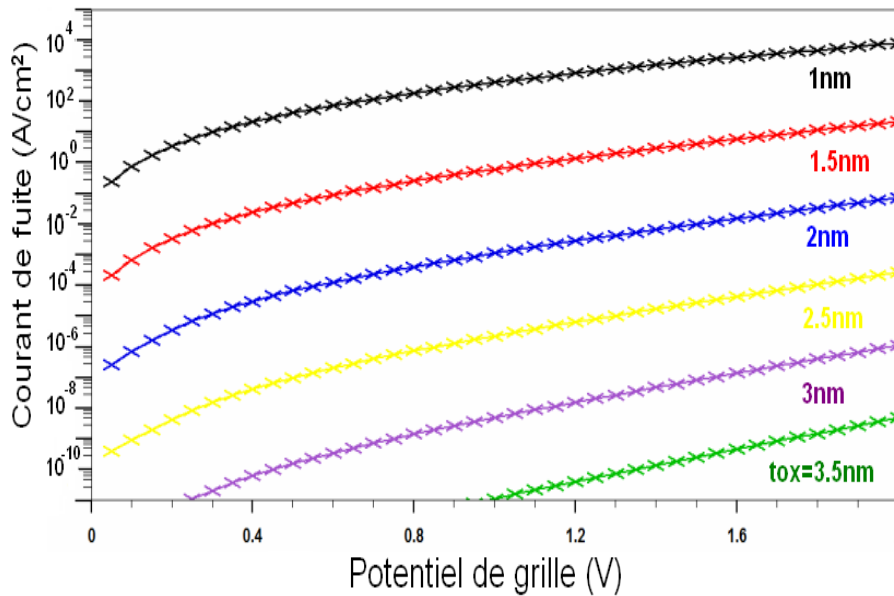


Figure. 4.17 Evolution du courant de fuite à travers l'oxyde de silicium en fonction de la polarisation de grille

D'après la Figure 4.17, on remarque que la densité de courant J_G croît avec la réduction de l'épaisseur d'oxyde T_{OX} et avec l'augmentation du potentiel de grille. En effet, lorsque le substrat du nMOS est en faible inversion ($0 < V_{GS} < V_T$), le canal d'inversion n'est pas encore formé mais un courant devient mesurable pour les oxydes d'épaisseur inférieures à 3 nm. En régime de forte inversion ($V_G > V_T$), J_G est engendré par le transfert des électrons de la bande de conduction du substrat vers la bande de conduction de la grille.

Toutefois, lorsque le transistor NMOS est en régime d'accumulation ($V_{GS} < 0$), on a montré que la densité de courant J_G est due au passage des électrons de la bande de conduction de la grille vers la bande de conduction du substrat [PET 06] (Voir figure 4.18).

Si pour les générations plus anciennes, le mécanisme principal de transport électronique à travers l'oxyde de grille MOS (SiO₂) était sous injections de porteurs de type Fowler-Nordheim (FN), le mécanisme d'injection pour les technologies sub 130 nm est différent. La miniaturisation des épaisseurs d'oxyde en dessous de 3 nm a favorisé les injections de porteurs, par effet tunnel direct [PET 06].

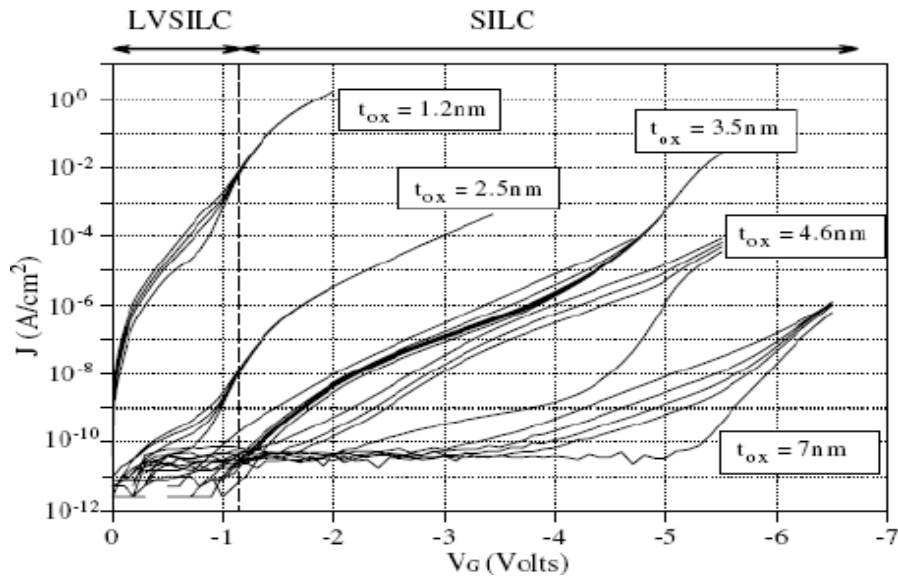


Figure. 4.18 Evolution de la densité des courants de fuite J_G en fonction de l'épaisseur d'oxyde pour la tension de grille en régime d'accumulation (transistor NMOS) [PET 06]

2.3.1.2.OXYDE HIGH-K (HfO₂), COURANTS DE FUTTES, EOT

Dans les empilements de grille MOS à base de diélectrique high-k en HfO₂, les mécanismes de conduction de type tunnel direct, tunnel assisté par pièges ou encore Poole-Frenkel sont les plus identifiés dans la littérature [Specht 04] [Xu 02] [Chowdhury 07]. Nous nous attacherons dans cette partie à l'étude du courant tunnel direct dans ces dispositifs et plus particulièrement à l'influence de la composition de la partie isolante sur l'évolution de ce courant.

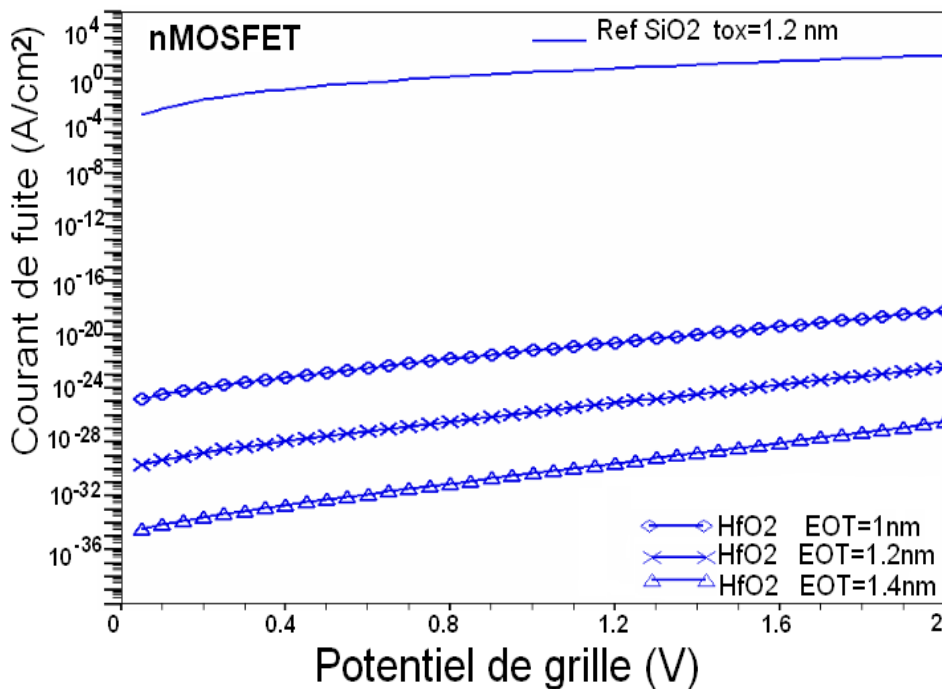


Figure. 4.19 Densité de courant de fuite J_G en fonction de l'EOT à travers l'empilement de grille MOS en HfO₂ comparé à la référence SiO₂/Si

La figure 4.19 compare l'évolution en fonction de la tension de grille V_G de la densité de courant tunnel entre une architecture nMOS à empilement de grille en HfO_2/Si (Figure 4.7) et l'architecture nMOS conventionnelle (SiO_2/Si), pour différentes épaisseurs (EOT varie de 1 jusqu'à 1.4nm). Cette figure montre que le diélectrique high-k joue bien son rôle : A EOT comparable, on note une forte dégradation du courant de grille sur les dispositifs HfO_2/Si par rapport à la référence nMOS standard (SiO_2/Si).

Nous considérons à présent des transistors nMOS à empilement de grille en HfO_2 avec une couche SiO_2 interfaciale. La figure 4.20 compare la structure de référence (une seule couche de SiO_2 avec $T_{\text{SiO}_2} = \text{EOT} = 1.2\text{nm}$) à des transistors MOS à deux couches $\text{SiO}_2\text{-HfO}_2$ (avec $T_{\text{SiO}_2} = 0.8\text{nm}$, EOT varie de 1 à 1.4nm) en terme de courant de fuite de type tunnel.

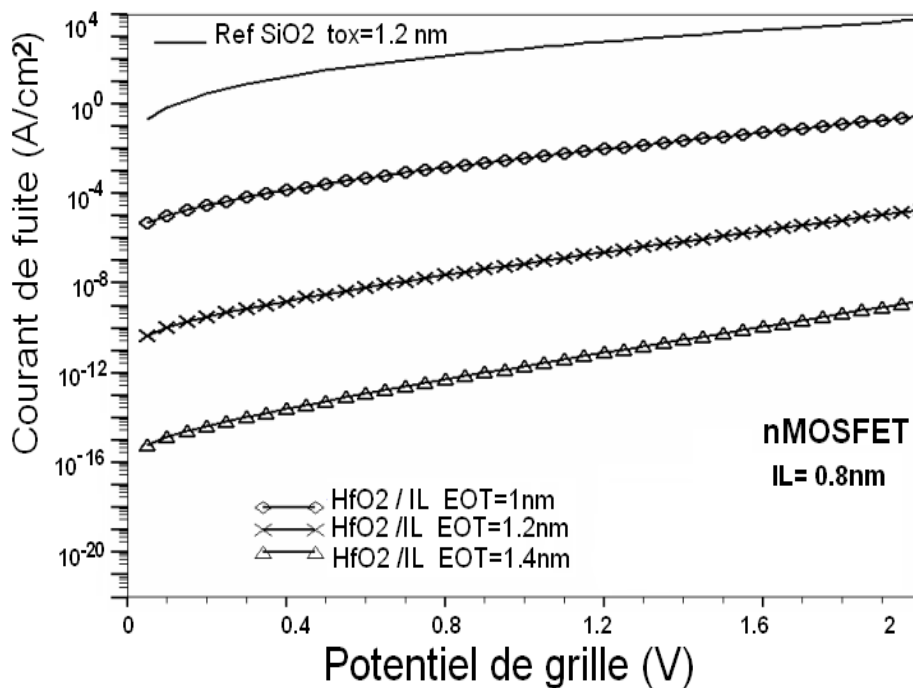


Figure. 4.20 Densité de courant de fuite J_G en fonction de la tension de grille à travers l'empilement de grille MOS en HfO_2 avec une couche interfaciale, $\text{IL} = 0.8\text{nm}$ comparé à la référence SiO_2/Si

Les courbes de la figure 4.20 montrent que le dispositif à base de HfO_2 avec une couche interfaciale permet d'améliorer le courant tunnel par rapport à la structure de référence (SiO_2/Si). Nous pouvons également noter de cette figure que le courant de fuite dans les dispositifs à deux couches est très sensible à la variation de l'EOT. Ce résultat est cohérent avec [Garros 04] qui a observé que le niveau de la densité de courant de tunnel mesuré expérimentalement à travers l'empilement de grille bicouche $\text{HfO}_2/\text{SiO}_2$ est réduit considérablement quand l'EOT augmente.

Ensuite, nous observons sur les Figure 4.19 et Figure 4.20 que la réduction de la densité du courant de grille est plus importante dans le dispositif à une couche de diélectrique HfO_2 que dans celui à deux couches, car pour une faible augmentation de l'EOT, l'épaisseur physique de la couche high-k doit être plus fortement augmentée, ce qui réduit drastiquement le courant tunnel.

2.3.2. Propriétés de transport

Le courant de drain à même $\text{EOT}=1.5\text{nm}$ sur les transistors nMOS à oxyde de grille en HfO_2 est comparé à la référence (Si/SiO_2) sur la Figure 4.21. Une diminution en courant de drain I_D est observé sur les n MOS en HfO_2 par rapport aux transistors conventionnel (Si/SiO_2). Ce résultat est associé à une dégradation en mobilité des électrons comme le montre la Figure 4.22.

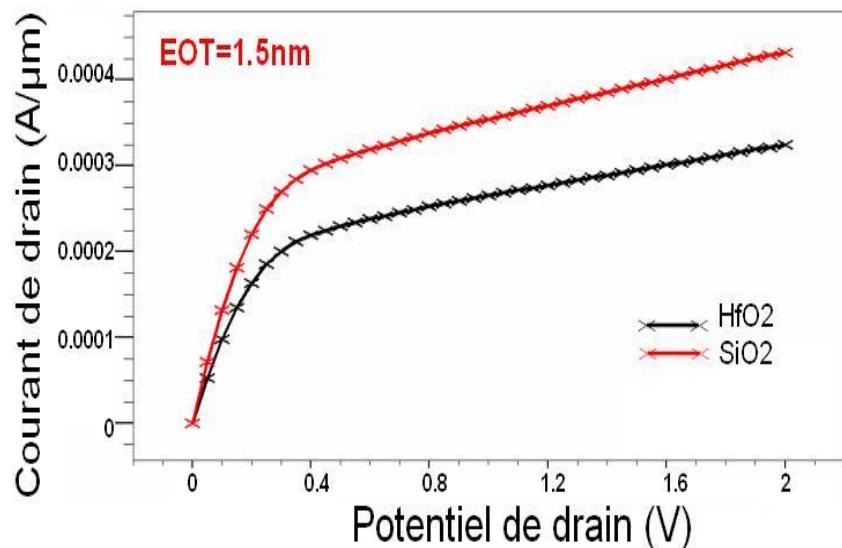


Figure. 4.21 Densité de courant de Drain I_D en fonction de la tension de drain à travers l'empilement de grille MOS en HfO_2 avec, $\text{EOT}=1.5\text{nm}$ comparée à la structure standard SiO_2/Si

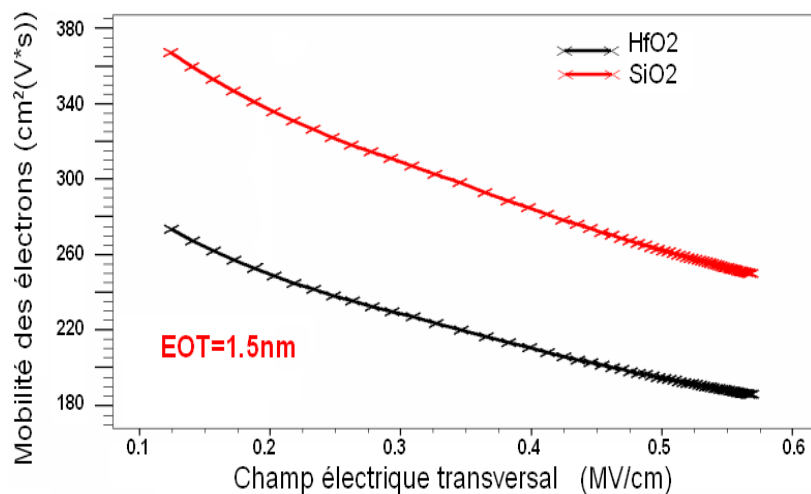


Figure. 4.22 Évolution de la mobilité des électrons en fonction du champ électrique à travers l'empilement de grille MOS en HfO_2 , comparée à la structure SiO_2/Si

La dégradation de la mobilité sur les dispositifs MOS avec un diélectrique HfO₂/Si (74%) par rapport à la mobilité universelle SiO₂/Si est en accord avec les précédents résultats publiés avec cet empilement [Weber05].

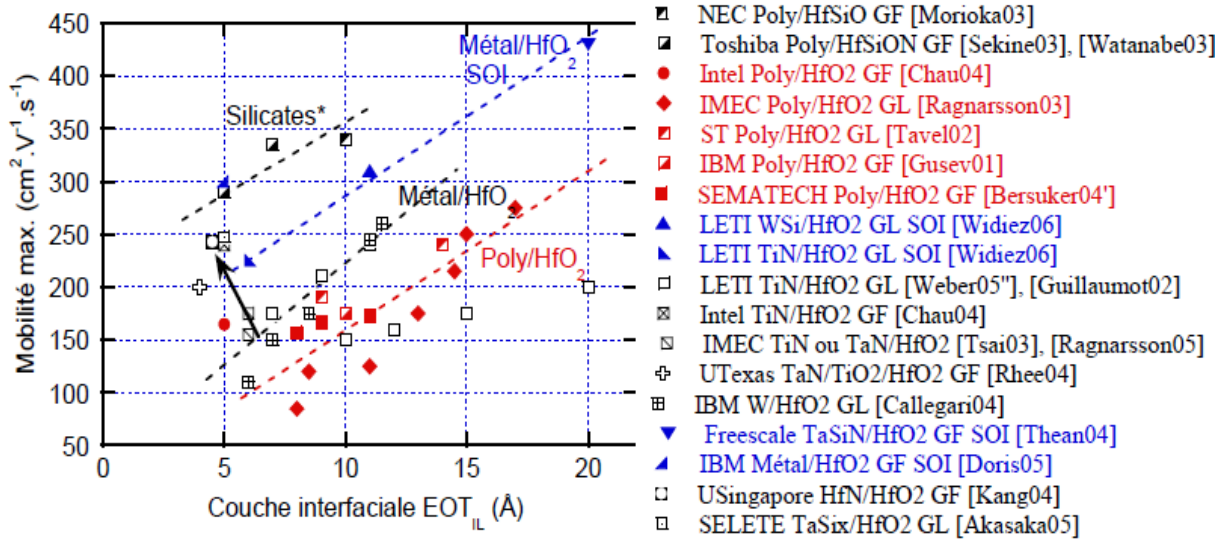


Figure. 4.23 Compromis entre la mobilité des électrons et l'épaisseur de la couche interfaciale [Weber05].

En accord avec de nombreux résultats dans la littérature, la dégradation de la mobilité des électrons dans des transistors MOS à empilement de grille bicouche HfO₂/SiO₂, est notamment fortement dépendante de l'EOT et plus précisément de l'épaisseur de la couche interfaciale (Figure 4.23). Les causes possibles à cette dégradation de mobilité sembleraient très nombreuses [Kerber03], [Ragnarsson03], [Weber04], [Cassé06], (voir Figure 4.24).

Nous pouvons citer par exemple, les travaux de [Weber04] et [Cassé06] qui ont pu démontrer par des mesures basse température, que la majeure partie des dégradations de mobilité observées dans des transistors intégrant un oxyde de forte permittivité est généralement due à un mécanisme d'interaction de type Coulomb induit par la charge fixe à l'interface SiO₂/HfO₂ ou dans le proche HfO₂ (notons que la présence de défauts chargés dans le high-k est peut être due à l'étape de gravure par plasma de la grille et le dépôt des espaceurs, durant laquelle l'empilement de grille est exposé à l'oxygène et à d'autres ions).

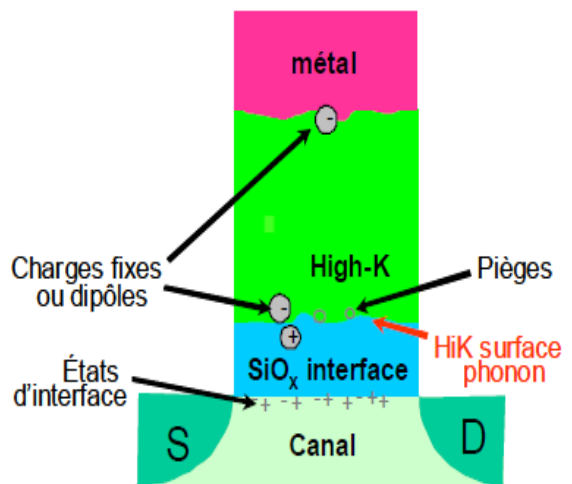


Figure. 4.24 Résumé des différents mécanismes de dégradation de la mobilité liés au diélectrique high-k. Les charges fixes apparaissent comme le facteur dominant [Weber05].

3. TRANSISTOR nMOSFET À EMPILEMENT DE GRILLE TIN/HfO₂ ASSOCIANT UN CANAL DE Si CONTRAINT (s-Si)

Dans les paragraphes précédents de ce manuscrit, nous avons présenté des structures nMOS avec de nouveaux matériaux et analysé le transport des porteurs. Le paragraphe développé ici, est en quelque sorte une application où toutes les notions abordées jusqu'ici ont pu être utilisées.

En effet, cette dernière partie s'intéresse à la Co-intégration d'un canal de silicium contraint en tension bi-axiale (s-Si) en même temps avec un diélectrique de grille de forte permittivité en HfO₂ dans l'architecture nMOS. L'objectif étant de présenter les caractéristiques électriques de transport de charge dans le canal de conduction qui sont le reflet des propriétés et de la qualité des matériaux. Le Si contraint en tension bi-axiale étant assez bien connu, nous nous focaliserons particulièrement sur les propriétés électriques de l'empilement Métal/HfO₂/s-Si cap/SiGe.

3.1. DESCRIPTION DE LA STRUCTURE

Les structures simulées dans cette étude sont des transistors nMOS à empilement de grille High-k en HfO₂ associant des canaux de canal de Si contraint en tension bi-axiale, avec un taux de germanium de 20% dans le pseudo substrat SiGe. Les dispositifs sont constitués des grilles de 100nm de longueur, des oxydes de grilles de 1.5nm, et des canaux de conduction d'épaisseurs allant de 3 à 13nm. De plus, pour ce type de transistors, une grille métallique de type "mid-gap" ($\Phi_M=4.6\text{eV}$) a été implémentée pour les simulations. La structure des transistors simulés sous Atlas est présentée sur la Figure 4.25.

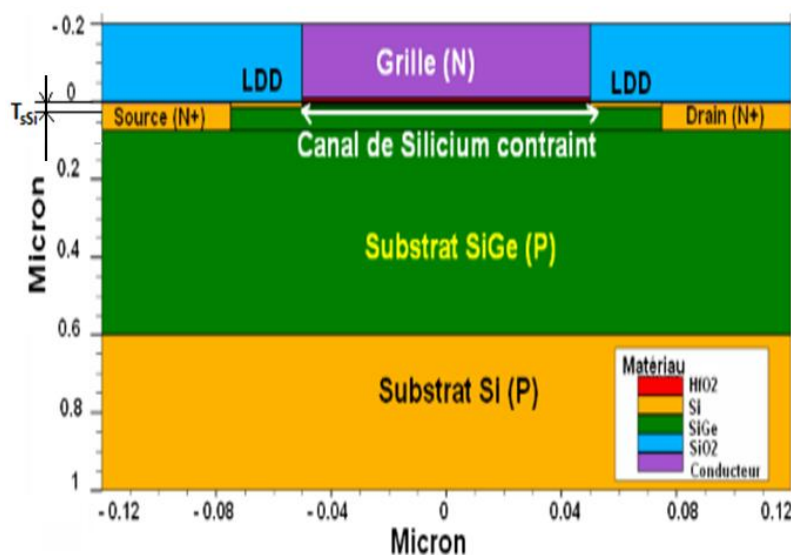


Figure. 4.25 Structure d'un transistor nMOS à empilement de grille en HfO₂ associant un canal de Si contraint simulé sous ATLAS

Les paramètres considérés pour la simulation des dispositifs n MOSFET sont notés dans le tableau suivant (Tableau 4.3) [Atlas]:

TABLEAU 4.3 Paramètres considérés pour la simulation des dispositifs n MOSFET à empilement de grille high-k associant un canal de Si contraint

Paramètre	Signification	Valeur
EOT (nm)	Epaisseur de l'oxyde équivalente	1.5
Lg (nm)	Longueur de la grille	100
Ts-si (nm)	Epaisseur du canal de Si contraint	3-13
Xj (nm)	Profondeurs de jonction (source /drain)	75
P2 (cm ⁻³)	Dopage du canal	1e 17
P1 (cm ⁻³)	Dopage substrat	1e16
N (cm ⁻³)	Dopage LDD	5e19
N+ (cm ⁻³)	Dopage Source/drain	1e 20
V _{GS} (V)	Polarisation Grille	0.03- 3
V _{DS} (V)	Polarisation Drain	0.03- 2
T (K)	Température	300
X(%)	Taux de Ge dans le pseudo substrat SiGe	20

3.2. PERFORMANCES DES TRANSISTORS nMOS A EMPILEMENT TIN/HfO2/s-Si

3.2.1. Mobilité des électrons

La mobilité des électrons sur des transistors nMOS HfO₂/s-Si est comparée à la mobilité des transistors conventionnels SiO₂/Si aux résultats correspondant au transistor non contraint HfO₂/Si sur la Figure 4.26.

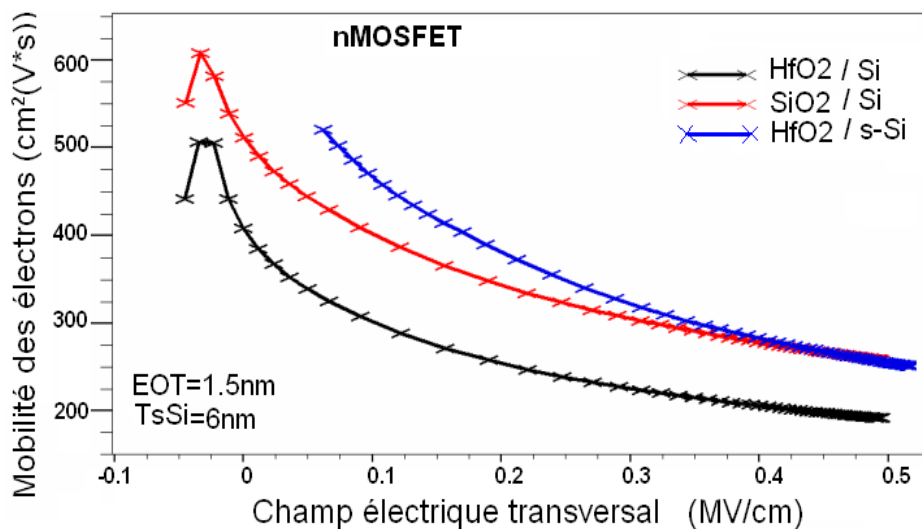


Figure. 4.26 Évolution de la mobilité des électrons en fonction du champ électrique transversal pour différents dispositifs ; nMOS contraint à empilement de grille en HfO₂, nMOS non contraint à empilement de grille en HfO₂, et nMOS conventionnel (SiO₂/Si)

On remarque que la mobilité des nMOS s-Si-HfO₂ est fortement améliorée par rapport à la mobilité des dispositifs conventionnels et à ceux à empilement hfO₂/Si. Ce résultat confirme qu'une contrainte en tension bi-axiale est bénéfique pour le transport des électrons et qu'une architecture à canaux avec du Si contraint en tension pour des nMOS avec empilement de grille TIN/High-k est nécessaire. [weber05]

3.2.2. Caractéristiques électriques

L'impact de l'intégration du Si contraint dans le canal de conduction des transistors nMOS avec un diélectrique de grille high-k est également visible sur la dérive des caractéristiques électriques de sortie I_D(V_D) de la figure 4.27. D'après cette figure, on note une différence de courant très importante entre les dispositifs contraints et ceux non contraints.

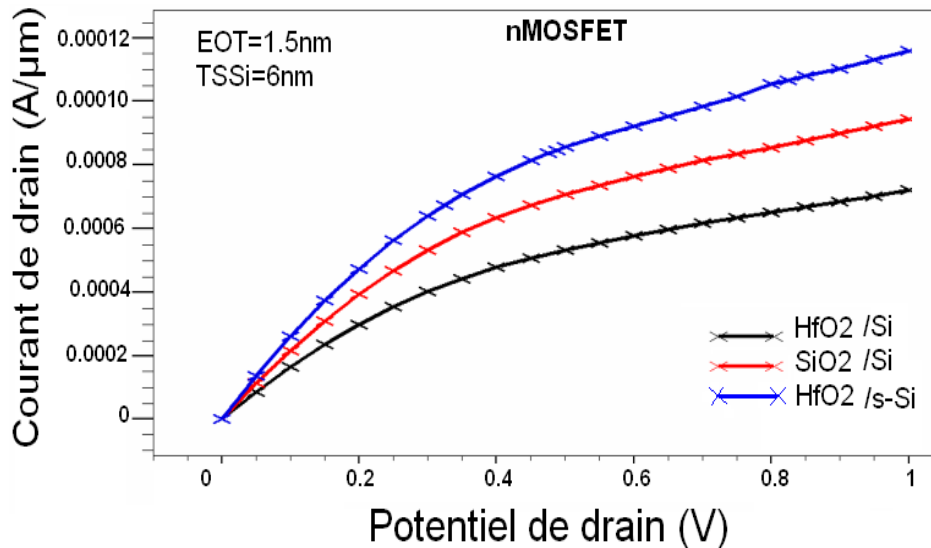


Figure. 4.27 Caractéristiques électriques de sortie I_D(V_D) des différents dispositifs ; nMOS contraint à empilement de grille en HfO₂, nMOS contraint à empilement de grille en HfO₂, nMOS conventionnel (SiO₂/Si) simulés sous ATLAS

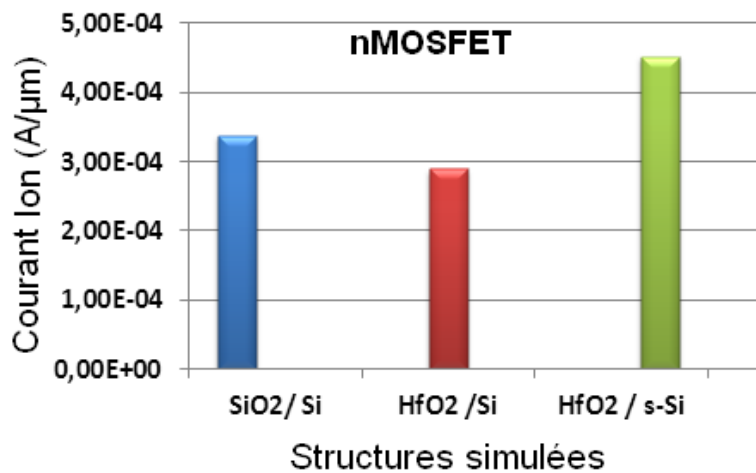


Figure. 4.28 Évolution du courant de drain Ion en fonction du dispositif considéré, EOT=1.5nm, Ts-Si=6nm

Ainsi, nous obtenons grâce à l'intégration du canal contraint une augmentation de (64%) du courant de saturation Ion par rapport aux dispositifs à empilement HfO₂/Si (Figure 2.28). Ce qui souligne l'efficacité de la structure et de la combinaison des deux matériaux, High-k et Si contraint.

3.3. EFFETS DE LA VARIATION DE LA CAP s-Si

3.3.1. MOBILITÉ DES ÉLECTRONS

La figure 4.29 présente l'évolution de la mobilité des électrons en fonction du champ électrique transversal pour différentes épaisseurs du canal de Si contraint (CAP s-Si) du dispositif MOS contraint présenté ci-dessus (Figure 4.25), ainsi que la mobilité du dispositif standard SiO₂/Si et la mobilité de transistors non contraint HfO₂/Si.

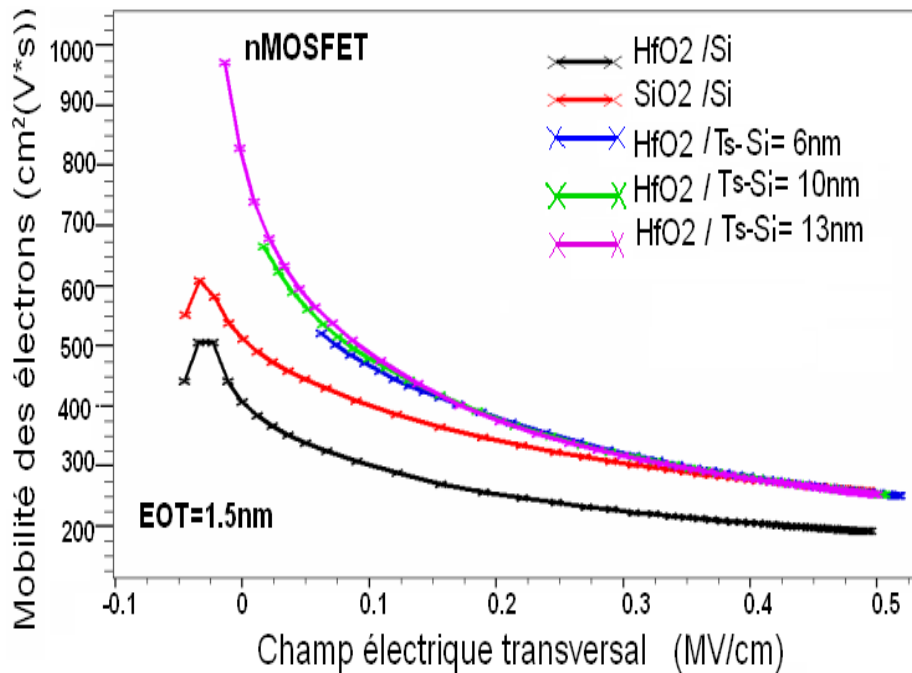


Figure. 4.29 Mobilité des électrons en fonction du champ effectif pour les transistors nMOS TiN/HfO₂/s-Si avec différentes épaisseurs de la cap s-Si, comparée à la mobilité du dispositif standard SiO₂/Si et la mobilité de la référence HfO₂/Si.

L'augmentation de l'épaisseur du canal de Si contraint sur la figure 4.29, confirme la différence de mobilité entre les dispositifs contraint et les dispositifs non contraints. On observe en effet que la mobilité du dispositif contraint, à faible champ électrique est fortement améliorée avec les épaisseurs de cap s-Si croissantes. Cependant, à fort champ, la mobilité des électrons diminue jusqu'à atteindre une valeur proche de la mobilité du dispositif standard SiO₂/Si

3.3.2. Courant I_{ON} , I_{OFF}

Le courant de drain I_{ON} est relevé sur la figure (4.30) en fonction de l'épaisseur du canal contraint. Nous pouvons distinguer un accroissement important du courant I_{on} lorsqu'on augmente l'épaisseur de la cap s-Si. En revanche, le point le plus critique sur le dispositif nMOS à empilement high-k s-Si concerne le contrôle du courant de fuite I_{OFF} . Les résultats obtenus de la simulation montrent en effet que l'accroissement de la couche de s-Si induit une dégradation du courant de fuite I_{OFF} (Figure 4.31). Donc, il faut trouver le meilleur compromis entre I_{OFF} et la mobilité pour obtenir un courant I_{ON} le plus élevé possible. Pour nos transistors s-Si, on peut conclure que l'épaisseur de s-Si très fine (3 nm) offre le meilleur compromis.

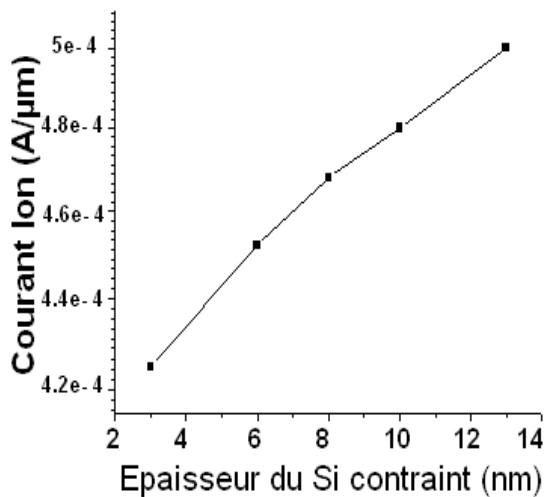


Figure. 4.30 Variation du courant I_{on} en fonction de l'épaisseur du canal de Si contraint dans un nMOS à empilement de grille métal/ HfO_2 /s-Si

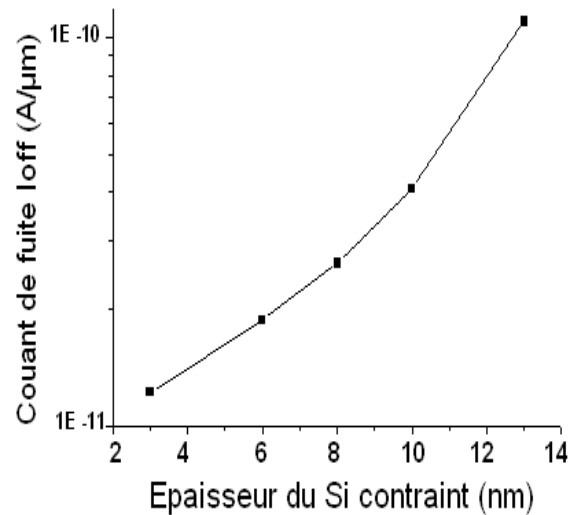


Figure. 4.31 Variation du courant de fuite I_{OFF} en fonction de l'épaisseur du canal de Si contraint dans un nMOS à empilement de grille métal/ HfO_2 /s-Si

4. CONCLUSION

Ce dernier chapitre s'est focalisé sur la simulation bidimensionnelle des architectures nMOS à base de matériaux à forte permittivité (high-k qui va souvent de pair avec la grille métallique) dans le but d'évaluer leur aptitude à remplacer le traditionnel oxyde de Silicium (SiO_2).

Dans un premier temps, nous nous sommes intéressés à l'impact d'une grille métallique sur les caractéristiques électriques du composant MOS avec un diélectrique high-k. nous avons pu démontrer, que la variation du travail de sortie du métal utilisé avait pour effet de modifier la tension de seuil du dispositif.

Dans une deuxième étude, nous nous sommes penchés sur l'étude du courant de fuite dans des empilements de grille métal/high-k en HfO_2 . Pour cela, nous nous sommes intéressés à

l'influence de la composition de la partie isolante du dispositif nMOS sur la réduction du courant de fuite à travers l'oxyde de grille. Nous avons en effet considérés deux cas, dans le premier cas la couche de HfO_2 est directement déposée sur le canal de Si, tandis que pour le deuxième cas l'oxyde de grille est constitué d'une bicouche (une couche de SiO_2 interfaciale égale 0.8nm plus une second couche de diélectrique HfO_2). L'objectif était de déterminer au mieux, à partir des simulations numériques à différentes épaisseurs (EOT 1 jusqu'à 1.4nm), l'effet d'un matériau de forte permittivité, en HfO_2 sur l'amélioration du courant de grille de type tunnel direct dans ces composants. Les résultats de la simulation sont comparés à la référence qui considère un empilement de type (SiO_2/Si). Ensuite, nous avons étudié l'impact du diélectrique high-k sur le transport dans le canal de conduction. Nous avons en particulier noté une dégradation de la mobilité des électrons dans le canal Si des transistors MOS avec un diélectrique high-k par rapport à un oxyde SiO_2 .

Finalement, dans la dernière étude, un bon moyen de contrecarrer la dégradation de mobilité associée à l'empilement métal/ HfO_2 est d'utiliser des canaux de Silicium contraint en tension bi-axiale tel que nous l'avons montré au troisième chapitre. Les principales conclusions concernant l'épitaxie d'un canal Si contraint (s-Si) sont les suivantes :

- Le canal de Si contraint est bénéfique pour l'amélioration des performances du dispositif nMOS à empilement métal/ HfO_2 notamment la mobilité des porteurs ainsi que le courant de saturation I_{ON} sont fortement améliorés par rapport à la référence HfO_2/Si
- Si l'augmentation de l'épaisseur de la couche de s-Si sur le canal apparaît encore plus bénéfique (en termes de gain en mobilité et de courant I_{ON}). Elle est cependant néfaste en terme de courant de fuite I_{ON} . Nous avons montré dans la dernière partie qu'une couche s-Si très fine (3nm) sur le canal est suffisante pour compenser la dégradation de courant de fuite.

Références bibliographiques

- [Buchanan 99] Buchanan, D.A., “Scaling the gate dielectric: Materials, integration, and reliability”, *IBM J. RES. & DEV.*, Vol.43, p. 245-264, 1999.
- [Cassé06] M. Cassé, L. Thevenod, B. Guillaumot et al., “Carrier transport in HfO₂ metal gate MOSFETs: a physical insight into critical parameters”, *IEEE Transactions On Electron Devices*, Vol. 53, p. 759- 768, 2006
- [Chau04] R. Chau, S. Datta, M. Doczy et al., “High-k/Metal-Gate Stack and Its MOSFET Characteristics”, *IEEE Electron Device Letters*, Vol.25, p. 408, 2004
- [Chau 04] R. Chau, “Advanced Metal Gate/High-K Dielectric Stacks for High-Performance CMOS Transistors”, In: 5th International Conference on Microelectronics and Interfaces (ICMI), A. V. Society ed., Santa Clara, pp. 1–3, 2004.
- [Chin00] A. Chin, Y.H. Wu, S.B. Chen, C.C. Liao, W.J. Chen, “High Quality La₂O₃ and Al₂O₃ Gate Dielectrics with Equivalent Oxide Thickness 5-10Å”, *VLSI Tech. Dig*, p. 16, 2000
- [Choi01] R. Choi, C.S. Kang, B.H. Lee et al., “High-Quality Ultra-thin HfO₂ Gate Dielectric MOSFETs with TaN Electrode and Nitridation Surface Preparation”, *VLSI Tech. Dig*, p. 15, 2001
- [Chowdhury 07] N.A. Chowdhury, D. Misra, “Charge trapping at deep states in Hf-Silicate based high- κ gate dielectrics”, *Journal of the Electrochemical Society*, Vol. 154, Iss. 2, 2007
- [Clément 05] Clément .M, “Croissance épitaxiale d’oxyde "high-k" sur Silicium pour CMOS avancée LaAO₃, Gd₂O₃, γ -Al₂O₃”, Thèse de Doctorat, Ecole Centrale de Lion, 2007.
- [Doris05] B. Doris, Y.H. Kim, B.P. Linder et al., “High Performance FDSOI CMOS Technology with Metal Gate and High-k”, *VLSI Tech. Dig.*, p. 214, 2005
- [Frank 01] Frank. D., et all, “Device scaling limits of Si MOSFETs and their application dependencies”, *Proc. IEEE*, 2001.
- [Faynot10] Faynot. O, et all, “Planar Fully Depleted SOI Technology: a powerful architecture for the 20nm node and beyond”, *International Electron Devices Meeting (IEDM)*, p. 50-53, 2010
- [Garros 04] X. Garros, “Caractérisation et modélisation de l’oxyde d’hafnium comme alternative à la silice pour les futures technologies CMOS submicroniques ”, Thèse de Doctorat, Université de Provence – Aix – Marseille 1, ISBN 2004AIX11067, 2004

- [Ghibaudo 00]** Ghibaudo. G., Clerc. R., Vincent. E., Bruyère. S. et Autran. J.L., “Gate dielectrics for ultimate CMOS technologies-limitations and alternative solutions”, *C. R. Acad. Sci. Paris*, t.1, Série IV. p. 911-927, 2000.
- [Green 01]** Green. M.L., Gusev. E.P., Degraeve. R. et Garfunkel. E.L., “Ultrathin (<4nm) SiO₂ and Si-O-N gate dielectric dielectric layers for silicon microelectronics: Understanding the processing, structure, and physical and electrical limits”, *J. Appl. Phys.*, Vol.90, p. 2057-2121, 2001.
- [Iwai04]** M. Iwai, A. Oishi, T. Sanuki et al., “45nm CMOS Platform Technology (CMOS6) with High Density Embedded Memories”, *VLSI Tech. Dig.*, p. 12, 2004.
- [Jeon02]** Jeon.S, et al., “Epitaxial SrTiO₃ on silicon with EOT of 5.4Å for MOS gate dielectric applications”, *IEDM Tech. Dig.*, p. 955. 2002.
- [Kerber03’]** A. Kerber, E. Cartier, L. Pantisano et al., “Characterization of the VT-instability in SiO₂/HfO₂ gate dielectrics”, *IRPS Tech Dig.*, p. 41, 2003.
- [Kington 00]** Kington. A.I., Maria. J.-P. et Streiffer. S.K., “Alternative dielectrics to silicon dioxide for memory and logic devices”, *Nature*, Vol.406, pp. 1032-1038, 2000
- [Lopez 95]** Lopez-Villanueva. J.A, I. Melchor, F. Gamiz, J. Banqueri, and J. A. Jimenez- Tejada, “A Model for the Quantized Accumulation Layer in Metal-Insulator- Semiconductor Structures”, *Solid-State Electronics*, Vol.38, p. 203–210, 1995.
- [Matsushita04]** Matsushita.D, K. Muraoka, Y. Nakasaki, K. Kato, S. Inumiya et al., “Novel Fabrication Process to Realize Ultra-thin (EOT=0.7nm) and Ultra-low Leakage SiON Gate Dielectrics”, *VLSI Tech. Dig.*, p.172, 2004
- [Muller 99]** Muller, D.A., Sorsch, T., Moccio, S., Baumann, F.H., Evans-Lutterodt, K. et Timp, G., “The electronic structure at the atomic scale of ultrathin gate oxides”, *Nature*, Vol.399, p. 758-761, 1999
- [Osburn 02]** Osburn, C.M., Kim, I., Han, S.K., De, I., Yee, K.F., Ganavaram, S., Lee, S.J., Lee, C.-H., Luo, Z.J., Zhu, W., HAuser, J.R., Kwong, D.-L., Lucovsky, G., Ma, T.P. et Öztürk, M.C., “Vertically scaled MOSFET gate stacks and junctions : How far are we likely to go?”, *IBM J., RES. & DEV.*, Vol.46, p. 299-315, 2002.
- [Pacelli 99]** Pacelli. A, A. S. Spinelli, and L. M. Perron, “Carrier Quantization at Flat Bands in MOS Devices”, *IEEE Transactions on Electron Devices*, Vol.46, p. 383–387, 1999
- [PET 06]** Petit.C and D. Zander, “Low voltage induced leakage current and time to breakdown in ultra-thin oxides (1.2-2.3 nm)”, *Microelectronics Reliability* , Vol.47, p. 401-408, 2006.
- [Ragnarsson03]** Ragnarsson. L.-A, L. Pantisano, V. Kaushik et al., “The impact of sub monolayers of HfO₂ on the device performance of high-k based

- transistors”, IEDM Tech. Dig., p. 87. 2003
- [Robertson 02] Robertson. J, “Band offsets of high dielectric constant gate oxides on silicon”, *Journal of Non-Crystalline Solids*, Vol. 303, p. 94– 100, 2002
- [Rochette08] F. Rochette, "Etude et Caractérisation de L'influence des Contrainte Mécaniques sur les Propriétés du Transport Electronique dans les Architectures MOS Avancées", Thèse de doctorat, INPG, 2008.
- [Schlom 02] Schlom et al, “Materials Research Development Bulletin”, p.198-204. 2002
- [Schulz 99] Schulz, M., “The end of the road for silicon?”, *Nature*, Vol.399, p. 729, 1999
- [Skotnicki08] Skotnicki. T, et all, “Innovative Materials, Devices, and CMOS Technologies for Low-Power Mobile Multimedia”, *Transactions on Electron Devices*; Vol. 5, p. 96-130, 2008
- [Song 01] Song, S., Yi, J., Kim, W., Fujihara, K., Kang, H.-K., Moon, J.-T. et Lee, M.-Y., “On the gate oxide scaling of sub-100nm CMOS transistors”, *J. Semiconductor technology and science*, Vol.1, p. 103-110, 2001
- [Specht 04] M. Specht, M. Städele, S. Jakschik et al., “Transport mechanisms in atomic-layer-deposited Al₂O₃ diélectrics”, *Applied Physics Letters*, Vol.84, p. Iss. 16, 2004
- [Spinelli 98] A. S. Spinelli, A. Benvenuti, and A. Pacelli, “Self-Consistent 2-D Model for Quantum Effects in n-MOS Transistors,” *IEEE Transactions on Electron Devices*, Vol. 45, p. 1342–1349, 1998
- [Stathis 02] Stathis, J.H., “Reliability limits for the gate insulator in CMOS technology”, *IBM J. RES. & DEV.*, Vol.46, p. 265-286, 2002
- [Sune92] Sune. J, P. Olivo, and B. Ricco, “Self-Consistent Solution of the Poisson and Schrödinger Equations in Accumulated Semiconductor-Insulator Interfaces”, *Journal of Applied Physics*, Vol. 70, p. 337–345, 1991
- [Tang 98] Tang, S., Wallace, R.M., Seabaugh, A. et King-Smith, D., “Evaluating the minimum thickness of gate oxide on silicon using first-principles method”, *Appl. Surf. Sci.*, Vol.135, p. 137-142, 1998
- [VANDOO 06] A. Vandooren, “physics and integration of fully- depleted SOI devices”, Présentation orale à MIGAS 2006, Emerging Silicon Devices For the End of the Roadmap, Autrans, 2006.
- [Wallace 02] Wallace, R.M. et Wilk, G., “Alternative gate dielectrics for microelectronics”, *MRS bulletin*, Vol.27, p. 186-191, 2002
- [Wang 06] H. Wong et H. Iwai, “On the scaling issues and high-k replacement of ultrathin gate dielectric for nanoscale MOS transistor”, *Microelec. Eng.* Vol.83, p. 1867-1904, 2006

- [Weber 04]** O. Weber, F. Ducroquet, T. Ernst et al., “55nm high mobility SiGe(:C) pMOSFETs with HfO₂ gate dielectric and TiN metal gate for advanced CMOS”, VLSI Tech. Dig., p. 42, 2004
- [Weber 05]** O. Weber, “Etude, fabrication et propriétés de transport de transistors CMOS associant un diélectrique haute permittivité et un canal de conduction haute mobilité”, Thèse de Doctorat, Institut National des Sciences Appliquées de Lyon, ISBN : 2005ISAL0127, 2005.
- [Wilk 01]** Wilk, G.D., Wallace, R.M. et Anthony, J.M., “High-k gate dielectrics: Current status and materials properties considerations”, [J. Appl. Phys.](#), Vol.89, p. 5243-5275, 2001
- [Xu 02]** Z. Xu, M. Houssa, S. De Gendt et al., “Polarity effect on the temperature dependence of leakage current through HfO₂/SiO₂ gate dielectric”, [Applied Physics Letters](#), Vol. 80, p. Iss. 11, 2002
- [Yamamoto03]** K. Yamamoto, S. Hayashi, M. Niwa et al., “Electrical and Physical Properties of HfO₂ films prepared by Remote Plasma Oxidation of Hf Metal”, [Applied Physics Letters](#), Vol.83, p. 2229, 2003

CONCLUSION GÉNÉRALE

Face à la volonté de repousser les limites fondamentales de l'intégration des circuits CMOS de nouvelle génération et afin de contrer les phénomènes parasites induits par leurs petites dimensions, tels que les fuites de grille, plusieurs solutions technologiques sont envisagées parmi lesquelles, l'utilisation de matériaux innovants pour l'empilement de grille. En effet, la substitution de l'oxyde de grille SiO_2 conventionnel par des matériaux de plus forte permittivité "high-k" associé à une grille métallique permet de compenser, sous certaines conditions ces phénomènes parasites. Ainsi, pour augmenter encore les performances des dispositifs MOS, l'introduction intentionnelle des contraintes mécaniques au niveau du canal de conduction apparait comme une nouvelle source d'amélioration des propriétés de transport électronique. C'est dans ce contexte que se situe l'étude présentée dans ce manuscrit.

L'objectif majeur de ce travail de thèse était d'explorer les différentes voies permettant d'améliorer à la fois les propriétés de transport électrique et les fuites de grille dans les dispositifs MOS. En particulier, nous nous sommes intéressés à la simulation numérique des transistors nMOS avec un empilement de grille high-k à base de HfO_2 et un canal de Silicium contraint en tension bi-axiale.

Dans le premier chapitre, après avoir présenté le principe de fonctionnement du transistor nMOS, nous avons situé le contexte de notre étude en présentant la problématique de la réduction des dimensions et identifiés les différents effets parasites qui, dégradent de plus en plus les performances du dispositif MOS conventionnel. Enfin, nous avons exploré les nouvelles solutions pour limiter les effets indésirables liés à la réduction d'échelle, le choix porté sur l'introduction de nouveaux matériaux tels que le diélectrique à forte permittivité, et le canal de Silicium contraint.

Le deuxième chapitre présente un état de l'art sur les contraintes mécaniques en microélectronique. Nous y abordons rapidement les effets néfastes des différentes contraintes mécaniques que l'on rencontre dans les films minces déposés, qui peuvent entraîner l'endommagement des structures réalisées, mais aussi l'intérêt de la maîtrise des contraintes mécaniques dans l'industrie des semi-conducteurs. Dans une deuxième partie, nous avons

exploré l'aspect théorique du Silicium contraint en tension bi-axiale: dans un premier temps nous avons revu en détails l'ensemble des points théoriques et physique nécessaires à une bonne compréhension de la structure de Silicium monocristallin. Puis, nous avons étendu notre étude au Silicium contraint en tension bi-axiale qui constitue le centre de notre travail. Enfin, nous avons présenté l'approche des équations mathématiques utilisée pour la modélisation d'une contrainte en tension bi-axiale dans le canal de conduction. Pour cela nous avons considéré les différentes relations qui existent entre la valeur de la concentration en Germanium aux grandeurs physiques telles que les bandes d'énergies, le paramètre de maille, la constante diélectrique, et en particulier la mobilité de porteurs de charge.

Dans le troisième chapitre de cette thèse, nous nous sommes attachés à évaluer l'impact de l'incorporation d'un canal de Si contraint (s-Si) sur les performances du transistor nMOS, notamment sur le courant de saturation I_{ON} et sur la mobilité de porteurs.

Grâce au développement d'un code de simulation numérique basé sur la résolution des équations de dérive diffusion par la méthode des différences finie « SIBIDIF », nous avons pu étudier le transport électronique dans le transistor MOS conventionnel et à canal de Silicium contraint. Cette approche intègre systématiquement les effets de la contrainte mécanique.

Dans un premier temps, nous avons exposés les résultats obtenus de la simulation numériques sur des architectures MOS conventionnelles. Nous avons ainsi pu déterminer avec précision les quantités physiques (champ électrique, densités de porteurs de charge, mobilité, potentiel) qui permettront la compréhension des phénomènes mis en jeu. Ensuite, l'influence des conditions de polarisation sur la distribution de ces mêmes quantités physiques a été évaluée afin de fournir des résultats sur les différents régimes de fonctionnement du composant.

Dans un second temps, nous avons adaptés notre code de calcul à la simulation des dispositifs contraints. Nous avons ainsi pu évaluer et comparer les performances des transistors MOS à canaux contraints à celle obtenues sur des dispositifs conventionnels, en termes de mobilité et de courant de drain. Les calculs ont révélés des variations importantes de la mobilité des électrons (et des trous) pour toutes les contraintes en tension appliquées. Ainsi, une augmentation de la mobilité des électrons d'un facteur de (=1.9) par rapport au Silicium en cas d'un pourcentage de Germanium égale 20% a été notée. De plus, les performances statiques (courant-tension) sont fortement améliorées avec les canaux de Si contraints en tension bi-axiales. En revanche, une diminution de la tension de seuil V_T dans les dispositifs contraints a été observée. Enfin, les résultats de la simulation issus de notre code de calcul ont été comparés à ceux obtenus d'un logiciel commercial "Suntaurus (ISE-TCAD)". La concordance des résultats obtenus nous a permis de valider notre travail.

Le dernier chapitre a été l'occasion d'analyser en détail le transport de manière générale, mais aussi, plus spécifiquement à travers l'empilement de grille High-k ultra mince (qui va souvent de pair avec la grille métallique), afin précisément d'évaluer l'aptitude de l'oxyde à forte permittivité diélectrique à limiter les fuites de grille face à une réduction extrême de l'épaisseur de l'oxyde de Silicium conventionnel.

Dans la première partie de ce chapitre, nous avons proposés une estimation de l'impact d'une grille métallique sur les caractéristiques électriques du composant MOS. Nous avons montrés par ailleurs que la variation du travail de sortie du métal utilisé avait pour effet de modifier la tension de seuil du dispositif.

Dans un second temps, nous avons comparé la structure n MOS à empilement de grille high-k en HfO_2 à la référence (SiO_2/Si) en termes de courant de fuite pour différentes épaisseurs (EOT 1 jusqu'à 1.4nm). Les résultats des simulations obtenues à partir du logiciel ATLAS (SILVACO-TCAD) ont indiqués que l'utilisation des diélectriques à grande constante diélectrique permet de réduire considérablement le courant de fuite par effet tunnel grâce à l'augmentation de l'épaisseur physique de l'empilement. Ensuite, nous avons étudié l'impact de diélectrique high-k sur le transport dans le canal de conduction. Nous avons en particulier noté une dégradation de la mobilité des électrons dans le canal Si des transistors MOS avec un diélectrique high-k par rapport à un oxyde SiO_2 .

Enfin, dans la dernière partie de ce chapitre, nous avons présenté une architecture nMOS à empilement de grille TIN/HfO_2 associant un canal de Silicium contraint. Cette intégration a donc été l'occasion d'utiliser une grande partie des notions abordées jusqu'ici. Nous avons pu démontrer que le canal de Si contraint est bénéfique pour l'amélioration des performances du dispositif nMOS à empilement métal/ HfO_2 notamment en termes de gain en mobilité et de courant de saturation I_{ON} . Ainsi, nous avons pu évaluer l'impact de la réduction de l'épaisseur du canal de conduction (T_{Si}) sur la tension de seuil du dispositif MOS et sur le courant de fuite I_{OFF} . Nous avons montré enfin qu'une couche contrainte s-Si très fine (3nm) à la limite supérieure du canal est suffisante pour compenser la dégradation du courant de fuite.

Pour conclure sur l'ensemble du travail qui a été effectué au cours de cette thèse, nous avons pu évaluer le potentiel de l'association diélectrique high-k/canal de Silicium contraint pour améliorer à la fois la mobilité des porteurs et le courant de fuite de grille par rapport à des transistors MOS conventionnels (Poly-Si/ SiO_2/Si).

Cependant, de nombreux phénomènes physiques intervenant dans l'interface oxyde de grille/canal de Silicium contraint restent encore à étudier et à modéliser. Ainsi, l'impact des

défauts que peut avoir l'interface entre le Silicium contraint et le pseudo substrat SiGe sur le courant de fuite I_{OFF} ou le rôle sans cesse croissant que jouent les défauts étendus à l'interface HfO_2/Si sur les courants de fuites de grille, constituent autant de problèmes à prendre en considération pour les futures améliorations des structures modernes.

ANNEXES

Annexe I : discrétisation des équations par la méthode des différences finies

1. Méthode de discrétisation par intégration
2. Equations discrètes des semi-conducteurs
 - 2.1. Equation discrète de Poisson
 - 2.2. Equation discrète de continuité des électrons
 - 2.3. Equation discrète de continuité des trous

Annexe II: simulation électrique par ATLAS (SILVACO-TCAD)

1. Implémentation des modèles physiques
 - 1.1. Modèles de la mobilité
 - 1.1.1.** Modèle de Lombardi CVT
 - 1.1.2.** Mobilité des empilements de grille high-k
 - 1.1.2.1. Model de mobilité limitée par les interactions Coulombiennes à distance RCS
 - 1.1.2.2. Model de mobilité limitée par les interactions de phonon à distance RPS
 - 1.1.3.** Model de mobilité du Silicium contraint
 - 1.2. Modèle du courant tunnel direct (QTUNN)
2. Exemple de La simulation ELECTRIQUE sous ATLAS :
(Calcule de la mobilité des électrons dans le canal d'un transistor MOSFET à empilement de grille en HfO₂ associant un canal contraint en tension bi-axiale)

Annexe I

DISCRETISATION DES EQUATIONS PAR LA METHODE DES DIFFERENCES FINIES

Dans ce travail de thèse, nous nous intéressons à un schéma différence finies pour le modèle de dérive diffusion en deux dimensions. Commençons par rappeler ici le processus de discrétisation sur une équation générale, avant d'introduire les calculs pour les équations des semi-conducteurs que nous considérons.

3. METHODE DE DISCRETISATION PAR INTEGRATION

La méthode de différences finies nous fournira un ensemble fini de valeurs ($m \times n$ points), avec n le nombre de points de maillage en x et m en y . chacun des $m \times n$ nœuds sera identifié par un couple (i, j) des indices de l'abscisse x_i et de l'ordonnée y_j de celui-ci, ou bien par un indice global k compris entre 1 et $m \times n$. on notera alors f_k la valeur de la fonction f en ce nœud k . Entre k, i et j on a la relation suivante:

$$k = (j - 1) \times n + i \quad (\text{I.1})$$

Ou : n est le nombre de ligne $x = x_i$

Associons au nœud k la région R_k (voir figure I-1) définie comme le domaine intérieur aux droites :

$$\begin{cases} x = (x_i + x_{i-1})/2 \\ x = (x_i + x_{i+1})/2 \\ y = (y_j + y_{j-1})/2 \\ y = (y_j + y_{j+1})/2 \end{cases}$$

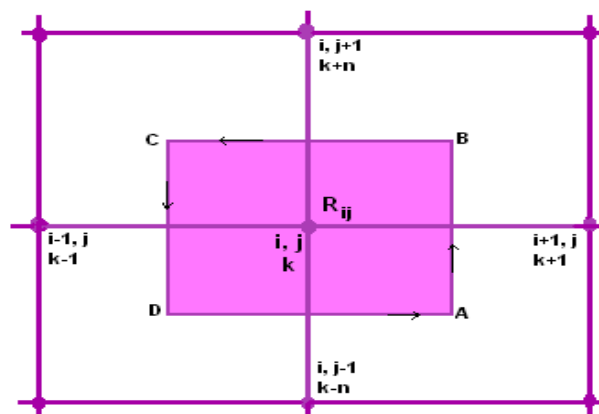


Figure. I-1. Définition du domaine d'intégration $R_{i,j}$ pour le volume de la géométrie simulée

Soit à discrétiser au point k l'équation générale suivante :

$$\frac{\partial}{\partial x} \left[P(x, y) \frac{\partial U}{\partial x} \right] + \frac{\partial}{\partial y} \left[P(x, y) \frac{\partial U}{\partial y} \right] = f(U, x, y) \quad (I.2)$$

Avec

U : la fonction recherchée,

P et f: des fonctions déterminées à priori.

L'intégration de l'équation (2) sur la région R_k donne :

$$\iint_{R_k} \left[\frac{\partial}{\partial x} \left[P(x, y) \frac{\partial U}{\partial x} \right] + \frac{\partial}{\partial y} \left[P(x, y) \frac{\partial U}{\partial y} \right] \right] dx dy = \iint_{R_k} f(U, x, y) dx dy \quad (I.3)$$

Le second membre s'évalue simplement :

$$\iint_{R_k} f(U, x, y) dx dy = f(U_k, x_i, y_j) \frac{x_{i+1} - x_{i-1}}{2} \cdot \frac{y_{j+1} - y_{j-1}}{2} \quad (I.4)$$

Pour évaluer le premier membre, on utilise la formule de green :

$$\iint_{R_k} \left[\frac{\partial Y}{\partial x} - \frac{\partial X}{\partial y} \right] dx dy = \int_{C_k^+} X dx + Y dy \quad (I.5)$$

Avec

C_k^+ étant la frontière de R_k orientée positivement.

Le premier membre s'écrit donc :

$$\iint_{R_k} \left[\frac{\partial}{\partial x} \left[P \frac{\partial U}{\partial x} \right] + \frac{\partial}{\partial y} \left[P \frac{\partial U}{\partial y} \right] \right] dx dy = \int_{C_k^+} \left[P \frac{\partial U}{\partial x} \right] dy - \left[P \frac{\partial U}{\partial y} \right] dx = I \quad (I.6)$$

Soit encore :

$$I = \int_A^B \left[P \frac{\partial U}{\partial x} \right] dy - \int_B^C \left[P \frac{\partial U}{\partial y} \right] dx + \int_C^D \left[P \frac{\partial U}{\partial x} \right] dy - \int_D^A \left[P \frac{\partial U}{\partial y} \right] dx \quad (I.7)$$

En évaluant chacun des termes de I et en divisant les deux membres par $\left(\frac{x_{i+1} - x_{i-1}}{2} \cdot \frac{y_{j+1} - y_{j-1}}{2} \right)$, l'équation discrète obtenue peut alors s'écrire sous la forme:

$$G_k U_{k-1} + B_k U_{k-n} + D_k U_{k+1} + H_k U_{k+n} - C_k U_k = f(U_k, x_i, y_j) \quad (I.8)$$

Avec :

$$G_k = p \left(\frac{x_i + x_{i-1}}{2}, y_j \right) \frac{2}{(x_i - x_{i-1})(x_{i+1} - x_{i-1})}$$

$$D_k = p \left(\frac{x_i + x_{i+1}}{2}, y_j \right) \frac{2}{(x_{i+1} - x_i)(x_{i+1} - x_{i-1})}$$

$$B_k = p \left(x_i, \frac{y_j + y_{j-1}}{2} \right) \frac{2}{(y_j - y_{j-1})(y_{j+1} - y_{j-1})}$$

$$H_k = p \left(x_i, \frac{y_j + y_{j+1}}{2} \right) \frac{2}{(y_{j+1} - y_j)(y_{j+1} - y_{j-1})}$$

$$C_k = G_k + B_k + D_k + H_k$$

Il est à remarquer que les coefficients B_k , H_k ne dépendent que de l'indice j , et G_k , D_k de l'indice i afin de réaliser de substantielles économies de stockage en mémoire.

4. EQUATIONS DISCRETES DES SEMI-CONDUCTEURS

En chaque point du maillage, on obtient par la méthode de discrétisation par intégrale trois équations correspondants à l'équation de Poisson et aux deux équations de continuité.

a. Equation discrète de poisson

Au point k on obtient l'équation de Poisson discrète :

$$G_k \phi_{k-1} + B_k \phi_{k-n} + D_k \phi_{k+1} + H_k \phi_{k+n} - C_k \phi_k - \exp(\phi) \cdot \Psi^n + \exp(-\phi) \cdot \Psi^p + DOp = 0 \quad (I.9)$$

Avec les coefficients :

Coefficients	Dans le silicium	Dans le SiGe
G_k	$\frac{2}{(x_i - x_{i-1})(x_{i+1} - x_{i-1})}$	$\frac{\varepsilon_{SiGe}}{\varepsilon_{Si}} \cdot \frac{2}{(x_i - x_{i-1})(x_{i+1} - x_{i-1})}$
B_k	$\frac{2}{(y_j - y_{j-1})(y_{j+1} - y_{j-1})}$	$\frac{\varepsilon_{SiGe}}{\varepsilon_{Si}} \cdot \frac{2}{(y_j - y_{j-1})(y_{j+1} - y_{j-1})}$
D_k	$\frac{2}{(x_{i+1} - x_i)(x_{i+1} - x_{i-1})}$	$\frac{\varepsilon_{SiGe}}{\varepsilon_{Si}} \cdot \frac{2}{(x_{i+1} - x_i)(x_{i+1} - x_{i-1})}$

H_k	$\frac{2}{(y_{j+1} - y_j)(y_{j+1} - y_{j-1})}$	$\frac{\varepsilon_{SiGe}}{\varepsilon_{Si}} \cdot \frac{2}{(y_{j+1} - y_j)(y_{j+1} - y_{j-1})}$
C_k	$G_k + B_k + D_k + H_k$	

L'ensemble de ces équations sera noté : $\vec{F}\vec{\phi}(\vec{\phi}, \vec{N}, \vec{P}) = \vec{0}$

b. Equation discrète de continuité des électrons

En combinant, les d'équations ((11,12) et (6,7) du chapitre III), on peut écrire en valeurs normalisées les expressions pour les densités de porteurs libres des électrons et des trous comme suit :

$$\begin{cases} N = n_c \exp[-E_C + \phi_n] \\ P = n_v \exp[E_V - \phi_p] \end{cases} \quad (I.10)$$

D'où :

$$\begin{cases} \phi_n = -E_C - \ln \left[\frac{N}{n_c} \right] \\ \phi_p = -E_V + \ln \left[\frac{P}{n_v} \right] \end{cases} \quad (I.11)$$

D'après la relation ((32) du chapitre III) on peut écrire

$$\begin{cases} \phi_n = \phi - \frac{E_g}{2} - \ln \left[\frac{N}{n_c} \right] - \Delta E_C \\ \phi_p = \phi + \frac{E_g}{2} + \ln \left[\frac{P}{n_v} \right] + \Delta E_V \end{cases} \quad (I.12)$$

$$\begin{cases} \phi_n = \phi - \ln N + \left(\ln(n_c) - \frac{E_g}{2} - \Delta E_C \right) \\ \phi_p = \phi + \ln P + \left(-\ln(n_v) + \frac{E_g}{2} + \Delta E_V \right) \end{cases} \quad (I.13)$$

On a

$$\begin{cases} \Psi^n = \exp(-\phi_n) \\ \Psi^p = \exp(\phi_p) \end{cases} \quad (I.14)$$

Alors

$$\begin{cases} \Psi^n = \exp \left(- \left(\phi - \ln N + \left(\ln(n_c) - \frac{E_g}{2} - \Delta E_C \right) \right) \right) \\ \Psi^p = \exp \left(\phi + \ln P + \left(-\ln(n_v) + \frac{E_g}{2} + \Delta E_V \right) \right) \end{cases} \quad (I.15)$$

$$\begin{cases} \Psi^n = N \cdot \exp(-\phi) \cdot \exp\left[-\left(\ln(n_c) - \frac{E_g}{2} - \Delta E_c\right)\right] \\ \Psi^p = P \cdot \exp(\phi) \cdot \exp\left(-\ln(n_v) + \frac{E_g}{2} + \Delta E_v\right) \end{cases} \quad (\text{I.16})$$

D'après, [SLatreche98], [Heydmann76], l'équation de continuité des électrons discrète est de la forme suivante :

$$G_K^n N_{k-1} + B_k^n N_{k-n} + D_k^n N_{k+1} + H_k^n N_{k+n} - C_k^n N_k + GR_n(k) = 0 \quad (\text{I.17})$$

Pour

$$\begin{cases} U = N \\ f = GR_n \\ P = M_n \cdot \frac{\phi_1 - \phi_2}{1 - \exp(\phi_1 - \phi_2)} \end{cases} \quad (\text{I.18})$$

Et

$$\begin{cases} \Psi_k^n = N_k \cdot \exp(-\phi_k) \\ \Psi_k^p = P_k \cdot \exp(\phi_k) \end{cases} \quad (\text{I.19})$$

En comparant les deux expressions (I.16) et (I.19), on peut multiplier tous les termes $G_k^n, H_k^n, D_k^n, B_k^n$ par $\exp\left[-\left(\ln(n_c) - \frac{E_g}{2} - \Delta E_c\right)\right]$. On obtient alors :

$$G_k^n = \frac{2}{(x_i - x_{i-1})(x_{i+1} - x_{i-1})} \cdot \frac{M_k^n + M_{k-1}^n}{2} \cdot \frac{\phi_{k-1} - \phi_k}{1 - \exp(\phi_{k-1} - \phi_k)} \cdot \exp\left[-\left(\ln(n_c) - \frac{E_g}{2} - \Delta E_c\right)\right]$$

$$B_k^n = \frac{2}{(y_j - y_{j-1})(y_{j+1} - y_{j-1})} \cdot \frac{M_k^n + M_{k-n}^n}{2} \cdot \frac{\phi_{k-n} - \phi_k}{1 - \exp(\phi_{k-n} - \phi_k)} \cdot \exp\left[-\left(\ln(n_c) - \frac{E_g}{2} - \Delta E_c\right)\right]$$

$$D_k^n = \frac{2}{(x_{i+1} - x_i)(x_{i+1} - x_{i-1})} \cdot \frac{M_k^n + M_{k+1}^n}{2} \cdot \frac{\phi_{k+1} - \phi_k}{1 - \exp(\phi_{k+1} - \phi_k)} \cdot \exp\left[-\left(\ln(n_c) - \frac{E_g}{2} - \Delta E_c\right)\right]$$

$$H_k^n = \frac{2}{(y_{j+1} - y_j)(y_{j+1} - y_{j-1})} \cdot \frac{M_k^n + M_{k+n}^n}{2} \cdot \frac{\phi_{k+n} - \phi_k}{1 - \exp(\phi_{k+n} - \phi_k)} \cdot \exp\left[-\left(\ln(n_c) - \frac{E_g}{2} - \Delta E_c\right)\right]$$

$$C_k^n = G_k + B_k + D_k + H_k$$

On obtient ainsi un ensemble d'équations, qui sera noté : $\overrightarrow{F^N}(\vec{\phi}, \vec{N}, \vec{P}) = \vec{0}$

c. Equation discrète de continuité des trous

Les mêmes considérations du paragraphe précédent, s'appliquent également en cas des trous. L'équation de continuité des trous discrétisée s'écrit :

$$G_k^p P_{k-1} + B_k^p P_{k-n} + D_k^p P_{k+1} + H_k^p P_{k+n} - C_k^p P_k + GR_p(k) = 0 \quad (I.20)$$

Avec les coefficients $G_k^n, H_k^n, D_k^n, B_k^n$ seront multipliés par $\exp\left(-\ln(n_V) + \frac{E_g}{2} + \Delta E_V\right)$:

$$G_k^p = \frac{2}{(x_i - x_{i-1})(x_{i+1} - x_{i-1})} \cdot \frac{M_k^p + M_{k-1}^p}{2} \cdot \frac{\phi_{k-1} - \phi_k}{1 - \exp(\phi_{k-1} - \phi_k)} \cdot \exp\left(-\ln(n_V) + \frac{E_g}{2} + \Delta E_V\right)$$

$$B_k^p = \frac{2}{(y_j - y_{j-1})(y_{j+1} - y_{j-1})} \cdot \frac{M_k^p + M_{k-n}^p}{2} \cdot \frac{\phi_{k-n} - \phi_k}{1 - \exp(\phi_{k-n} - \phi_k)} \cdot \exp\left(-\ln(n_V) + \frac{E_g}{2} + \Delta E_V\right)$$

$$D_k^p = \frac{2}{(x_{i+1} - x_i)(x_{i+1} - x_{i-1})} \cdot \frac{M_k^p + M_{k+1}^p}{2} \cdot \frac{\phi_{k+1} - \phi_k}{1 - \exp(\phi_{k+1} - \phi_k)} \cdot \exp\left(-\ln(n_V) + \frac{E_g}{2} + \Delta E_V\right)$$

$$H_k^p = \frac{2}{(y_{j+1} - y_j)(y_{j+1} - y_{j-1})} \cdot \frac{M_k^p + M_{k+n}^p}{2} \cdot \frac{\phi_{k+n} - \phi_k}{1 - \exp(\phi_{k+n} - \phi_k)} \cdot \exp\left(-\ln(n_V) + \frac{E_g}{2} + \Delta E_V\right)$$

$$C_k^n = G_k + B_k + D_k + H_k$$

L'ensemble de ces équations sera noté : $\overrightarrow{F^P}(\vec{\phi}, \vec{N}, \vec{P}) = \vec{0}$

Dans ce calcul, les valeurs des paramètres $E_g, n_C, n_V, \Delta E_C, \Delta E_V$ dépendent de la région considérée et donc de l'inhomogénéité des matériaux.

Annexe II

SIMULATION ELECTRIQUE PAR ATLAS (SILVACO-TCAD)

Nous avons réalisé des simulations numériques de transistors nMOSFET (conventionnels et à matériaux innovant) en 2D sous l'outil ATLAS (SILVACO-TCAD) qui est un simulateur de dispositifs capable de prédire le comportement et les caractéristiques électriques de la plupart des composants semi-conducteurs.

3. IMPLEMENTATION DES MODELES PHYSIQUES

Le simulateur ATLAS (SILVACO-TCAD) comprend une série de modèles physiques pour évaluer le comportement électrique des dispositifs à semi-conducteurs. Le choix du modèle dépend des matériaux utilisés pour la simulation. Commençons par rappeler ici les modèles physiques utilisés dans la simulation électrique des transistors nMOS étudiés dans ce manuscrit.

3.1. MODELES DE LA MOBILITE

Dans les composants MOS, les électrons et les trous sont accélérés par les champs électriques (transversaux et longitudinaux), mais ils perdent leurs dynamiques à la suite de divers processus de diffusion. Ces mécanismes comprennent des phonons, des ions d'impuretés dans le substrat, des charges fixes dans l'oxyde, et des charges stockées sur les états d'interface. Comme les effets de tous ces phénomènes microscopiques sont regroupés dans les mobilités macroscopiques introduites par les équations de transport, ces mobilités sont alors fonctions du champ électrique local, de la température de réseau, et de la concentration du dopage.

3.1.1. Modèle de Lombardi CVT

Dans cette étude nous avons utilisé le modèle de Lombardi (ref-ATLAS) (CVT) car il comprend tous les mécanismes d'interaction dominant les porteurs de la couche d'inversion. Ce modèle est donné par l'équation suivante pour les électrons [ref Atlas]:

$$\mu_T^{-1} = \mu_{AC}^{-1} + \mu_b^{-1} + \mu_{sr}^{-1} \quad \text{II-1}$$

La première composante, μ_{AC} est la mobilité limitée par les interactions coulombiennes (due aux charges à l'interface Si/SiO₂ et aux impuretés ionisées (dopants)) :

$$\mu_{AC,n} = \frac{BN.CVT}{\left(\frac{E_{\perp}}{E_1}\right)^{EN.CVT}} + \left[\frac{CN.CVT \left(\frac{N}{N_1}\right)^{TAUN.CVT}}{\left(\frac{E_{\perp}}{E_1}\right)^{DN.CVT}} \right] \frac{T_1}{T_L} \quad \text{II-2}$$

Où T_L est la température E_{\perp} est le champ électrique perpendiculaire, et N est la concentration de dopage totale. E_1 est 1V / cm, N_1 est 1cm⁻³, et T_1 est 1K.

La seconde composante, μ_{sr} , est due aux rugosités de surface et est donnée par:

$$\frac{1}{\mu_{sr,n}} = \frac{\left(\frac{E_{\perp}}{E_1}\right)^{kN.CVT}}{DELN.CVT} + \frac{\left(\frac{E_{\perp}}{E_1}\right)^3}{FELN.CVT} \quad \text{II-3}$$

La troisième composante de la mobilité, μ_b , est la mobilité limitée par les phonons. Cette composante est donnée par:

$$\mu_{b,n} = MUON.CVT \exp\left(\frac{-PCN.CVT}{N}\right) + \frac{\left[MUMAXN.CVT \left(\frac{T_L}{300}\right)^{-GAMN.CVT} - MUON.CVT \right]}{1 + \left(\frac{N}{CRN.CVT}\right)^{ALPHN.CVT}} - \frac{MU1N.CVT}{1 + \left(\frac{CSN.CVT}{N}\right)^{BETAN.CVT}} \quad \text{II-4}$$

Ici, N est la densité totale des impuretés et TL est la température en degrés Kelvin.

3.1.2. Mobilité des empilements de grille high-k

Un problème majeur avec la simulation des dispositifs MOS à empilement de grille high-k consiste en la réduction de la mobilité observée dans de tels dispositifs. Les principales contributions à cette réduction de la mobilité sont soupçonnées d'être dus à des interactions de Coulomb à distance [ref Atlas] et des interactions des phonons à distance [ref Atlas].

3.1.2.1. Model de mobilité limitée par les interactions Coulombiennes à distance RCS

Ce modèle est donné par l'expression suivante [ref Atlas] :

$$\mu_{rcsn} = MUN.RCS \left(\frac{N}{3 \times 10^{16}}\right)^{ALPHAN.RCS} \left(\frac{T}{300}\right)^{BETAN.RCS} \left(\frac{N_s}{10^{11}}\right)^{\left[GAMMAN.RCS + DELTAN.RCS \ln\left(\frac{N}{3 \times 10^{16}}\right)\right]} \quad \text{II-5}$$

Où N est la concentration de dopage, T est la température en K et N_s est la concentration des électrons dans la couche d'inversion.

3.1.2.2. Model de mobilité limitée par les interactions de phonon à distance RPS

De même que le modèle de mobilité limité par les interactions Coulombienne à distance, le modèle de mobilité limité par les interactions de phonon à distance RPS est proposé pour décrire la réduction de la mobilité observée dans les dispositifs MOS à diélectriques de grille high-k [ref Atlas] comme suit :

$$\mu_{rpsn} = \mu_{N.RPS} \left(\frac{E_{\perp}}{10^6} \right)^{ALPHAN.RPS} \left(\frac{T}{300} \right)^{BETAN.RPS} \quad \text{II-6}$$

Où N est la concentration de dopage, E_{\perp} est le champ perpendiculaire, et T est la température en K.

3.1.3. Model de mobilité du Silicium contraint (EGLEY.N)

La génération de contrainte mécanique dans le canal de conduction du transistor MOS provoque des changements dans la structure de bandes du Silicium contraint. Ces changements ont pour effet de modifier la mobilité des porteurs de charges dans cette zone active. Le modèle EGLEY.N d'Atlas (equat.II-7) permet de prévoir la variation de la mobilité des électrons dans le Si contraint [ref Atlas] :

$$\mu_n = \mu_{n0} \left\{ 1 + \frac{1-ML/MT1}{1+2(ML/MT1)} \left[\exp\left(\frac{\Delta E_C - \Delta E_C^i}{kT}\right) - 1 \right] \right\} \quad \text{II-7}$$

Avec :

$$\Delta E_C = kT \ln \left[\frac{\sum_{i=1}^3 \exp\left(-\frac{\Delta E_C^{(i)}}{kT}\right)}{3} \right] \quad \text{II-8}$$

Et :

$$\Delta E_C^{(i)} = D. \text{DEF POT} (\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + U. \text{DEF POT} * \varepsilon_{ii} \quad \text{II-9}$$

Où :

$\Delta E_C^{(i)}$ est le décalage du bord de la bande de conduction.

Les paramètres ε_{xx} , ε_{yy} et ε_{zz} sont les composantes diagonales du tenseur de déformation.

On trouvera dans le Tableau II-1 une synthèse des valeurs des paramètres des modèles physiques utilisés.

Tableau II-1: Paramètres physiques correspondants aux modèles physiques utilisés dans la simulation ATLAS (SILVACO-TCAD)

MODELE	PARAMETRE	DEFAUT	UNITE
MOBILITE CVT	ALPHN.CVT	0.680	
	BETAN.CVT	2.00	
	BN.CVT	4.75×10^7	$\text{cm}^2/(\text{V}\cdot\text{s})$
	CN.CVT	1.74×10^5	$\text{cm}^2/(\text{V}\cdot\text{s})$
	CRN.CVT	9.68×10^{16}	cm^{-3}
	CSN.CVT	3.43×10^{20}	cm^{-3}
	DELN.CVT	5.82×10^{14}	$\text{cm}^2/(\text{V}\cdot\text{s})$
	DN.CVT	0.333	
	EN.CVT	1.0	
	FELN.CVT	1.0×10^{50}	
	KN.CVT	2.0	
	GAMN.CVT	2.5	
	MU0N.CVT	52.2	$\text{cm}^2/(\text{V}\cdot\text{s})$
	MU1N.CVT	43.4	$\text{cm}^2/(\text{V}\cdot\text{s})$
	MUMAXN.CVT	1417.0	$\text{cm}^2/(\text{V}\cdot\text{s})$
PCN.CVT	0.0	cm^{-3}	
TAUN.CVT	0.125		
MOBILITE RPS High-k (HfO2)	MUN.RPS	216.9	$\text{cm}^2/(\text{V}\cdot\text{s})$
	ALPHAN.RPS	-0.415	
	BETAN.RPS	-0.898	
MOBILITE RCS High-k (HfO2)	MUN.RCS	240.0	$\text{cm}^2/(\text{V}\cdot\text{s})$
	ALPHAN.RCS	-0.3	
	BETAN.RCS	2.1	
	GAMMAN.RCS	0.4	
	DELTAN.RCS	0.035	
MOBILITE Si CONTRAINT	ML	0.916	
	MT1	0.191	
	D.DEFPOT	1.1	eV
	U.DEFPOT	10.5	eV

3.2. MODELE DU COURANT TUNNEL DIRECT (QTUNN)

Pour les dispositifs fortement submicroniques, l'épaisseur des couches isolantes peut être très faible. Par exemple, les oxydes de grille dans les dispositifs MOS peuvent atteindre des épaisseurs nanométriques. Dans ce cas, les principales hypothèses de l'approximation Fowler-Nordheim sont généralement invalides et on a besoin d'un modèle plus précis pour décrire le courant tunnel direct. En effet, celui qu'ATLAS utilise (QTUNN) est basé sur une formule, qui a été introduit par Price et Radcliffe [ref Atlas]:

$$J = \frac{qkT}{2\pi^2 h^3} \sqrt{m_y m_z} \int T(E) \ln \left\{ \frac{1 + \exp\left[\frac{(E_{Fr} - E)}{kT}\right]}{1 + \exp\left[\frac{(E_{Fl} - E)}{kT}\right]} \right\} dE \quad \text{II-10}$$

Avec :

$T(E)$ est la probabilité de transmission d'un électron à travers la barrière de potentiel formée par la couche d'oxyde.

E_{Fr} et E_{Fl} sont les niveaux quasi-Fermi de chaque côté de la barrière (voir Figure II-1), m_y et m_z sont les masses effectives dans la direction latérale dans le semi-conducteur.

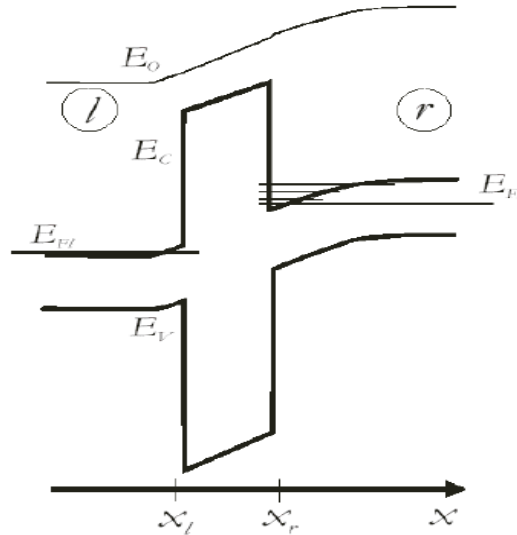


Figure. II-1. Profils typiques de la bande de conduction et de valence d'un transistor MOS. La région droite représente le substrat, la région gauche représente la grille.

4. Exemple de la simulation électrique sous ATLAS

(Calcul de la mobilité des électrons dans le canal d'un transistor MOSFET à empilement de grille en HfO₂ associant un canal contraint en tension bi-axiale)

```

Inc., 2016
# (c) Silvaco

go atlas
#
mesh

x.mesh loc=-0.120 spac=0.025
x.mesh loc=-0.075 spac=0.025
x.mesh loc=-0.05 spac=0.010
x.mesh loc=0.05 spac=0.010
x.mesh loc=0.075 spac=0.025
x.mesh loc=0.120 spac=0.025

y.mesh loc=-0.2 spac=0.001
y.mesh loc=-0.0084 spac=0.0005
y.mesh loc=0.0 spac=0.0005
y.mesh loc=0.010 spac=0.0005
y.mesh loc=0.015 spac=0.0005
y.mesh loc=0.025 spac=0.0025
y.mesh loc=0.075 spac=0.0025
y.mesh loc=0.60 spac=0.02
y.mesh loc=1 spac=0.2

region number=1 x.min=-0.050 x.max=0.050 y.min=-0.0084 y.max=0.0 \
material=HfO2
region number=2 x.min=-0.120 x.max=-0.075 y.min=0.0 y.max=0.075 \
material=silicon
region number=3 x.min=-0.0750 x.max=-0.05 y.min=0.0 y.max=0.015 \
material=silicon
region number=4 x.min=-0.050 x.max=0.05 y.min=0.0 y.max=0.006 \
material=strained silicon
region number=5 x.min=0.050 x.max=0.075 y.min=0.0 y.max=0.015 \
material=silicon
region number=6 x.min=-0.0750 x.max=0.075 y.min=0.015 y.max=0.075 \
material=SiGe x.composition=0.2
region number=7 x.min=0.075 x.max=0.120 y.min=0.0 y.max=0.075 \
material=silicon
region number=8 x.min=-0.12 x.max=0.12 y.min=0.075 y.max=0.6 \
material=SiGe x.composition=0.2
region number=9 x.min=-0.12 x.max=0.12 y.min=0.6 y.max=1 \
material=silicon
region number=10 x.min=-0.05 x.max=0.05 y.min=-0.2 y.max=-0.0084 \
material=TIN
region number=10 x.min=-0.120 x.max=-0.05 y.min=-0.2 y.max=0.0 \
material=oxide
region number=10 x.min=0.05 x.max=0.120 y.min=-0.2 y.max=0.0 \
material=oxide
region number=11 x.min=-0.05 x.max=0.05 y.min=0.006 y.max=0.015 \
material=SiGe x.composition=0.2

```

```
electrode x.min=-0.05 x.max=0.05 y.min=-0.2 y.max=-0.0084 name=gate
electrode x.min=-0.120 x.max=-0.075 y.min=0.0 y.max=0.0 name=source
electrode x.min=0.075 x.max=0.120 y.min=0.0 y.max=0.0 name=drain
electrode bottom name=substrate

doping region=2 n.type concentration=1e20 uniform
doping region=3 n.type concentration=5e19 uniform
doping region=4 p.type concentration=1e17 uniform
doping region=5 n.type concentration=5e19 uniform
doping region=6 p.type concentration=1e17 uniform
doping region=7 n.type concentration=1e20 uniform
doping region=8 p.type concentration=3e16 uniform
doping region=9 p.type concentration=3e16 uniform
doping region=11 p.type concentration=1e18 uniform

contact name=gate TIN
#
# Optionally modify workfunction.
#contact name=gate highk.al on.HfO2
#
material material=Si taun0=1.e-7 taup0=1.e-7 \
  taurel.ho=2.e-13 taumob.ho=2.e-13

material material=SiGe taun0=1.e-7 taup0=1.e-7 \
  nv300=1.55e19 nc300=2.86e19 \
  taurel.ho=2.e-13 taumob.ho=2.e-13

models conmob SHI EGLEY.N srh print

mobility rps.n mun0=5000 mun.rps=216.9 alphan.rps=-0.415 betan.rps=-0.898
#

method newton carriers=1 electron
#
solve init
solve
solve vdrain=0.001
#

# Here we probe the normal field and channel charge. These are
# used in the set file to help calculate effective channel mobility.
#
probe n.mob dir=0 x=0.02 y=0.001
probe x=0.02 y=0.001 dir=90 field
#
log outf=highkex01_4.log
solve vgate=0 vstep=0.05 name=gate vfinal=3.0
#

tonyplot highkex01_4.log -set highkex01.set
#
```

Glossaire et abréviations

A

ATLAS Simulateur électrique

B

Bulk Substrat

C

C (F/m²) Capacité
 C_{acc} (F/m²) Capacité mesurée en régime d'accumulation
 C_{DEP} (F/m²) Capacité de déplétion
 C_{inv} (F/m²) Capacité mesurée en régime d'inversion
 C_{OX} (F/m²) Capacité d'oxyde de grille
 CSE Effet de partage de charge – *Charge Sharing Effect*
 CMOS Complementary MOS
 CVD Dépôt chimique en phase vapeur – *Chemical Vapor Deposition*

D, Δ

DD Modele Derive-Diffusion
 DIBL Diminution de la barrière de potentiel du canal par polarisation du drain – *Drain Induced Barrier Lowering*

E, ε

E_{dep} (m) Epaisseur de la zone de désertion
 E_C, E_V (J) Niveau d'énergie de la bande de conduction et de la bande de valence
 E_F (J) Energie du niveau de Fermi
 E_i (J) Energie du niveau de Fermi d'un semi-conducteur intrinsèque
 EOT (m) Epaisseur de diélectrique équivalente SiO₂
 E ou ξ (V/cm) Champ électrique
 E_c (V/cm) Champ critique
 ETB Equation de Transport Boltzmann
 ϵ (F/m) Permittivité
 ϵ_0 (F/m) Permittivité électrique du vide ; $\epsilon_0 = 8,85 \cdot 10^{-12}$ F/m

ϵ_{highK} (F/m)	Permittivité électrique du matériau à haute permittivité
$\epsilon_{\text{OX}}, \epsilon_{\text{OX}}$ (F/m)	Permittivité statique de l'oxyde ; $\epsilon_{\text{OX}} = 3,9 \epsilon_0$ pour SiO_2 , $\epsilon_{\text{OX}} = k \epsilon_0$ pour un high-k
ϵ_{Si} (F/m)	Permittivité électrique du substrat
ϵ_{SiO_2} (F/m)	Permittivité électrique du SiO_2

F, Φ

φ (J)	Hauteur de barrière
φ_d (J)	Hauteur de barrière de la jonction source/canal
φ_F (J)	Différence d'énergie entre le niveau de Fermi et le niveau intrinsèque
φ_M (J)	Travail de sortie de la grille
φ_{MS} (J)	Différence de travail de sortie entre la grille et le canal
φ_s (J)	Travail de sortie du semi-conducteur du canal
FET	Transistor à effet de champ – <i>Field Effect Transistor</i>

G

g_{DS} (S)	Conductance du canal
g_m (S)	Transconductance

H

h	Constante de Planck reduite
HP	Dispositifs à haute performance – <i>High Performance</i>

I

I_D (A/ μm)	Courant de drain du transistor
I_{DS} (A/m)	Courant entre la source et le drain du transistor
I_{OFF} (A/m)	Courant de drain à l'état bloqué du transistor ($V_G = 0$; $V_D = V_{\text{DD}}$)
I_{ON} (A/m)	Courant de drain à l'état passant du transistor ($V_G = V_D = V_{\text{DD}}$)
IC	Circuit intégré – Integrated Circuit Organisme définissant les spécifications à remplir pour les dispositifs – <i>International Technology Roadmap for Semiconductors</i>

J

J_n	Courant d'électrons
J_p	Courant de trous

K

K_B (ev. $\cdot\text{K}^{-1}$.at ⁻¹ ou J. $\cdot\text{K}^{-1}$)	Constante de Boltzmann. $K_B = R \cdot N_A = 1,380658 \cdot 10^{-23} \text{J} \cdot \text{K}^{-1}$
--	--

L

L_G (m)	Longueur de grille
LDD	Lightly Doped Drain
LOP	Dispositif opérant à faible puissance – <i>Low Operating Power</i>
LSTP	Dispositifs à puissance statique basse – <i>Low Standby Power</i>

M, μ

μ	Mobilité des porteurs dans le canal
μ_c	Mobilité relative aux collisions coulombienne
μ_{Ph}	Mobilité relative aux collisions avec le réseau (phonons)
μ_{sr}	Mobilité relative à la rugosité de surface
μ_{eff}	Mobilité à champ faible
m^*	Masse effective
m_t	Masse transverse
m_l	Masse longitudinale
MOS	Dispositif Métal/Oxyde/Semi-conducteur
MPU	Puce de microprocesseur – <i>Micro Processor Unit</i>

N

n	Densité d'électrons
N_B (at/cm ³)	Dopage du substrat

P

P_s (W)	Puissance statique
-----------	--------------------

Q

q (C)	Charge de l'électron ; $q=1,6.10^{-19}$ C
Q_{DEP} (C.m ⁻²)	Densité de charges fixes ionisées (charge de déplétion)
Q_F (C.m ⁻²)	Charges fixes
Q_{SS} (C.m ⁻²)	Charges piégées à l'interface

R, ρ

R (Ω)	Résistance
ρ ($\Omega.m$)	Résistivité

S, σ

S	Pente sous le seuil
SCE	Effet de canal court – <i>Short Channel Effect</i>
STEM	Microscope électronique en transmission à balayage – <i>Scanning Transmission Electron microscopy</i>

STI

Tranchée d'isolation profonde – *Shallow Trench Isolation***T, τ**

TCAD

Technology Computer Aided Design

 t_{HighK} (m)

Épaisseur du matériau à haute permittivité

 t_{Si} (m)

Épaisseur de silicium

 T_{INV} (nm)

Épaisseur équivalente de la capacité du dispositif en inversion

 T_{OX} (nm)

Épaisseur physique de l'oxyde

 τ (s)

Temps de propagation intrinsèque dans le transistor

V

V (V)

Potentiel

VLSI

Intégration à très grande échelle – *Very Large Scale Integration* V_{D} (V)

Tension de drain

 V_{DD} (V)

Tension d'alimentation

 $V_{\text{D}_{\text{Sat}}}$

Tension Drain Source de saturation

 V_{FB} (V)

Tension de bande plate

 V_{G} (V)

Tension de grille

 V_{OX} (V)

Chute de potentiel dans l'oxyde

 V_{T} (V)

Tension de seuil

 v_{th}

Vitesse thermique

W, Ω

W (m)

Largeur d'un transistor

X x_{j} (m)

Profondeur de jonction

Production scientifique de l'auteur

REVUES INTERNATIONNALES

[1] Bensegueni R., Latreche, S. "Numerical Method for a 2-D Drift Diffusion Model Arising in Strained n Type MOSFET Device", [PRAMANA journal of physics](#), Vol. 86, No. 6, pp. 1391–1400, June 2016.

[2] Rachida. Bensegueni, Saida.Latreche "Solution of Drift Diffusion Equations using 2D Finite Difference method: application to a strained MOSFET Device", [Universal Journal of Mathematics and Mathematical Sciences](#), Volume 4, Number 01, 2013, page 119-133. Pushpa Publishing House, Allahabad, INDIA.

[3] Rachida Bensegueni and Saida Latreche "On the Threshold Voltage Evolution for Submicronic MOS Transistors ", [African Physical Review](#) (2008) 2 Special Issue (Microelectronics): 0006 pp.13

[4] Rachida. Bensegueni, Saida.Latreche "Tunnelling current through ultra-thin Silicon Dioxide in Submicronic MOS", [Information & Communication Technologies: From Theory To Applications - ICTTA'06](#)", 24-26 April,2006, Damascus, Syria, [IEEE catalog Number 06EX1220](#), ISBN 0-7803-9521-2, Library of congress 2005933106.

CONFERANCES INTERNATIONNALES

[5] Rachida. Bensegueni, Saida. Latreche “ On the threshold voltage evolution for submicron MOS transistors”, [International Conference on Micro and Nano Technologies- ICMNT 06](#), November 19-23, 2006, Tizi-Ouzou, ALGERIA.

[6] R. Bensegueni, S. Latreche " Tunneling Current through ultrathin Silicon Dioxide", [MS2006, Proceedings of the International Conference on Modeling and Simulation](#), 3-5 April 2006, Kuala Lumpur, Malaysia, paper165.

[7] Rachida. Bensegueni, Saida.Latreche "Solution of Drift Diffusion Equations using 2D Finite Difference method: application to a strained MOSFET Device", [International Conference: Mathematical Science and Applications ICMSA](#), November 29 - December 01, 2013, Abu Dhabi.

Contribution à l'étude du transport électrique à travers des oxydes très minces ($<10\text{nm}$) dans des structures MOS

Résumé

La réduction continue des dimensions des transistors MOS lors de ces dernières années a permis une véritable révolution dans l'industrie des semi-conducteurs. Cependant, afin de perpétuer cette tendance, la miniaturisation des nMOS classiques n'est plus suffisante et le remplacement de certains des matériaux constituant ces dispositifs est une des solutions actuellement envisagées pour y remédier. Dans ce contexte, les travaux présentés ici, portant sur l'étude des propriétés de transport des architectures nMOS cumulant deux nouvelles options technologiques ; un diélectrique de forte permittivité comme isolant de grille à la place du SiO_2 et un canal de Silicium contraint en tension biaxiale.

En premier lieu, nous avons étudié l'influence de la contrainte en tension bi-axiale sur les propriétés électriques des n-MOSFET en utilisant un code de calcul basé sur la résolution numérique des équations de dérive diffusion. Les résultats de simulation obtenus ont montré une amélioration significative de la mobilité des électrons dans le canal d'inversion ainsi qu'une augmentation du courant de saturation de drain I_D .

Dans un second temps, nous avons étudié l'impact de l'incorporation d'un oxyde de grille de forte permittivité (high-k) dans un empilement de grille sur l'amélioration des fuites à travers l'oxyde. Les résultats des simulations obtenues à l'aide de l'outil ATLAS du logiciel SILVACO-TCAD ont indiqués que l'utilisation des oxydes à grande constante diélectrique permet de considérablement réduire le courant de fuite par effet tunnel grâce à l'augmentation de l'épaisseur physique de l'empilement. Nous avons cependant noté une dégradation de la mobilité des électrons dans le canal Si des transistors MOS avec un diélectrique high-k à base d'hafnium HfO_2 par rapport à un oxyde SiO_2 .

Finalement, La faisabilité et l'intérêt d'introduire un canal de Silicium contraint afin de contrecarrer la dégradation de mobilité associée à l'empilement métal/ HfO_2 sont ensuite été discutés.

MOTS-CLES

Microélectronique, miniaturisation, MOSFET, Silicium contraint, diélectrique haute permittivité, mobilité, courants de fuites, courant tunnel direct.

مساهمة لدراسة النقل الكهربائي من خلال أكاسيد رقيقة جدا (>10 نانومتر) في هياكل MOS

لقد احدث التخفيض المستمر لأبعاد الترانزستور MOS في السنوات الأخيرة ثورة في صناعة أشباه الموصلات. لكن، لمواصلة هذا الاتجاه، فإن تصغير الترانزستور NMOS التقليدي لم يعد كافياً، ولهذا فإن استبدال بعض المواد من الأجهزة هو أحد الحلول التي يجري النظر فيها لمعالجة هذه المشكلة. في هذا السياق، الاعمال المقدمة هنا، تقوم على دراسة خصائص التقلات الإلكترونية للأبنية NMOS تجمع بين خيارين تكنولوجيين جديدين: عازل ذو السماحية العالية بدلا من SiO₂ وقناة السليسيوم المتوترة ثنائية المحور.

أولاً، قمنا بدراسة تأثير السليسيوم المتوترة ثنائية المحور على الخواص الكهربائية لل MOSFET باستخدام برنامج الحاسوب لحل المعادلات التفاضلية الثلاثة الأساسية لهذه الأجهزة في معلم ثنائي الاتجاه. وقد أظهرت نتائج المحاكاة تحسناً كبيراً في التنقل الإلكتروني في القناة و أيضاً زيادة في التيار الكهربائي.

ثانياً، تمت دراسة تأثير العازل ذو معامل السماحية العالي . وقد أظهرت نتائج التي تم استخراجها من المحاكاة الرقمية باستخدام أداة ATLAS للبرنامج SILVACO-TCAD ان الأكاسيد عالية السماحية تقلل بشكل ملحوظ من التسربات. و لكن في نفس الوقت لاحظنا ان هذه الاخيرة تعمل على انقاص التنقل الإلكتروني في القناة بالمقارنة مع أكسيد SiO₂

وفي الأخير، فقد تمت مناقشة ضرورة إدخال قناة السليسيوم المتوترة ثنائية المحور لمواجهة التدهور في التنقل الإلكتروني المرتبطة بالأكاسيد عالية السماحية.

الكلمات الدالة

الإلكترونيات الدقيقة، التصغير، MOSFET، السيليكون المتوترة ثنائية المحور ، العازل عالي السماحية، التنقل الإلكتروني، التسربات، تيار تونال

Contribution to the study of electrical transport through very thin oxides (<10 nm) in MOS structures

Abstract

The continuous down-scaling of MOS transistors dimensions over the last years allowed a significant revolution in the semiconductor industry. However, in order to maintain this trend, shrinking of conventional n MOS dimensions is no more sufficient enough and replacement of some transistor materials is one of the alternative ways currently under study to solve this issue. In this context, the work presented here, on the study of the transport properties of the nMOS architectures combining both new technology options; a high-k gate dielectric in place of the SiO₂ and a biaxially tensile strained channel.

Firstly, the influence of biaxial tensile strain on the electrical properties of the n-MOS transistor has been investigated using a numerical solution of drift diffusion partial equations. The simulation results showed a significant improvement in electrons mobility and an increase in current ID (VD).

Then, we study the impact of the incorporation of a high-k gate stack on improving leakage through the oxide. The calculation results obtained from the ATLAS (SILVACO-TCAD) simulator have shown that the use of high dielectric constant oxides significantly reduces the tunneling leakage current through increased physical thickness of the stack. However, we noted a decrease of the electron mobility in the channel if MOS transistors with a high-k dielectric HfO₂ hafnium relative to SiO₂

Finally, the feasibility and interest to introduce a strained silicon channel to counteract the degradation of mobility associated with stacking metal / HfO₂ are then discussed.

KEY WORDS

Microelectronic, down-scaling, MOSFET, strained Si channel, high-k dielectric, mobility, gate leakage currents, direct tunneling current.

