



REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE
UNIVERSITE MENTOURI - CONSTANTINE



FACULTE DES SCIENCES DE L'INGENIEUR
DEPARTEMENT D'ELECTRONIQUE

N° d'ordre : / Doc /2012
Série : / ELC /2012

Thèse

*Présentée en vue de l'obtention du grade de Docteur en Sciences
En Electronique*

Spécialité : Microélectronique

Par

Rédha BENACHOUR

THEME

**Contribution à l'intégration globale des systèmes de
puissance et de commande d'une machine asynchrone**

Devant le Jury :

Présidente	M ^{me} Farida MANSOUR	Prof.	Univ. Mentouri Constantine
Rapporteur	M ^{me} Saida LATRECHE	Prof.	Univ. Mentouri Constantine
Co. Rapporteur	M ^{er} Mohamed El Hadi LATRECHE	Prof.	Univ. Mentouri Constantine
Examineurs	M ^{me} Cherifa AZIZI	Prof.	Univ. Oum El Bouaghi
	M ^{er} Abdelhafid CHAABI	Prof.	Univ. Mentouri Constantine
	M ^{er} Mohamed Said NAIT Said	Prof.	Univ. Batna

Soutenu le : 19/01/2012

A la mémoire de mon père

A ma chère mère

A ma chère femme

A ma petite fille KATAR EL NADA

A mes sœurs

A ma tante

A la mémoire de Kouache Hocine

A la mémoire de Bouchema Abdel Aziz

A tous ceux qui me sont chers

REMERCIEMENTS

Le travail de cette thèse s'est déroulé au sein du laboratoire Hyperfréquences et semi-conducteurs LHS à l'institut d'électronique de l'université Mentouri de Constantine.

Enfin, le moment des remerciements est arrivé, peut être un des meilleurs moments d'une thèse.

Je tiens à exprimer mes sincères remerciements à Madame Saïda LATRECHE professeur à l'université de Constantine, pour m'avoir accueilli au sein du laboratoire, de m'avoir confié ce sujet ainsi que pour son suivi sérieux de ce travail. Je la remercie également pour les relectures et corrections nécessaires du manuscrit en toute fin de thèse.

Je remercie tout particulièrement, Monsieur M^{ed} El hadi LATRECHE professeur à l'université de Constantine, pour m'avoir confié également ce sujet et pour la souplesse avec laquelle il m'a orienté.

Je tiens également à remercier les membres de mon jury :

J'adresse ma gratitude à Madame Farida MANSOUR, Professeur à l'université de Constantine, pour l'honneur qu'elle m'a apporté en acceptant de présider la commission d'examen.

Je ne sais comment remercier Madame Cherifa AZIZI, professeur à l'université de Oum El Bouaghi, pour la faveur qu'elle m'a accordée en m'honorant par son acceptation de faire part de mon jury, malgré ses multiples obligations.

Je présente également mes vifs remerciements à Monsieur Mohamed Said NAIT Said, professeur à l'université de Batna, d'avoir accepté de juger mon travail, ses remarques me seront certainement d'une grande utilité.

Je voudrais remercier également Monsieur Abdellhafid CHAABI professeur à l'université de Constantine, pour ses conseils et nos discussions qui ont été fructueuses.

Enfin je remercie vivement tous les membres du laboratoire LHS pour leur aide, leur sympathie et leur soutien, et un remerciement particulier à Feïcel, Samir, Maya et Menel pour leurs efforts.

Sommaire

Sommaire

Introduction générale.....	1
-----------------------------------	----------

CHAPITRE I

L'INTEGRATION EN ELECTRONIQUE DE PUISSANCE : É TAT DE L'ART

1. Introduction.....	4
2. Intégration monolithique.....	5
2.1. Intégration Smart Power	6
2.2. Intégration fonctionnelle.....	8
3. Intégration hybride.....	10
3.1. Techniques d'intégration hybride.....	11
3.1.1. Puce sur circuit (Chip on Board, CoB).....	11
3.1.2. Système dans un boîtier (System in Package, SiP).....	12
3.1.3. Module multi puce (Multi Chip Module, MCM - V).....	12
3.1.4. Système sur un boîtier (System on Package SoP).....	13
3.2. Famille de l'intégration hybride.....	14
3.2.1. Module standard de puissance.....	14
3.2.2. Les modules de puissance intelligents.....	15
3.2.2.1. Module IPM.....	15
3.2.2.2. Module ASIPM.....	16
4. Analyse du besoin et établissement du cahier des charges.....	18
4.1. Analyse du besoin.....	18
4.2. L'établissement du cahier des charges par la méthode d'analyse fonctionnelle du besoin.....	20
4. Conclusion.....	24

CHAPITRE II

METHODOLOGIES DE CONCEPTION D'INTEGRATION EN ELECTRONIQUE DE PUISSANCE

1. Introduction.....	25
2. Les méthodes de conception du microsystème.....	25
2.1. Cycle de conception en cascade.....	25
2.2. Conception selon le cycle en « V ».....	26
2.2.1. La conception ascendante.....	27
2.2.2. La conception descendante.....	27
3. Méthodologie de conception d'intégration en électronique de puissance.....	29
4. Prototypage virtuel des systèmes intégrés de puissance.....	33
4.1. Prototypage virtuel.....	33
4.1.1. Définition	33
4.1.2. Modélisation.....	34
4.1.2.1. Le niveau d'abstraction.....	34
4.1.2.2. Les différents types de modélisation.....	35
4.1.2.3. Les langages de modélisation.....	36

4.1.3. Simulations.....	38
4.2. Méthodologie de conception d'une intégration intégrée pour les machines électriques.....	38
4.2.1. Le système de commande.....	38
4.2.1.1. Fonctions génériques du système de commande.....	39
4.2.1.2. Les différents types de processeur dédiés à la commande des machines électriques.....	42
4.2.1.3. Choix de la commande.....	44
4.2.1.4. Techniques d'intégration de la commande.....	45
a. Implémentation Software.....	45
b. Implémentation mixte (Software/Hardware).....	46
c. Implémentation Hardware.....	47
4.2.2. Elaboration d'une méthodologie descendante "Top-down" pour la conception d'une commande intégrée d'une machine asynchrone.....	49
4.3. Méthodologie de conception du bloc d'interface du système de commande de type analogique et mixte.....	51
4.3.1. Modélisation de circuits intégrés analogiques et mixtes.....	51
4.3.2. Simulation de circuits intégrés analogiques et mixtes.....	51
4.3.3. Elaboration d'une méthodologie descendante "Top-down" pour la conception du bloc d'interface.....	52
4.3.3.1. Niveaux d'abstraction.....	53
4.3.3.2. Décomposition descendante.....	54
4.3.3.3. Validation ascendante.....	54
5. Conception en amont d'une intégration en électronique de puissance.....	56
5.1 Conformité au cahier des charges.....	56
5.2. Description hiérarchique descendante des fonctions.....	56
6. Conclusion.....	60

CHAPITRE III

PROTOTYPAGE VIRTUEL DU SYSTEME DE COMMANDE

1. Introduction.....	61
2. Prototypage virtuel de l'intégration de la commande numérique.....	61
2.1. Modélisation de la chaîne d'entraînement.....	62
2.1.1. Modélisation dynamique de la machine asynchrone (MAS).....	62
2.1.2. Modélisations de l'onduleur de tension triphasé.....	63
2.1.3. Modélisations de la Commande direct du couple (DTC).....	63
2.1.3.1 Modélisation de la commande algorithmique de la DTC.....	63
a. Estimation du flux statorique et du couple électromagnétique..	64
b. Elaboration des contrôleurs du flux et du couple.....	67
2.1.3.2. Modélisation de la commande rapprochée de la DTC.....	68
2.2. Modèle système de la DTC.....	68
2.2.1. Modélisation de la commande direct du couple sous l'environnement Matlab/Simulink.....	68
2.2.2. Résultats de simulation.....	70
2.3. Modèle comportemental de haut niveau.....	71
2.3.1. Modélisation mixte en VHDL-AMS du système de commande DTC.....	71
2.3.2. Code VHDL-AMS du de la commande DTC associée a la machine asynchrone.....	72

2.3.3. Co-simulations.....	74
2.3.4. Résultats de la cosimulation.....	74
3. Prototypage virtuel de l'intégration de l'HVIC.....	76
3.1. Décomposition hiérarchique et fonctionnelle de l'HVIC.....	77
3.2. Prototypage virtuel des fonctions de protection.....	77
3.2.1. Circuit de protection contre les courts-circuits et surintensités.....	78
3.2.1.1. Principe de la protection contre les courts-circuits et surintensités.....	78
3.2.1.2. Intérêt de la sécurité en court-circuit et sur intensité.....	78
3.2.1.3. Méthodes de détection de court-circuit et de surintensité.....	79
3.2.1.4. Circuit de protection contre les courts-circuits et la surintensité.....	79
3.2.1.5. Implémentation VHDL-AM.....	80
3.2.1.6. Simulations.....	81
3.2.2. Circuit de protection contre les sous-tensions de commande.....	82
3.2.2.1. Principe.....	82
3.2.2.2. Circuit du principe de la protection des sous-tensions.....	83
3.2.2.3. Implémentation VHDL-AMS.....	84
3.2.2.4. Co-simulations.....	85
3.3. Prototypage virtuel des fonctions de contrôle des différentes grandeurs... ..	86
3.3.1. Capteur de température.....	86
3.3.1.1. Principe.....	86
3.3.1.2. Méthodes de mesure la température.....	87
a. Mesure de la température du boîtier de l'IGBT.....	87
b. Mesure de la température du système de refroidissement.....	87
c. Estimation de la température de jonction des puces IGBT et diode.....	87
3.3.1.3. Modélisation du capteur de température intégré.....	87
3.3.1.4. Implémentation VHDL-AMS.....	88
3.3.1.5. Simulations.....	89
3.3.2. Capteur intégré de courant.....	89
3.3.2.1. Principe.....	89
3.3.2.2. Circuit du capteur de courant.....	90
3.3.2.3. Implémentation VHDL-AMS.....	91
3.3.2.4. Simulation.....	92
3.3.3. Générateur des signaux de défaut (Fault logic output).....	93
3.3.3.1. Principe.....	93
3.3.3.2. Organigramme du générateur des signaux de défaut.....	94
3.3.3.3. Implémentation VHDL-AMS.....	96
3.4. Prototypage virtuel du circuit de commande d'IGBT.....	97
3.4.1. La commande de la grille de l'IGBT.....	97
3.4.1.1. Principe.....	97
3.4.1.2. Modélisation de la commande rapprochée de l'IGBT.....	97
3.4.2. L'alimentation "Booststap".....	98
3.4.2.1. Principe.....	98
3.4.2.2. Circuit du "Bootstrap".....	100
3.4.2.3. Implémentation VHDL-AMS.....	101
3.4.2.4. Simulations.....	101
3.4.3. Prototypage virtuel du convertisseur Analogique/Numérique.....	102

3.4.3.1. Principe.....	102
3.4.3.2. Circuit du CAN Sigma-Delta.....	103
3.4.3.3. Implémentation VHDL-AMS.....	104
3.4.3.4. Co-simulations.....	105
4. Conclusion.....	105

CHAPITRE IV

PROTOTYPAGE VIRTUEL DE L'INTEGRATION EN ELECTRONIQUE DE PUISSANCE

1. Introduction.....	106
2. Prototypage virtuel des composants de puissance.....	106
2.1. La diode PIN de puissance.....	107
2.1.1. Modélisations de la diode PIN de puissance.....	108
2.1.1.1. Modélisation fonctionnelle.....	108
2.1.1.2. Modélisation comportementale.....	109
2.1.1.3. Modélisation physique.....	110
a. Recouvrement direct.....	111
b. Le recouvrement inverse.....	112
c. La recombinaison dans les régions émettrices.....	113
d. Résistance d'accès.....	114
e. Capacité de jonction.....	114
f. Implémentation des équations du modèle.....	115
2.2. Transistor MOS de puissance.....	118
2.2.1. Modélisations du transistor MOS.....	118
2.2.2. Circuit équivalent et modèle électrique du TMOS.....	119
2.2.3. Le modèle SPICE niveau 1 du transistor MOS.....	120
2.3. L'IGBT (Insulated Gate Bipolar Transistor).....	125
2.3.1. Modélisations analytiques de l'IGBT.....	125
2.3.2. Circuit équivalent de l'IGBT.....	125
2.3.3. Modèle analytique de l'IGBT.....	128
2.3.3.1. Equations de transport.....	128
2.3.3.2. Résolution.....	128
2.3.3.3. Etude en régime permanent.....	129
a. Détermination des courants I_b et I_c	129
b. Tension Emetteur-Base V_{EB}	131
c. Caractéristique $I_{AK}=f(V_{AK})$	131
3. Prototypage virtuel d'un onduleur de tension par le modèle moyen non linéaire.....	134
3.1. Modèle moyen non linéaire appliqué à un onduleur de tension triphasé...	134
3.2. Construction du modèle moyen non linéaire.....	135
3.2.1. Caractéristique statique de la diode PIN.....	135
3.2.2. Caractéristique statique de l'IGBT.....	136
3.2.3. Notion du délai virtuel.....	136
3.2.4. Modèle moyen non linéaire d'un bras d'onduleur.....	137
3.2.5. Identification des variables d'entrée et sortie au bloc de commutation (bras).....	138
3.2.6. Séquences de commutation.....	139
3.2.7. Calcul de la valeur moyenne des variables de sortie du bloc de commutation.....	139

3.3. Implémentation VHDL-AMS.....	140
3.4. Application du modèle moyen non linéaire d'un seul bras à une charge inductive RL.....	140
3.5. Application du modèle moyen non linéaire dans le système de commande DTC.....	142
3.6. Application du modèle moyen non linéaire pour le calcul des pertes par commutation.....	144
3.6.1. Modèle moyen non linéaire de pertes.....	144
3.6.2. Co-simulations.....	146
4. Introduction aux aspects thermiques et CEM en vu de l'intégration de puissance.....	148
4.1. Aspect thermique.....	148
4.2. Aspect CEM.....	148
5. Conclusion.....	149
Conclusion générale.....	150
Bibliographie.....	154
Abréviation	
Annexe A	
Annexe B	
Travaux scientifiques	

Introduction générale

INTRODUCTION GENERALE

Le thème de recherche développé dans ce travail de thèse concerne l'étude et la conception de l'intégration en électronique de puissance d'un système de commande de machines asynchrones. Cet axe de recherche s'appuie sur l'intérêt croissant des techniques d'intégration des systèmes de commande, en particulier pour les machines à courant alternatif (M.C.A).

Les chaînes d'entraînement électrique constituées des machines asynchrones sont actuellement de plus en plus prisées par l'industrie. En effet, cette tendance est favorisée par les progrès des stratégies de la commande et des composants de puissance utilisés dans les convertisseurs statiques de la chaîne d'entraînement électrique.

Les importantes recherches menées sur les systèmes de commande de machines asynchrones (commande, interfaces et convertisseurs statiques) contribuent largement à leur large exploitation. Les progrès de la micro-électronique, notamment dans le cas des processeurs standards ou dédiés, des processeurs de signaux numériques ou des circuits intégrés à application spécifique ASIC de signaux ou de puissance, l'apparition de nouveaux principes de commande, tels que les commandes vectorielles ou adaptatives, contribuent largement à cette évolution [1].

Toutefois, la plupart des travaux de recherche concernent principalement les stratégies de commande et l'intégration des commandes sur des ASICs [2]. L'intégration du système de commande, plus particulièrement son intégration sur modules de puissance intelligents à application spécifique *ASIPM* (*Application Specific Intelligent Power Module*), est un domaine beaucoup plus récent et peu répandu [3]. Pourtant, les *ASIPMs* présentent de nombreux avantages lors de leur utilisation dans un environnement aussi contraignant que celui des chaînes d'entraînement électrique. Citons, entre autres, l'augmentation de la fiabilité du système de commande, le gain de place, le contrôle et la protection des composants de puissance qui nous fournira un fonctionnement optimal et performant de la machine asynchrone.

Par ailleurs, les *ASIPMs* sont composé du "bloc d'interface" qui représente l'environnement analogique/numérique de la commande constitué des fonctions de contrôle tels que: les capteurs de température et les capteurs de courant, et des fonctions de protection contre les courts-circuits, les surintensité et les sous-tension, ainsi que la commande rapprochée des IGBTs et éventuellement les CANs. Le "bloc de commande" a son tour est constitué de

l'algorithme de commande qui doit être implanté sur un ASIC numérique. Quand au "bloc puissance", il englobe tous les composants de puissance des convertisseurs statiques, nécessaires à la fonction de commutation des IGBTs et des diodes PIN.

Toutefois, l'intégration complète d'un système de commande peut s'avère très complexe en vu des éléments le constituant. Nous serons amenés à dissocier le "bloc de commande", de nature numérique, du "bloc d'interface", de nature analogique et mixte ainsi que le "bloc puissance" dans le but d'optimiser l'intégration de chaque bloc du système de commande, il est donc préférable de spécifier et de concevoir les élément séparément.

Une méthodologie de conception basée sur la décomposition fonctionnelle descendante est appliquée dans notre optique d'intégration en électronique du puissance, le système de commande afin d'obtenir un prototypage virtuel de l'ASIPM [4].

Le prototypage virtuel qui est fondé sur la description matérielle de chaque objet dans son environnement, basé sur la modélisation comportementale de différents niveaux d'abstraction, permet d'étudier, concevoir et optimiser l'ensemble du ASIPM.

Dans ce travail de recherche multidisciplinaire, nous étudierons le prototypage virtuel de chaque élément constituant l'ASIPM, ce qui est une étape incontournable de la conception moderne des circuits intégrés spécifiques. Des modèles comportementaux de différents niveaux d'abstraction sont développés dans ce cadre afin de concevoir progressivement l'ASIPM.

La nature de ce travail nous a amené à adopter le plan suivant :

Dans le premier chapitre, nous présenterons un état de l'art des différents modes d'intégration en électronique de puissance. Une attention particulière sera apportée à l'analyse du besoin afin d'établir le cahier des charges.

Dans le second chapitre, nous exposerons les différentes méthodologies de conception microsysteme d'une manière générale et la méthodologie de la conception d'intégration de puissance d'une manière particulière. Le prototypage virtuel qui est la clé principale de la conception en électronique de puissance sera exposé dans le détail, à partir des différentes techniques de modélisation jusqu'aux simulations et les multiples outils disponibles sur le marché actuel.

Un tour d'horizon sur les différentes solutions numériques utilisé dans le domaine de l'intégration de la commande sera présenté. Ainsi, nous définirons les éléments génériques de la chaîne d'entraînement et les éléments du système de commande. Nous exposerons dans un

premier temps, les différentes techniques et méthodologies d'intégration de commande de machines asynchrones (Software, Hardware et mixte), en suite la méthodologie "Top Down" de la conception des ASICs numériques mené à l'intégration Hardware de la commande.

Dans un deuxième temps, nous exposons les méthodologies de conception des circuits analogiques et mixtes d'une manière générale et la méthodologie descendante adaptée d'une manière particulière.

Une phase primordiale est abordée à la fin de ce chapitre, elle décrit la conception en amont de notre cahier de charge par une décomposition descendante fonctionnelle sous l'environnement de simulation HiLeS Designer.

Dans le troisième chapitre, nous présenterons dans une première phase, une modélisation de la chaîne d'entraînement électrique ainsi que les simulations du modèle système en vue de l'intégration de la commande DTC (*Direct Torque Control*) sous l'environnement *Matlab/Simulink*. Nous en déduisons un prototypage virtuel basé sur un modèle comportemental en *VHDL-AMS* qui mènera à une co-simulation de toute la chaîne d'entraînement électrique.

La deuxième phase, focalisera sur le prototypage virtuel d'un ASIC mixte de faible puissance "HVIC" qui sera rapporté au rôle d'interfaçage entre la bloc puissance et le bloc numérique du module ASIPM. Les fonctions constitutives du circuit HVIC, les fonctions de contrôle et de protection ainsi que la commande de l'IGBT et son alimentation seront définies, modélisées et transcrites en code *VHDL-AMS* afin de simuler le comportement des composantes HVIC.

Le quatrième chapitre, sera dédié à l'étude de l'intégration de puissance proprement dite, nous allons établir dans une première partie une bibliothèque réutilisable de composants de puissance basée sur trois approches de modélisation de la diode PIN suivant les différents niveaux d'abstraction, ainsi qu'une modélisation comportemental du transistor MOS et de l'IGBT. Ces modèles seront transcrits en code *VHDL-AMS*.

Dans une deuxième partie nous proposerons une nouvelle approche basée sur le modèle moyen non linéaire en vue de l'élaboration d'un modèle comportemental orienté vers la conception d'intégration en électronique de puissance. Nous prendrons en compte différents aspects tels que les effets de câblage, la non linéarité des composants de puissance, le calcul des pertes de commutation, etc.

Enfin, une conclusion générale présentera les différents objectifs de cette thèse et récapitulera l'essentiel de ce travail.

Chapitre I

*L'intégration en électronique de
puissance : État de l'art*

1. Introduction

En électronique de puissance, les fonctions sont principalement liées aux opérations de gestion et de conversion de l'énergie électrique. Ainsi, les composants semi-conducteurs de puissance sont principalement destinés à des fonctions interrupteurs notamment dans les convertisseurs d'énergie (hâcheur, redresseur, onduleur, etc). Toutefois, des fonctions spécifiques de protection des équipements électriques mettent également en jeu des semi-conducteurs de puissance.

Les premiers composants de puissance (diode PIN, transistor bipolaire, thyristors) permettant de contrôler des tensions et des courants élevés furent commercialisés vers la fin des années 50. Depuis, les composants semi-conducteurs se sont progressivement substitués aux solutions électromécaniques pour la réalisation des convertisseurs d'énergie. Dans les années 70, les structures de type MOS (*Metal Oxyd Semiconductor*), caractérisées par une impédance d'entrée élevée, ont permis de s'affranchir des commandes en courant des dispositifs de puissance purement bipolaires. Les premiers transistors MOS de puissance ont donc vu le jour, préfigurant les nombreux composants de puissance basés sur l'association des technologies MOS et bipolaires. Ainsi, au cours des années 80, un pas technologique fut franchi avec l'IGBT (*Insulated Gate Bipolaire Transistor*) qui est devenu le composant de puissance le plus utilisé pour les applications de moyenne puissance.

Depuis une vingtaine d'années, l'intégration en électronique de puissance a vu le jour [5]. L'intégration en électronique de puissance relève d'une démarche volontaire qui vise à sécuriser et à rendre opérationnelles et plus performantes les fonctions de conversion de l'énergie tout en améliorant leur capacité et leur coût de fabrication. Cette intégration est tirée par des marchés spécifiques comme l'aérospatial, le militaire et l'automobile. Suivant les niveaux de puissance et les contraintes à supporter, les solutions d'intégration sont subdivisées en deux catégories monolithique ou hybride.

Le choix d'une solution par rapport à une autre s'impose naturellement aux concepteurs à partir de critères liés aux applications visées mais aussi technologiques et économiques.

Dans la première partie, nous allons exposer avec détails chaque mode d'intégration, en spécifiant les caractéristiques de chaque mode.

La deuxième partie est consacrée à l'analyse du besoin en matière d'intégration en électronique de puissance ainsi que la constitution de cahier des charges selon une approche fonctionnelle en vue de la conception microsysteme.

2. Intégration Monolithique

Jusqu'à la fin des années 80, l'intégration monolithique faisait uniquement référence à la fabrication des composants de puissance discrets [6]. Les efforts de recherche portaient sur l'amélioration des performances électriques et l'augmentation des puissances commutées par unité de surface. Elle est donc basée sur la compréhension des mécanismes physiques mis en jeu, ainsi que sur la reproductibilité des processus technologiques de fabrication et, bien entendu, sur la mise au point de nouveaux composants. La figure 1.1, donne un exemple sur un régulateur de tension et son isolation galvanique.

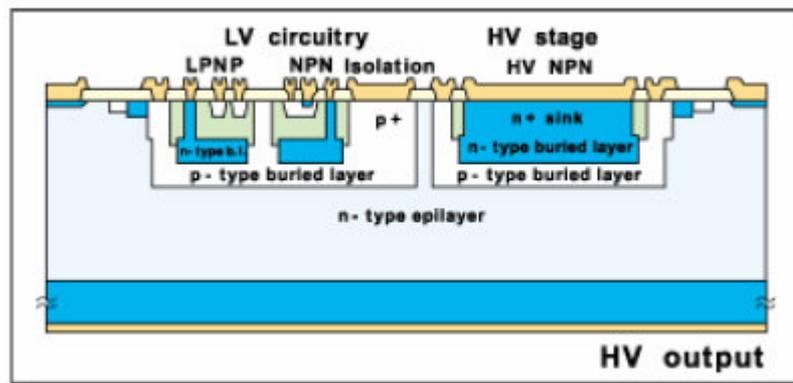


Figure 1.1. Structure interne d'un régulateur de tension monolithique [7].

Bien que les performances à optimiser pour les composants de puissance soient différentes de celles des circuits intégrés, l'évolution des composants de puissance au cours des trente dernières années est étroitement liée aux progrès des technologies microélectroniques utilisées dans le domaine des circuits intégrés, du traitement de signal et de l'information.

La synergie entre les domaines de la puissance et du traitement de signal a été déclenchée par l'introduction des technologies MOS dans les dispositifs de puissance. Les performances en terme de résistance à l'état passant des structures MOS verticales de puissance (VDMOS), ont été nettement améliorées par la réduction des dimensions. Ceci a permis d'augmenter le nombre de cellules par unité de surface.

A partir de 1985 de nombreuses études ont portées sur l'intégration monolithique de fonctions de puissance beaucoup plus complexes utilisant les effets MOS et bipolaire pour atteindre les objectifs: rapidité et facilité de commande (MOS) et diminution de la chute de tension à l'état passant (effets d'injection bipolaire).

Ces composants traduisent la volonté d'obtenir des dispositifs plus rapides et moins coûteux en terme de consommation énergétique.

Le domaine de puissance couvert par l'intégration monolithique se résume aux faibles et moyennes puissance. Il existe deux approches d'intégration possible qui sont en grande partie fonction de l'application visée. La première approche porte sur les dispositifs "Smart power" [7] et HVIC (*High Voltage Integrated Circuit*) [7] et la seconde approche concerne les dispositifs de puissance selon le mode de "l'intégration fonctionnelle" [5].

Les "Smart Power" et les "HVIC" sont bien adaptés au domaine de faibles puissance, dont la technologie de réalisation correspond aux filières technologiques de type circuits intégrés CMOS et BiCMOS.

L'intégration fonctionnelle est plutôt destinée aux applications de moyenne puissance. Elle favorise l'optimisation de la partie puissance et la fonctionnalité électrique découle de l'agencement particulier des couches semi-conductrices qui constituent le dispositif.

La réalisation technologique des ces nouvelles fonctions de puissance intégrées peut être traitée de deux façons, soit en privilégiant la fonctionnalité aux dépens des éléments de puissance, soit en favorisant l'optimisation de la partie puissance.

2.1. Intégration "Smart Power"

Les progrès technologiques ont permis d'intégrer sur une même puce les composants de puissance et les circuits mixtes comportant une logique complexe ainsi que des mémoires, (figure 1.2). Les différentes parties sont isolées entre elles au moyen de la technique d'isolation par jonction [7] ou par la technique d'isolation par diélectrique (SOI) [8]. Les premiers circuits intégrés de puissance pour des applications de faibles tensions sont apparus dès 1985, c'est-à-dire quinze ans après les débuts de l'intégration des composants affectés aux traitements du signal [5].

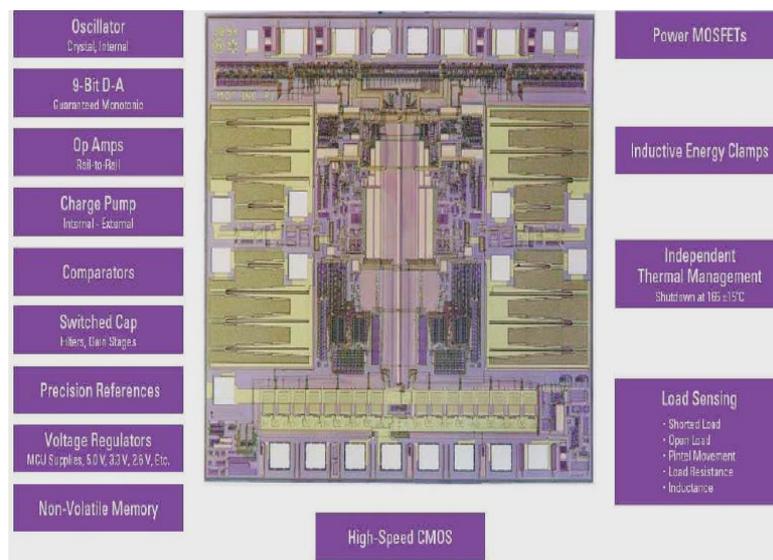


Figure 1.2. Structure interne d'un circuit "Smart power" [9].

Les fonctionnalités obtenues sont comparables à celles résultant d'associations discrètes de composants de puissance et de circuits de traitement du signal. Cette approche est particulièrement bien adaptée aux applications de l'électronique embarquée fonctionnant à partir de sources d'énergies autonomes, notamment dans le domaine de l'électronique automobile.

Ces circuits intégrés de puissance se répartissent en deux types. D'un côté, les circuit "Smart Power" (Appellation commerciale annoncé par Motorola) et de l'autre les circuits "H.V.I.C".

La différence entre les technologies utilisées pour la conception de ces deux types de circuits vient essentiellement de l'arrangement de l'élément de puissance et des gammes en courant et en tension. En "Smart Power", le composant de puissance, généralement seul, peut être horizontal ou vertical (DMOS), alors que pour les "HVIC", les composants de puissance sont latéraux et optimisés pour supporter des tensions importantes à l'état bloqué (LMOS). Les "HVIC" sont des circuits multi-sorties pouvant supporter des tensions jusqu'à quelque centaines de volts mais présentant des densités de courant très faibles inhérentes aux terme de densités en courant. Ils peuvent transiter des courants de plusieurs Ampères avec néanmoins des tensions blocables inférieures à celles considérées en "Smart Power". Dans ce mode d'intégration, la partie logique et analogique du circuit réalisé en technologie NMOS, CMOS ou bipolaire doit être parfaitement isolée du composant de puissance subissant des contraintes importantes en terme de courant, tension, di/dt et dv/dt . (Figure 1.3).

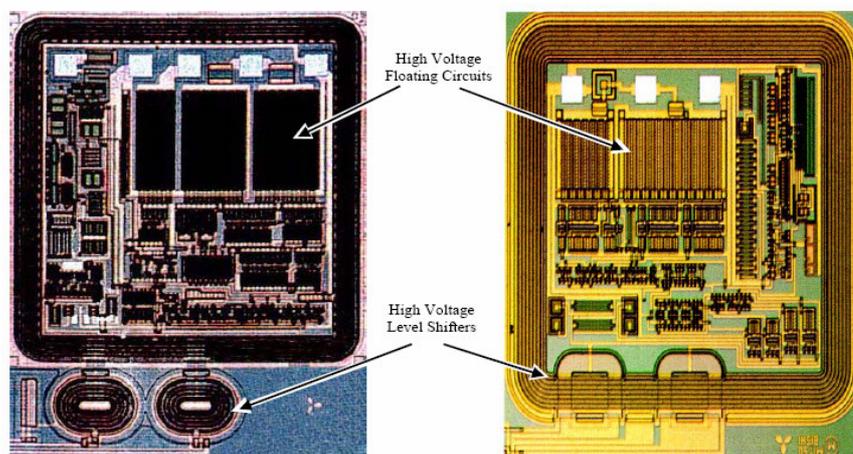


Figure 1.3. Structure interne d'un "HVIC" [10].

Au cours de ces dernières années, l'intégration de type "Smart Power", a bénéficié des progrès des technologies de conception employées dans les circuits intégrés numériques VLSI (*Very Large Scale Integration*) et ULSI (*Ultra Large Scale Integration*). Ceci a notamment permis d'appliquer, toujours avec un certain retard, les règles de dessin des dernières technologies à

celle de la "Smart Power". Aujourd'hui, ce retard n'est plus que d'une intégration et les canaux MOS des circuits intégrés de puissance commercialisable atteignent $0.35\mu\text{m}$ contre $0.18\mu\text{m}$ pour les VLSI [11].

2.2. Intégration fonctionnelle

Ce mode d'intégration est basé sur la non séparation dans le cristal entre les éléments basse tension et les éléments de puissance, en utilisant l'auto-blindage [12]. En effet, cette intégration, basée sur des interactions électriques entre les différentes couches semi-conductrices de la structure, est bien adaptée au développement des composants de puissance dont les dispositifs de type thyristors et en triacs sont les premiers exemples.

Le transistor bipolaire permet de bien appréhender l'expression 'interaction entre couches semi-conductrice' puisque l'effet 'transistor bipolaire' ne peut intervenir que s'il existe une région commune (base) entre deux jonctions et non par l'assemblage de diodes tête bêche. De la même façon, le thyristor n'est pas réalisé à partir de l'association discrète de deux transistors bipolaires mais par leur imbrication monolithique. Cette structure, constituée de quatre couches P/N/P/N, peut être considérée véritablement comme l'un des tout premiers exemples d'intégration fonctionnelle. Une étape supplémentaire a été franchie par le développement des principales phases de conception du triac en s'appuyant sur une analyse physique très fine du comportement de la structure. Le triac peut être considéré au premier ordre comme l'imbrication de deux thyristors.

L'intégration fonctionnelle est bien orientée vers le développement de nouvelles fonctions de puissance utilisées dans des applications connectées sur le réseau de la distribution de l'énergie électrique, (figure 1.4).

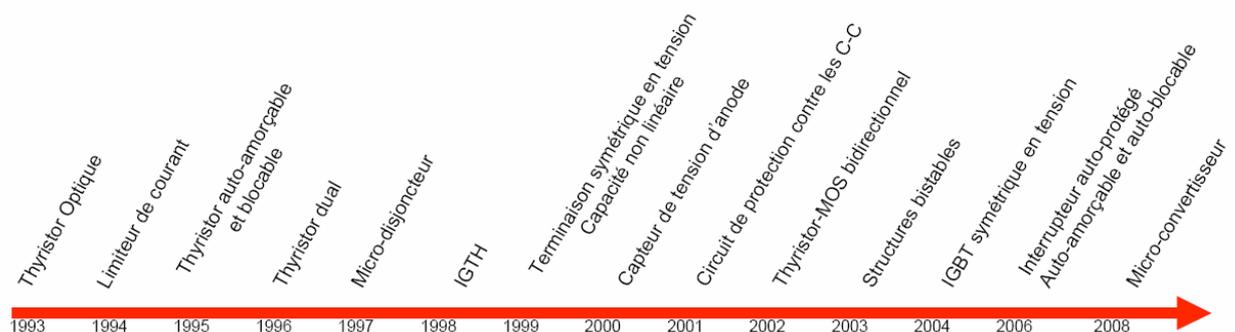


Figure 1.4. Evolution de l'intégration fonctionnelle [9].

Le prolongement de ces travaux de recherche a donné naissance à tout un ensemble de composants et structures de puissance dont les fonctionnalités électriques sont basées sur des

associations bipolaire/bipolaire. Elles consistent à intégrer monolithiquement et de façon astucieuse des diodes de redressement, des diodes ZENER, des résistances et des thyristors qui débouchent sur des structures verticales dont les caractéristiques physiques et géométriques déterminent une application spécifique ASD (*Application Specific Discrete*) réalisant principalement des fonctions de commande d'interrupteur et de protection.

L'introduction des technologies MOS dans le domaine de l'intégration fonctionnelle a offert un degré de liberté supplémentaire en permettant la combinaison des effets MOS et des interactions de type bipolaire. Ainsi, de nombreuses solutions d'associations de type MOS/Bipolaire ont permis de créer de nouveaux dispositifs de puissance tel que l'IGBT, MCT (*MOS Controlled Thyristor*) et MGT (*MOS Gated Thyristor*). Le MGT étant une structure de type IGBT optimisée afin de fonctionner en mode thyristor et qui se bloque par le passage par zéro de la tension.

Il existe maintenant un certain nombre de composants discrets de type MGT en quatre ou cinq couches tel que : DGMOT (*Dual Gate Mos Thyristor*), le DG-BRT, DG EST, et pour terminer cette liste non exhaustive le MGCT.

D'autres travaux de recherche menés sur l'intégration fonctionnelle sont basés sur l'intégration des interrupteurs bidirectionnels à partir d'un assemblage de transistors de puissance MOS, IGBT, diode, et l'alimentation auxiliaire. Notons également l'émergence d'une intégration plus poussée des fonctions de protection contre certains phénomènes provoquant un dysfonctionnement du circuit tel que: court-circuit, forte énergie dissipée, fort di/dt et dv/dt.

L'évolution logique de ces travaux consiste à réunir ces deux types de fonctions (protection - commande d'une part et interrupteur d'autre part) pour concevoir de nouvelles fonctionnalités de commutation de puissance dans le contexte de la conversion d'énergie.

Cette démarche permettra de développer des puces de silicium intégrant des fonctionnalités de plus en plus nombreuses réalisant des dispositifs autonomes fiables et compacts (intégration des commandes, d'alimentations, de protections, du refroidissement...).

Mais cette augmentation de la complexité des fonctions de puissance nécessite le développement d'étapes technologiques spécifiques compatibles avec la technologie de base du composant de puissance. Ce développement conjoint entre les fonctions intégrables et les étapes technologiques spécifiques, est illustré sur la figure 1.5.

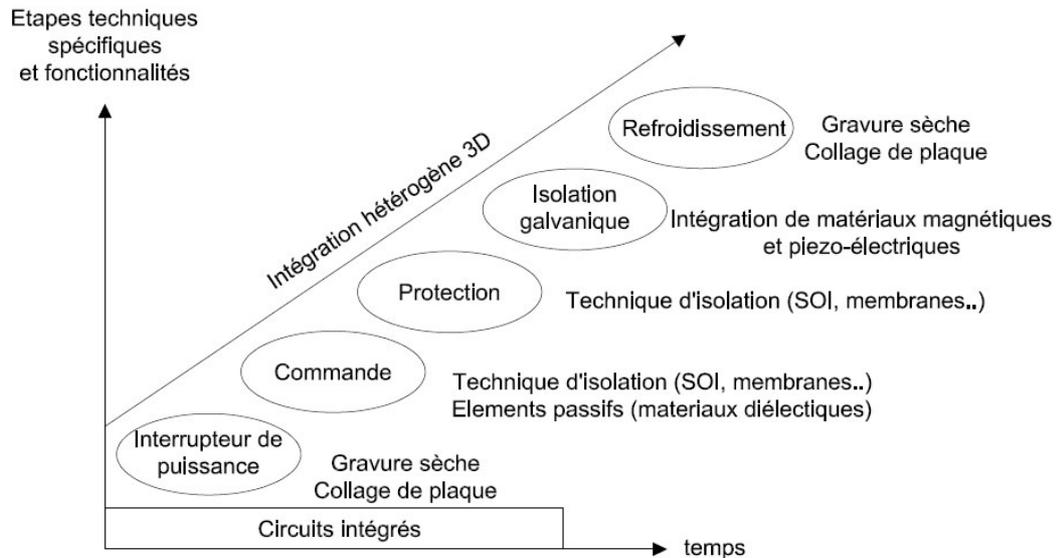


Figure 1.5. Evolution des fonctions intégrables liée au développement des étapes technologiques spécifiques.

Dans une perspective future, les interrupteurs intégrés qui comprendront leur commande, leur protection et peut être même leur refroidissement seront donc des objets hétérogènes 3D à l'image de certains microsystèmes développés aujourd'hui.

3. Intégration Hybride

L'intégration hybride se situe à mi-chemin entre l'intégration monolithique et "le discret". Elle permet d'associer sur un même substrat les divers composants mis en jeu dans la réalisation simultanée de plusieurs fonctionnalités (figure 1.6).

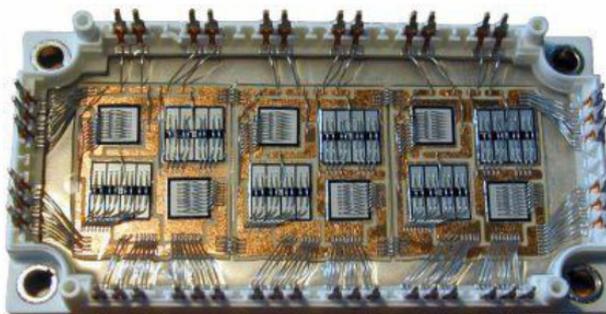


Figure 1.6. Module de convertisseur intégré [13].

Ce mode d'intégration est capable de fonctionner pour des courants supérieurs à 100 ampères et permettant de tenir des tensions de plus de 1200 volts, cette intégration est typiquement destinée aux domaines de la traction ferroviaire et aux applications industrielles [14]. La dénomination hybride découle du fait que cette intégration permet d'associer au sein d'un même substrat, et

grâce à un montage en surface adapté, différents types d'éléments de puissance combinés à des systèmes de contrôle et de protection 'fonctions intelligentes'. Le substrat doit requérir à la fois une bonne conductivité thermique et une bonne isolation électrique entre les différents éléments.

3.1. Techniques d'intégration hybride

D'une manière générale, l'intégration ou l'assemblage des systèmes hétérogènes reste délicat à réaliser car il faut faire en sorte que chaque composant garde ses caractéristiques nominales de fonctionnement compte tenu des interactions avec d'autres éléments du système [14]. Pour cela, la conception doit tenir compte d'un certain nombre de facteurs qui contraignent la fabrication de systèmes hétérogènes :

- la compatibilité technologique (interaction entre les procédés de fabrication),
- la compatibilité fonctionnelle (compatibilité électromagnétique, thermique, isolation électrique, réactivité chimique),
- la fiabilité et les contraintes thermomécaniques (coefficient d'expansion),
- les propriétés mécaniques spécifiques (déformation, frottement, herméticité).

L'intégration de systèmes complexes bénéficie d'un effort de miniaturisation surfacique et volumique présent à tous les niveaux, de l'échelle centimétrique jusqu'à l'échelle nanométrique.

L'optimisation de l'espace se fait au niveau des structures micrométriques sur la puce de silicium puis au niveau de l'arrangement des puces de silicium dans les boîtiers de dimension millimétrique, puis à l'étape d'assemblage de ces circuits intégrés sur circuits imprimés centimétrique.

On va présenter dans ce qui suit certaines techniques couramment utilisées pour d'intégration hybride.

3.1.1. Puce sur circuit (*Chip on Board, CoB*)

La méthode, la plus commune d'interconnexion est le Chip on Board ; la puce de silicium est collée directement sur la carte de circuits imprimés, puis reliée à ce dernier par soudure de fils d'aluminium ou de fils d'or. Une résine d'encapsulation (Glop top) peut être alors dispensée sur l'ensemble ou sur une partie du système pour garantir la protection vis-à-vis de l'environnement : contraintes thermiques et mécaniques. La figure 1.7, présente un exemple de réalisation d'assemblage CoB. La partie gauche de la figure représente une puce de silicium collée directement sur le circuit imprimé et la partie droite représente une puce enrobée dans une résine protectrice [15].



Figure 1.7. La technique d'intégration "Chip on Board" [15].

3.1.2. Système dans un boîtier (System in Package, SiP)

Il s'agit d'une méthode d'intégration bien maîtrisée aujourd'hui. Elle consiste à l'intégration de système 2D dans un boîtier unique [15]. Elle permet aussi, lorsque la technique d'intégration monolithique Soc (*System on Chip*) devient trop complexe et coûteuse, de regrouper à moindre coût, sur le même substrat organique, plusieurs circuits intégrés sur silicium. Ces puces de silicium peuvent être associées à des composants passifs, des capteurs, etc. Les substrats à base de polymères souples ont apporté des fonctionnalités supplémentaires: la flexibilité mécanique et l'amortissement du chocs. (Figure 1.8).

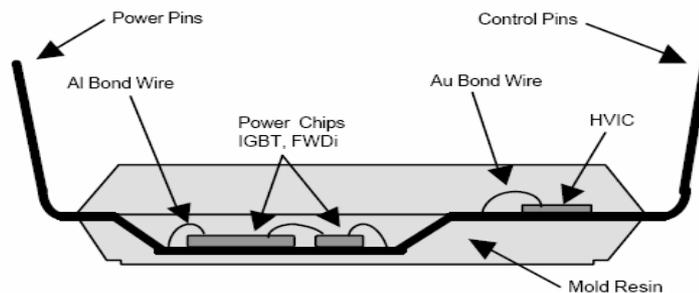


Figure 1.8. La technique d'intégration "System in Package SiP" [9].

3.1.3. Module multi puce (Multi Chip Module, MCM - V)

Lors de la mise en boîtier du composant silicium, il est possible d'interconnecter plusieurs composants dans un même boîtier, c'est l'intégration hybride multi-puces [15]. Une fois mis sous boîtier standard, cet assemblage de puces de silicium peut être transporté sous la forme d'un sous système compact (Figure 1.9).

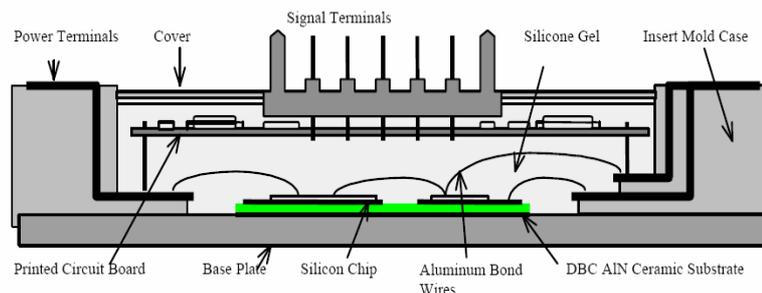


Figure 1.9. La technique d'intégration Multi puce, MCM-V [9].

3.1.4. Système sur un boîtier (System on Package SoP)

Le concept de "SoP" amène l'idée d'intégrer dans le volume du substrat, jusqu'alors utilisé essentiellement pour les connexions électriques, des fonctions passives telles que des capacités, des inductances, des filtres qui participent aux fonctionnalités générales du système [15]. La figure 1.10, illustre le concept d'un substrat intégrant des puces de puissance, circuits intégrés, ...etc.

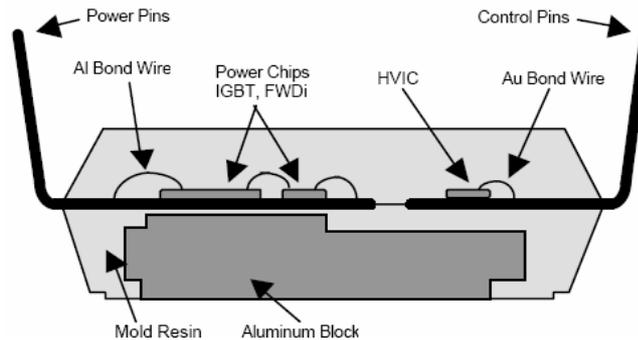


Figure 1.10. La technique d'intégration "System on Package SoP" [9].

Parmi les moyens de densification des assemblages 3D, nous trouvons deux techniques : l'une classiquement employée : la puce renversée (*Flip Chip*), et l'autre à l'état de recherche : les puces amincies.

L'innovation qui a marqué une rupture dans les dimensions des boîtiers et la densité d'intégration est certainement celle de l'assemblage puce "*Flip Chip*" [15]. La puce de silicium est retournée et les plots de contacts de la puce sont directement reliés aux connexions du boîtier. Cette connexion ultracourte permet de limiter les pertes résistives et capacitives dues aux fils ce qui est remarquable dans le cas des applications de puissance.

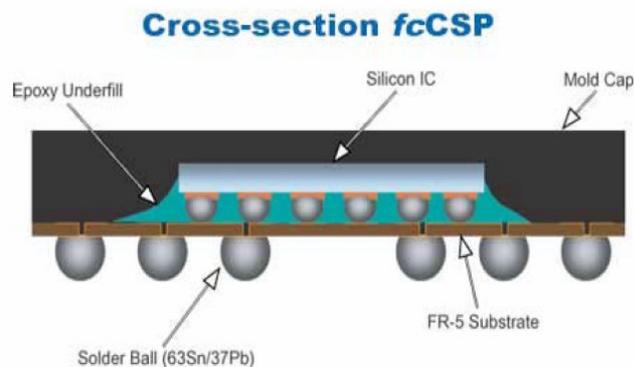


Figure 1.11. La technique d'intégration "Flip Chip" [15].

La figure 1. 11, illustre une vue en coupe d'une puce silicium montée renversée (*Flip-Chip*) dans un boîtier BGA (*Ball Grid Array*) qui repose aussi sur le concept Flip Chip. Nous voyons qu'ici, l'intégration "Flip Chip" a été réalisée : à deux niveaux :1) la puce du silicium- 2) des composants pour limiter au maximum l'encombrement des fils de connexion.

3.2. Familles de l'intégration hybride

L'intégration hybride correspond à deux degrés d'intégration ; les modules standards et les module de puissance intelligents (**IPM** *Intelligent Power Module* ou **ASIPM** *Application Specific Intelligent Power Module*) [16].

Le premier type de module se limite à la mise en parallèle des IGBTs et de diodes. L'objectif de tels modules est d'obtenir un calibre en courant maximum. Ces derniers sont bien adaptés pour des courants supérieurs à 100 Ampères et des tensions supérieurs à 1200 Volts. La seconde catégorie de modules intègre une partie 'intelligente' qui peut être capable, par exemple, de gérer les commandes ou d'intégrer des systèmes de protection. La gamme en courant de ce type de modules est comprise entre 3 et 100 ampères pour des tensions allant de 600 volts à 1200 volts.

3.2.1. Modules standards de puissance

Ces modules, correspondant à l'association en parallèle d'IGBT et de diodes de roue libre associées, visent les applications à très fortes tensions (jusqu'à 3k Volts) et très forts courants (entre 100 ampères et 2k Ampères) [16]. Leur méthode d'assemblage reste classique : la puce est posée sur un substrat permettant une dissipation maximale de la chaleur et les connexions sont effectuées au moyen de fils de contacts soudés par ultrasons sur la face supérieure du composant (figure 1.12).

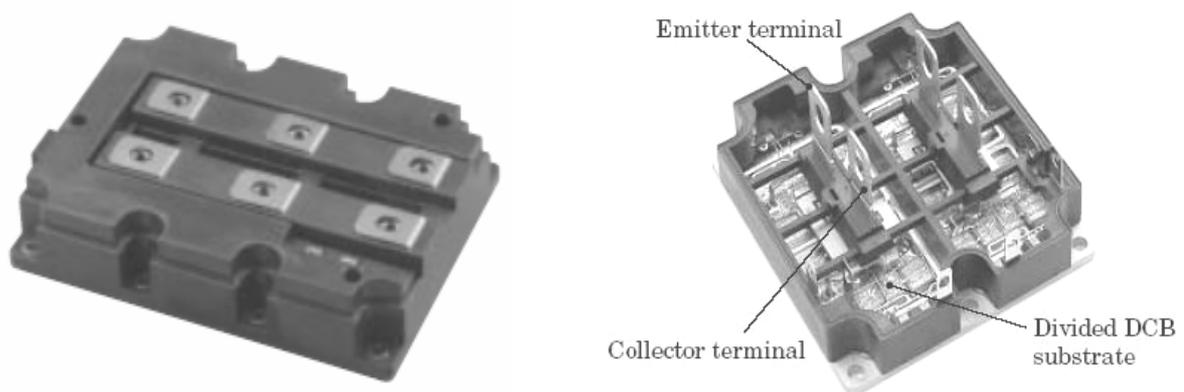


Figure 1.12. Module standard de puissance [16].

Soumis à des sollicitations thermiques sévères, ce type de module tend, au bout d'un nombre élevé de cycles de fonctionnement, à se détériorer. Cette fatigue thermique, directement liée aux matériaux et aux technologies utilisés au niveau de l'assemblage et des interconnexions, s'avère contraignante et limitative en terme de fonctionnement. Les études réalisées sur les nouveaux matériaux et les nouvelles méthodes d'assemblages semblent être la clé d'une augmentation des puissances commutées par ce type de modules.

3.2.2. Modules de puissance intelligents (IPM ou ASIPM)

L'idée de modules de puissance intelligents est née au début des années 90 du besoin toujours croissant d'associer le maximum de fonctions sur un minimum de surface. Ces fonctions peuvent aller de la gestion des commandes jusqu'aux systèmes de protection des éléments de puissance [17]. Les modules sont réalisés en intégrant dans un 'boîtier puce' des composants de puissance (principalement des IGBT) et les diodes de roue libre associées, avec leurs circuits de commande et de protection. L'isolation galvanique entre la partie basse tension et la partie puissance se fait au moyen d'opto-coupleurs ou par la techniques des circuits de décalage de niveau de tension, ces derniers effectuent en parallèle la transmission des commandes aux composants.

3.2.2.1. Les IPM :

Les modules qui résultent de ce type d'association sont appelés IPM (*Intelligent Power Module*) [18], (figure 1.13) et associent une partie intelligente grâce à l'utilisation d'ASIC (*Application Specific Integrated Circuit*) fonctionnant en basse tension [19]. L'intégration de l'ensemble des fonctions au sein d'une partie puissance a permis de franchir un pas supplémentaire en matière d'intégration, la figure 1.13 donne un exemple de l'IPM.

L'IPM peut assurer les fonctions suivantes :

- Puces de puissance (IGBT, Diode de roue libre),
- Capteurs de température,
- Les ASIC basses tensions (**L**VASIC *Low Voltage ASIC*) incluent :
 - Circuit de génération des signaux de commande (*Gate Drive*),
 - Protection des surintensités (*Over Current*),
 - Contrôle des défauts d'alimentation (*Control supply failure*).

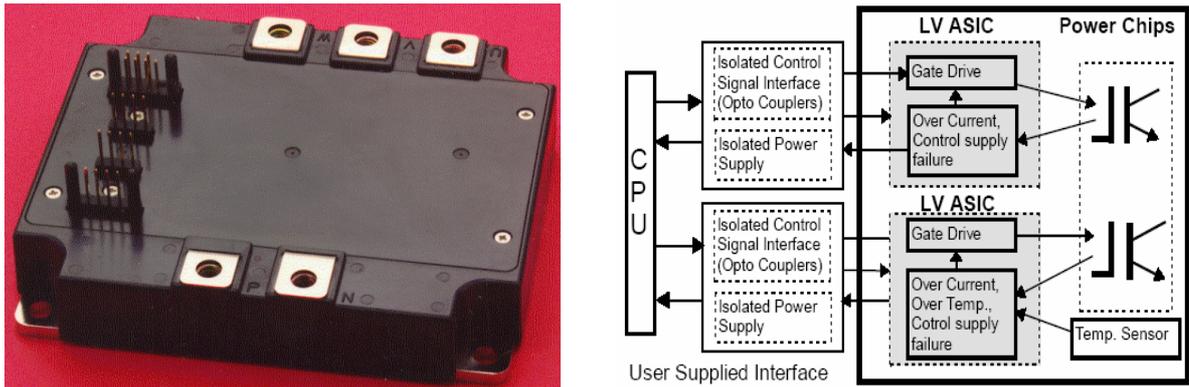


Figure 1.13. Intelligent Power Module vue de face et son architecture interne [18].

L'IPM intègre, selon l'architecture interne, l'électronique de puissance et des ASICs de basse tension qui assurent la commande des composants de puissance et la fonction protection. Ces modules sont utilisés sur une large gamme des applications contrôle - commande moteurs électriques et qui varie de 200W jusqu'au 150kW. Ce module présente les avantages suivants :

- Réduction du temps de conception et l'amélioration de la fiabilité offerte par le test usine,
- Association de la commande rapprochée et des fonctions de protection,
- La diminution des pertes résultant de l'optimisation simultanée des composants de puissance et des fonctions de protection,
- Taille réduite résultant de l'utilisation des puces de puissance nues et des circuits intégrés de contrôle.
- Minimisation d'encombrement et de fiabilité résultant de la réduction des composants.

Malheureusement, et malgré ces avantages, l'IPM ne prévoit pas une intégration fonctionnelle suffisante pour couvrir le coût et les exigences de sa taille pour certaines petites applications de commande de moteurs.

3.2.2.2. Les ASIPM :

Cependant, pour certaines applications comme la gestion de moteurs, le type IPM reste limité. En effet, de telles applications nécessitent des fonctionnalités plus complexes avec une densité d'intégration encore plus élevée [19]. De la volonté de dépasser cette limitation sont nés les ASIPM [20]. Ces modules associent à la partie puissance, et en complément des ASIC, des circuits intégrés de puissance HVIC. Les HVIC utilisent de faibles tensions pour commander la partie puissance, leur autorisant donc une connexion directe avec des microcontrôleurs. La gestion thermique de ce type de module, concerne l'échauffement qui ne doit pas être excessif

sous peine de détériorer la partie basse tension. Ces derniers sont par conséquent destinés à fonctionner dans la gamme des moyennes puissances.

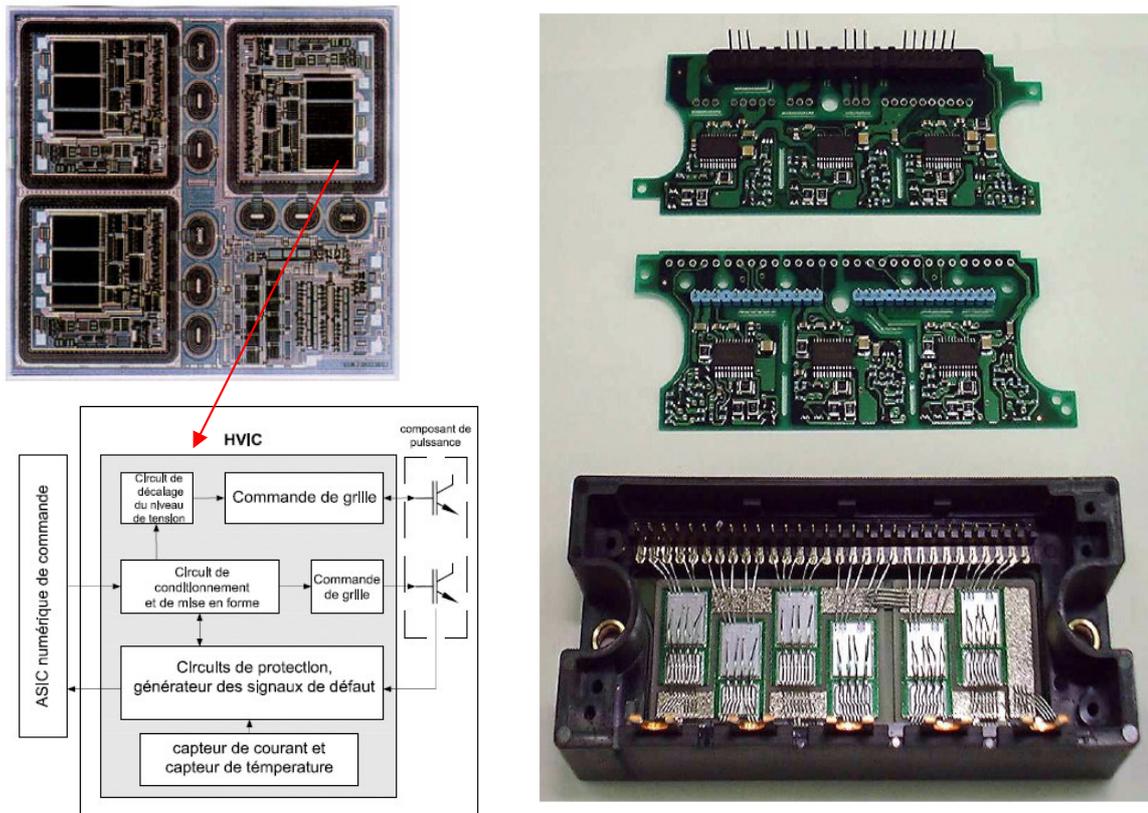


Figure 1.14. ASIPM vue de face et son architecture interne [19], [20].

L'ajout de la technologie HVIC à l'ASIPM permet d'intégrer un large éventail de fonctions sophistiquées. Contrairement aux IPMs, qui sont optiquement couplés au circuit d'interface via des opto-coupleurs.

L'ASIPM, par son avantage d'intégrer le HVIC, peut en plus assurer les fonctionnalités suivantes :

- Circuit de conditionnement des signaux de commande des IGBT (*High Voltage Level Shift*); cette fonction supprime l'utilisation des opto-coupleurs.
- Circuit de génération des signaux de commande (*Gate Drive*) : suite à des consignes générées par le CPU (Microcontrôleur, DSP, FPGA, etc).
- Protection contre les chutes de tension.

Toutes ces fonctions contribuent à l'amélioration des caractéristiques de l'ASIPM par la réduction de l'espace, la diminution de la taille, l'optimisation du poids, l'augmentation de la fiabilité, la minimisation du temps et de coût de fabrication et la simplification de leur connexion au circuit extérieur (circuit de commande).

La figure 1.15 représente une comparaison entre IPM avec ses composants additionnels et le ASIPM version 3 [21], [22].

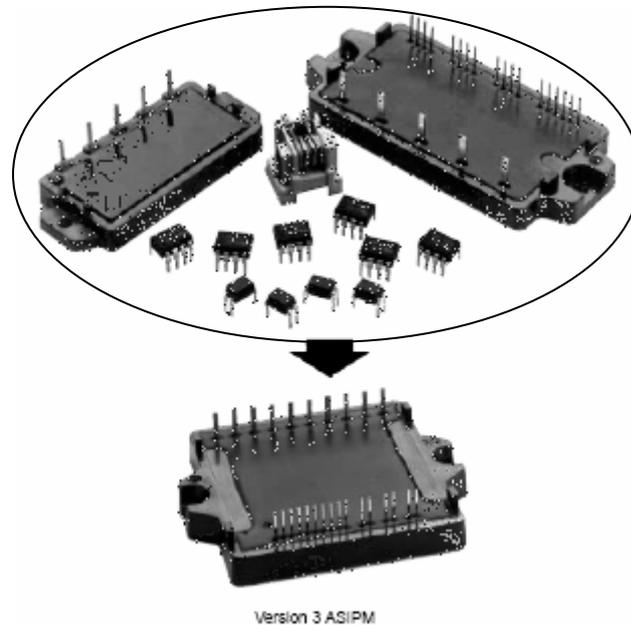


Figure 1.15. ASIPM version3 et les composants discrets équivalents [21].

A l'heure actuelle, les ASIPMs sont en pleine évolution tant au niveau du développement de nouvelles solutions technologiques que sur le plan de la conception de nouvelles fonctions [23]. Notre optique vise l'intégration du CPU dans le module intelligent de puissance, la solution sera développée dans les prochains chapitres.

4. Analyse du Besoin et Etablissement du Cahier des Charges

4.1. Analyse du besoin

Dans le cadre de l'avancement des applications industrielles, les servo-systèmes avec une haute performance sont devenus indispensables dans l'automatisation industrielle, les robots industriels, les systèmes embarqués et les machines à commande numérique.

Les ASIPMs pour les machines à courant alternatif s'avèrent particulièrement intéressants pour des applications industrielles. En effet, cette tendance est favorisée par les avancées technologiques de la commande (Software/Hardware) et les composants de puissance utilisés dans les convertisseurs statiques (redresseur et onduleur de tension). Cependant, elle présente assez de contraintes quand aux exigences en robustesse de contrôle et de performances.

Toutefois, les exigences accrues de performances, de fiabilité et d'intégration des systèmes de puissance visent à intégrer sur le même substrat le bloc de puissance et le bloc d'électronique

analogique d'interfaçage avec le bloc numérique de commande qui y est au voisinage (éloigné) de cette intégration pour le moment.

Nos objectifs de recherche de l'intégration la plus poussée sur ASIPM vise à aboutir à un système le plus compact possible incluant aussi bien le bloc analogique du système de commande (CANs, fonctions de contrôle et de protection, etc), le bloc numérique représenté par le cœur de calcul et de traitement (ASIC) ainsi que le bloc de commutation de puissance (en tenant compte des contraintes: thermiques, compatibilité électromagnétique, isolation, bruit, etc). Pourtant, l'ASIC de commande présente de nombreux avantages lors de son utilisation dans un environnement aussi contraignant que celui des systèmes de commande. Citons entre autres, l'augmentation de la fiabilité de la commande, le gain de place et la confidentialité de l'architecture. Par ailleurs, les performances d'un algorithme de commande peuvent être considérablement améliorées lorsque ce dernier est transcrit sous forme d'architecture spécifique. Par exemple, le temps d'exécution d'un algorithme peut être minimisé si les signaux de commande du convertisseur statique sont optimisés.

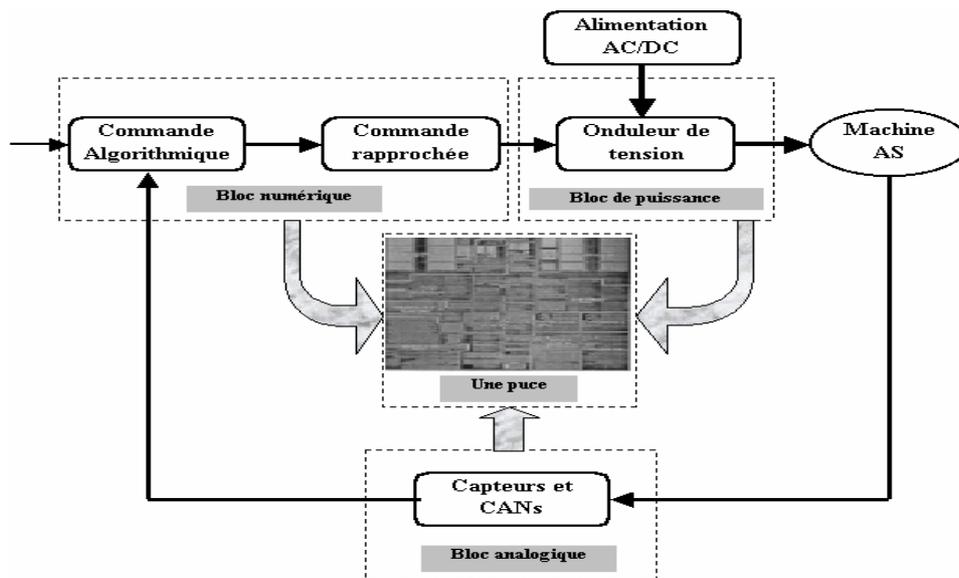


Figure 1.16. Synoptique de la structure de puissance et de commande à intégrer.

Toutefois, l'intégration en électronique de puissance est très complexe en vu des éléments la constituant. Nous avons ainsi été amenés, dans un premier temps à dissocier le "bloc de commande", de nature numérique, du "bloc d'interface", de nature analogique et le bloc de puissance. Pour assembler ces éléments dans le même module, un prototypage virtuel et qui est représenté par une modélisation comportementale multi niveau, doit être associé à chaque bloc, en se référant à des méthodologies de conception bien adaptées.

4.2. L'établissement du cahier des charges par la méthode de l'analyse fonctionnelle

Le cahier des charges est le document de référence d'un projet. Il doit tout rassembler : les motivations, les idées, les exigences, les conditions d'utilisation, l'environnement, etc. [11].

Nous avons établi le cahier des charges suivant la procédure présentée ci-dessous :

1- Quel est le besoin ?

Commander, contrôler, Surveiller et protéger la machine asynchrone afin qu'elle ait de meilleures performances.

Commander et Contrôler la machine asynchrone à partir du **système de commande**.

Surveiller, Contrôler et protéger l'étage de **l'électronique de puissance**.

2- Quels sont les domaines et les exigences d'utilisation ?

- Le système de commande-contrôle doit être intelligent,
- Le système de commande-contrôle doit être le plus miniaturisé possible,
- Le système de commande-contrôle doit être non encombrant,
- Le système de commande-contrôle ne doit pas être modifié ou perturbé par l'environnement (système robuste),

3- Identifier le système qui satisfait le besoin

- Le système doit comprendre la partie commande (ASIC numérique), la partie analogique (circuit de mise en forme, etc) et la partie puissance (onduleur de tension, redresseur, etc).
- Le système comprend un ensemble de protection (thermique, surtension, court circuit, etc),
- Le système pouvant, si possible, s'auto surveiller et s'auto diagnostiquer afin de contourner les défauts et les pannes pour assurer et contrôler le bon fonctionnement des organes.

4- Contrôler la validité du besoin

- A qui, ou à quoi le système rend t-il service ?
 - Les applications robotiques.
 - Les systèmes embarqués.
- Dans quel but ?
 - Amélioration de la gestion d'énergie,
 - Réduction des pertes donc amélioration du rendement,
 - Miniaturisation de la taille du système,
 - Réduction ou optimisation des coûts,
 - Amélioration de la fonctionnalité.

- Sur qui agit-il ?
 - Sur la partie puissance et les fonctions de protection.
- Stabilité de la demande
 - Coût du système par rapport au coût des machines contrôlées par un système de substitution,
 - Niveau de la fiabilité demandée.
- Q'est ce qui pourrait faire évoluer le besoin ?
 - Exigences de l'application,

5- Quelles sont les séquences d'usage et les cas d'utilisation du système ?

Séquence d'usage	Conception	Fabrication	Mise en service du système	Fonctionnement	Pas de maintenance	Enlèvement /Déplacement
Utilisateur	Concepteurs spécialisés	Boîte spécialisée	Expert	Suivant des consignes	Remplacer par un autre module	Expert

Tableau 1. 1. Les séquences d'usage de L'ASIPM.

6- Quels sont les éléments de l'environnement, les fonctions et les contraintes ?

Les fonctions sont définies comme des services rendus par le système aux éléments de l'environnement. Ces fonctions F sont représentées graphiquement par des traits de liaisons traversant le système et reliant deux éléments de l'environnement. Les contraintes C , sont elles représentées par des flèches unidirectionnelles qui lient un élément de l'environnement au système. Les fonctions et les contraintes sont d'abord listées puis elles sont représentées graphiquement sur la figure 1.17.

F	Fonctions	C	Contraintes
F1	Commande de la machine asynchrone	C1	Être autonome (pas de maintenance)
F2	Gestion d'alimentation de la machine	C2	Être fiable par rapport à l'environnement
F3	Surveillance de la machine synchrone	C3	Pas de modification ou perturbation de l'installation
F4	Contrôle de la machine asynchrone	C4	Taille la plus réduite possible
F5	Protection de la machine asynchrone		
F6	Auto surveillance du système		
F7	Autoprotection du système		
F8	Auto alimentation du système		
F9	Adaptation à l'environnement		

Tableau 1.2. Les fonctions de service et les contraintes de l'ASIPM.

La figure 1.17 représente le système au centre, entouré par quatre domaines (utilisateur, énergie, machine asynchrone, environnement) complétés par des sous-domaines de premier ordre qui interagissent avec le système par l'intermédiaire de fonction F ou de contraintes C.

Nous obtenons la représentation d'ASIPM.

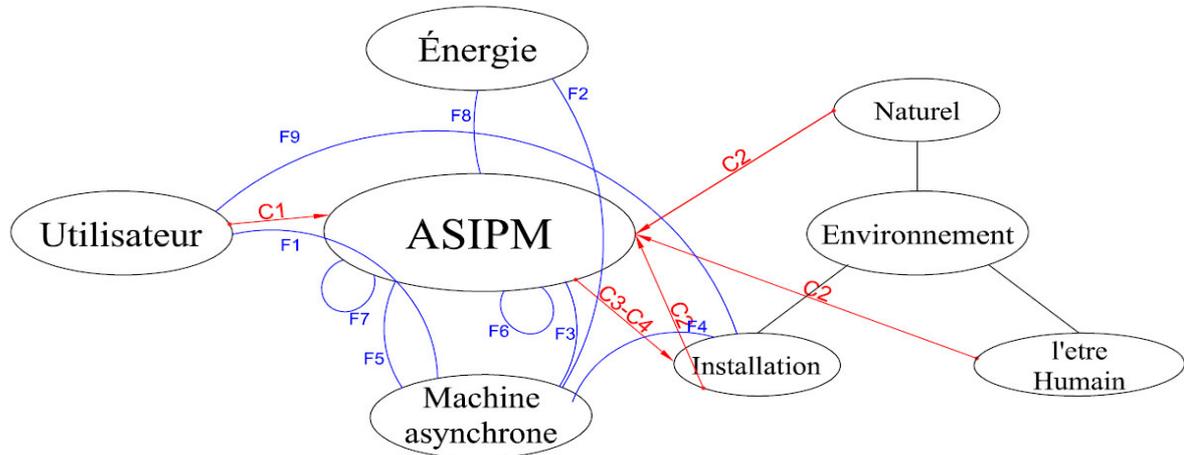


Figure 1.17. Représentation graphique des fonctions et des contraintes de l'ASIPM.

Dans le cadre de notre application, chaque sous-domaine de premier ordre est décomposé en attributs qui par leur nature, définissent plus en détail les besoins. Ainsi, nous obtenons un modèle d'environnement particulier à notre intégration en puissance. Les sous-domaines de second ordre ainsi obtenu sont illustrés sur la figure 1.18.

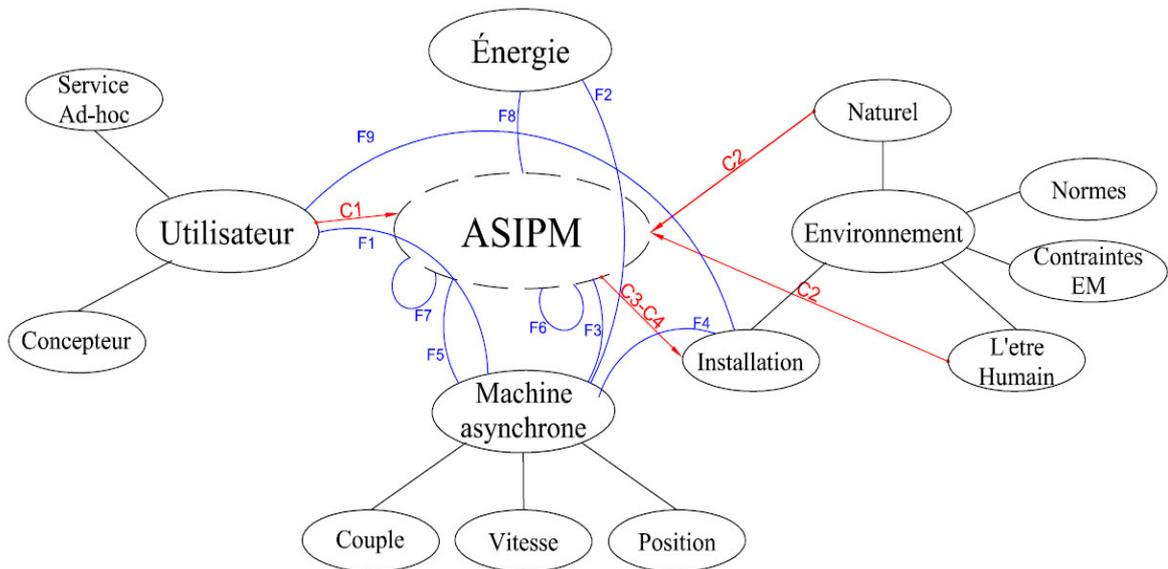


Figure 1.18. Système et sous-système propres à notre application ASIPM.

Nous obtenons ici une première représentation détaillée de l'environnement de l'ASIPM qui fait apparaître les caractéristiques et les paramètres propres à notre application. Ce travail d'analyse

du besoin est une base pour la rédaction du CDCF (*Cahier Des Charges Fonctionnel*) et de la STB (*Spécification Technique du besoin*). Ainsi, nous obtenons une hiérarchie de fonctions et de contraintes du système par l'analyse du besoin. Cette hiérarchie est représentée par le diagramme arborescent de la figure 1.19. La figure 1.20 représente le circuit électrique de notre ASIPM qui correspond au circuit existant dans la littérature spécialisée [3], dans lequel, nous projetons d'intégrer l'ASIC de commande.

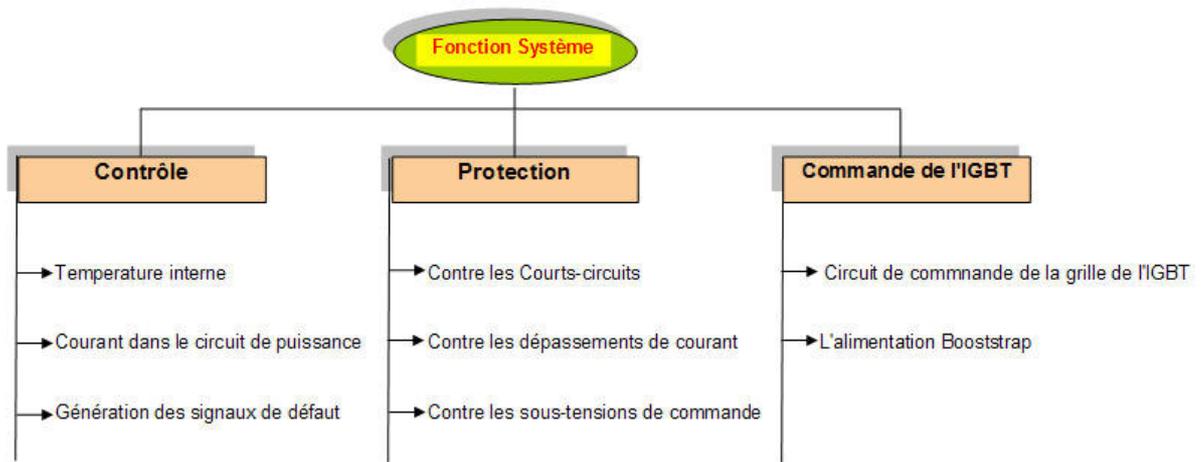


Figure 1.19. Fonctions principales et sous-fonctions de l'ASIPM.

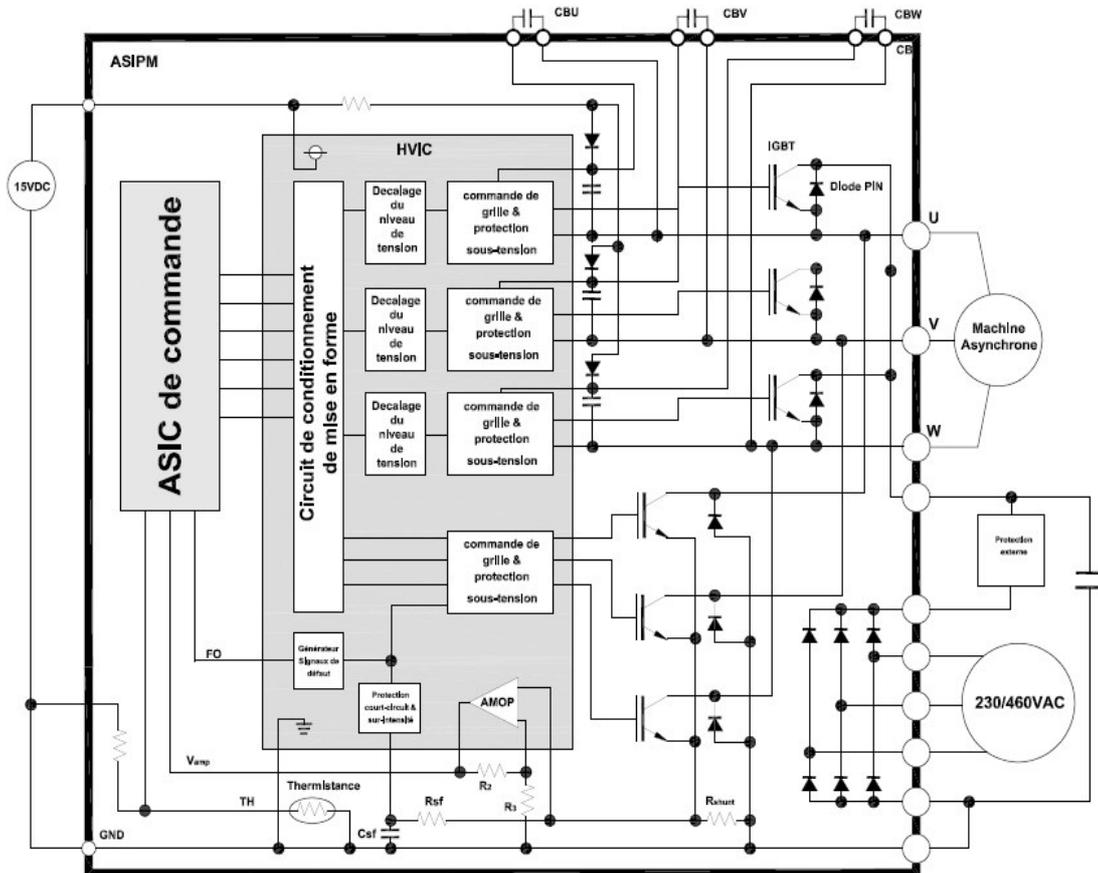


Figure 1.20. Circuit électrique de l'ASIPM.

5. Conclusion

Les fonctions de l'électronique de puissance sont matérialisées à l'aide de solutions d'intégration pouvant être monolithique ou hybride.

L'intégration monolithique a été favorisée dans un premier temps par l'évolution des technologies dédiées aux circuits intégrés de traitement du signal et de l'information. Les stratégies d'intégration ont suivi deux voies : les circuits Smart Power et le mode d'intégration fonctionnelle. Dans le premier cas, l'intégration peut être vue comme un prolongement de l'intégration du traitement du signal en rajoutant un étage de puissance à un circuit intégré classique. Pour des puissances plus élevées, l'intégration fonctionnelle est basée sur l'utilisation d'interactions électriques au sein du semi-conducteur afin de proposer de nouvelles fonctions pour le traitement de l'énergie électrique.

L'intégration hybride a permis d'exploiter au mieux les performances de nouveaux composants de puissance et de les destiner à des applications moyennes et forte puissance. Les principaux travaux de recherche se sont focalisés sur l'intégration de nouvelles fonctionnalités, l'amélioration du packaging, et plus particulièrement sur les matériaux isolants, la connectique, le refroidissement et les interfaces entre les différents matériaux.

Nous avons consacré la dernière partie du chapitre à l'identification de notre besoin dont l'objectif est l'établissement d'un cahier des charges, en se basant sur une analyse fonctionnelle du besoin.

Chapitre II

*Méthodologies de conception d'intégration en
électronique de puissance*

1. Introduction

L'intégration en électronique de puissance est un champ multifonctionnel et multidisciplinaire : elle pose des problèmes de représentation encore non résolus. Pour cette raison, nous avons choisi dans ce chapitre de donner à notre travail un double objectif :

- Identifier les méthodes et les outils de modélisation et de simulation pour une conception efficace d'intégration en électronique de puissance.
- Concevoir une intégration de puissance en commençant par la méthode de conception en amont, qui est basée sur la décomposition hiérarchique et fonctionnelle du système de puissance à intégrer.

À partir de cette démarche, nous allons procéder à l'établissement d'une méthode de travail adéquate afin de pouvoir réaliser un prototypage virtuel de chaque fonctionnalité du système de puissance.

2. Les méthodes de conception du microsysteme

Nous avons constaté dans le chapitre précédent qu'il existe une grande diversité de composants et de modes d'assemblages qu'il conviendra de choisir durant la période de conception. Cette étape de conception part des spécifications du système d'intégration de puissance à réaliser jusqu'au lancement de la fabrication du prototype matériel. L'intégration en électronique de puissance apporte une contrainte supplémentaire à la conception des systèmes électroniques standard qui est celle de la multidisciplinarité [24]. En effet, cette activité de conception met en relation un grand nombre d'acteurs, d'outils, de méthodes appartenant à une grande variété de domaines d'activités pour regrouper le savoir-faire et arriver à concevoir "juste" et "à temps".

2.1. Cycle de conception en cascade

C'est la méthodologie la plus classique; elle est basée sur les phases suivantes:

- Spécification,
- Conception du système,
- Réalisation détaillée et tests unitaires,
- Intégration ou prototypage.

Comme la montre la figure 2.1, cette approche nécessite l'achèvement de chaque phase, ce qui implique que tout changement s'effectue au niveau des spécifications initiales. Cette approche constitue une démarche basée sur l'intervention de spécialistes dans la conception, ce qui rend la

tâche difficile lorsque le système est multidisciplinaire. L'enchaînement qui reste simple et intuitif contient des risques et des coûts de conception non mesurés [25].

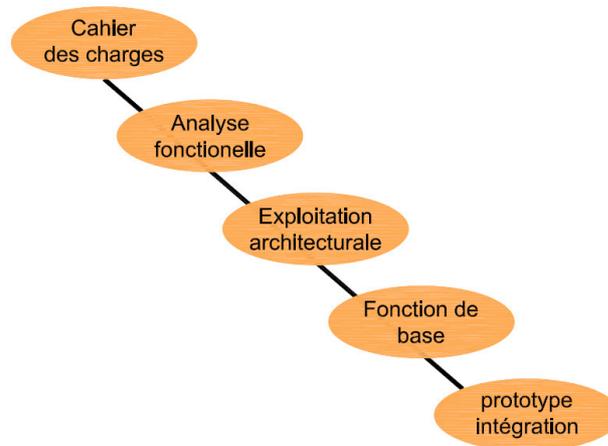


Figure 2.1. Les phases du cycle en cascade.

2.2. Conception selon le cycle en « V »

Le modèle de cycle de développement dépend des informations à traiter, des connaissances, de la culture de l'entreprise, et des objectifs visés. En effet, certains cycles favorisent l'innovation, d'autres favorisent la capitalisation et la réutilisation d'expériences. La représentation du cycle de développement la plus couramment utilisée en entreprise est celle en 'V'. Il est représenté par la figure 2.2. C'est un modèle couramment appliqué dans l'industrie. Il permet l'organisation générale du travail, la décomposition et distribution de tâches. Sa structure en 'V' met en évidence les étapes de spécification/validation, conception/intégration et conception tests autour du point rebond qui est le prototype virtuel. Cette structure offre une voie pour vérifier la conformité et valider des étapes clés dans le développement de nouveaux modules de puissance. Ces étapes tracent le suivi d'un projet et garantissent une certaine qualité. D'une manière générale, ce cycle convient au développement de systèmes complexes dans lesquels interagissent un grand nombre de collaborateurs. En effet, chaque collaborateur, peut réutiliser cette même structure d'analyse en 'V' pour décomposer le développement de son propre sous-système en des étapes du même type.

Cependant, deux inconvénients peuvent apparaître à l'usage de ce cycle. D'une part, ce type de développement, dans le cadre de l'ingénierie simultanée, n'apporte pas d'indications pour que les parties prenantes d'un projet communiquent et échangent leurs travaux. D'autre part, dans le cas d'un besoin de changement de spécification au cours du projet, les modifications à envisager

ne peuvent pas être facilement explicitées, ce qui mène souvent à redémarrer le cycle de développement depuis le début.

Dans le cadre de notre étude, nous serons donc attentif à, d'une part, apporter les outils pour faciliter les échanges entre les différentes disciplines du projet, et d'autre part, rendre la conception plus réactive aux changements de spécification.

A l'intérieur même d'un cycle de développement en V, la conception peut être vue sous deux angles : conception ascendante et descendante.

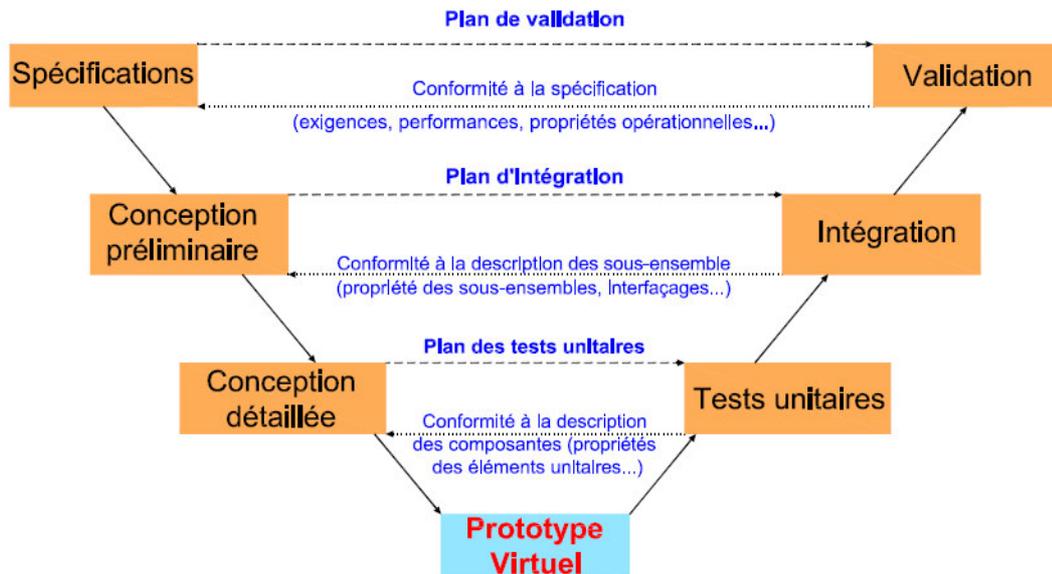


Figure 2.2. Cycle en « V » applicable aux différents niveaux de décomposition du système.

2.2.1. La conception ascendante (Bottom-up)

Les approches de conception ont souvent été dans le passé de nature ascendante (*Bottom-up*) ou propre à la situation (*Ad-hoc*). Dans cette approche, la démarche se focalise sur le composant élémentaire, constituant l'innovation. Puis, une fois celui-ci mis au point, les différentes parties; analogique, numérique et de puissance y sont rapportées. Il présente notamment comme défaut: le manque d'une vue architecturale du système et son optimisation, une nécessité d'effort important et un temps de calcul trop long pour une simulation du système à haut niveau [26].

2.2.2. La conception descendante (Top-Down)

Cette méthode est complémentaire de la précédente : elle s'efforce de rassembler au plus tôt toutes les données utiles à la conception et d'en faire une représentation aussi complète que possible [27]. Cette représentation est ensuite décomposée en sous-système qui seront ensuite décomposés à leur tour jusqu'à obtenir des modules simples. La conception se divise en trois phases principales:

- *Les spécifications* : Cette phase consiste à regrouper toutes les données concernant la description du système. Elles doivent apporter les informations relatives au fonctionnement, aux performances attendues, aux contraintes ou à toute autre forme d'information ou de recommandation non fonctionnelle telle que le coût, le poids, le volume, etc.
- *Le modèle architectural du système global* : Cette étape vise à établir une première base sur laquelle sera fondée le système. Le modèle est défini selon des fonctions décomposées en autant de sous fonctions que possible pour obtenir des fonctions élémentaires exploitables.
- *Le choix des composants et des technologies pour le prototypage virtuel* : Cette phase constitue une étape de vérification qui consiste à faire une représentation informatique du système à réaliser. Ce prototype sera le moyen de tester, d'optimiser et de valider le système sans recourir à plusieurs prototypes réels.
- *L'intégration* : Est considérée comme postérieure à la phase de conception.

Nous avons vu que l'intégration en électronique de puissance tend vers une architecture standard malgré la croissance constante de la complexité d'intégration. Or, comment gérer cette complexité croissante quand le marché demande une évolution constante des modules de puissance et ceci dans un temps très limité ? Nous décrivons ici le besoin d'une démarche de conception globalement descendante qui peut être initiée dès les premiers temps du développement, c'est-à-dire lorsque les spécifications du système sont décrites. Cette approche de conception, très en amont de la réalisation du système physique, doit être utilisée pour réaliser des analyses du système, exploiter différentes solutions architecturales, valider pas à pas la démarche de création du système.

La conception descendante pourrait viser un découpage du système en plusieurs sous modules et/ou phénomènes dès l'initiation du projet. Chaque module/phénomène concernerait un domaine spécifique, tel que l'électronique numérique, l'électronique de puissance, l'électronique analogique, le packaging, l'isolation électrique et thermique, les émissions électromagnétiques, etc. Chaque domaine a ses propres outils de modélisation, de simulation, de vérification, et de validation. Cette voie permet de créer des conceptions pour chaque domaine. En pratique, elle limite aussi les possibilités d'échanges entre ces disciplines de conception parallèles. De plus, elle diminue les possibilités de vérifications inter disciplinaires pour établir les premières étapes de validation du système complet.

Dans ce contexte, nous devons envisager d'effectuer un découpage fonctionnel du système en sous-système et identifier quel niveau d'abstraction peut y apporter plus de simplification à la conception.

En résumé, nous voulons considérer la conception comme une procédure permettant d'aller des spécifications du système à un partitionnement des tâches selon des disciplines bien répertoriées, tout en sachant que ces disciplines peuvent être différentes. Ils vont comporter alors le plus souvent des fonctions multidisciplinaires.

3. Méthodologie de la conception d'intégration en électronique de puissance

L'utilisation des techniques modernes assistées par ordinateur à la conception et l'ingénierie CAD/CAE (*Computer Assistance Design/Computer Assistance Engineering*) a considérablement réduit le prototypage réel et les coûts des essais. Cependant, ces outils sont généralement mono disciplinaires. Ainsi, la coordination et le partage des informations entre eux nécessitent beaucoup de moyen et un temps important. En conséquence, le niveau d'automatisation de conception et d'optimisation dans l'industrie électronique de puissance est beaucoup moins avancé que dans beaucoup d'autres industries de haute technologie.

Pour améliorer le processus de la conception d'intégration de puissance, des méthodologies multidisciplinaires ont été proposées dans l'industrie de ce type de composant [28]. Ces approches reposent sur deux aspects: la modélisation multidisciplinaire pour l'analyse d'ingénierie, et l'exploitation des outils existants de CAD/CAE. La modélisation multidisciplinaire est nécessaire pour saisir les relations inter-disciplinaires concernant les composants et leur environnement. Les analyses d'ingénierie basées sur ces modèles sont traditionnellement effectuées séparément avec des outils CAD/CAE, et sont conçus pour des domaines techniques spécifiques. Ils communiquent rarement les uns avec les autres. Il est important d'interconnecter ces outils afin que les données puissent être partagées par voie électronique entre les différentes disciplines. Ainsi, les itérations multidisciplinaires de conception et l'analyse peuvent être automatisées afin de faciliter et optimiser la conception.

Cette méthode d'intégration multidisciplinaire a été appliquée à la conception de modules intelligents de puissance ASIPM. La figure 2.3 illustre les quatre étapes fondamentales dans le processus de la conception d'intégration en électronique de puissance [29]:

1. La modélisation 3D de la géométrie du module de puissance,
2. L'extraction des paramètres électromagnétiques localisés des interconnexions et de package,
3. La modélisation et la simulation des circuits électriques,

4. La modélisation thermique et l'analyse du module de puissance par la technique des éléments finis.

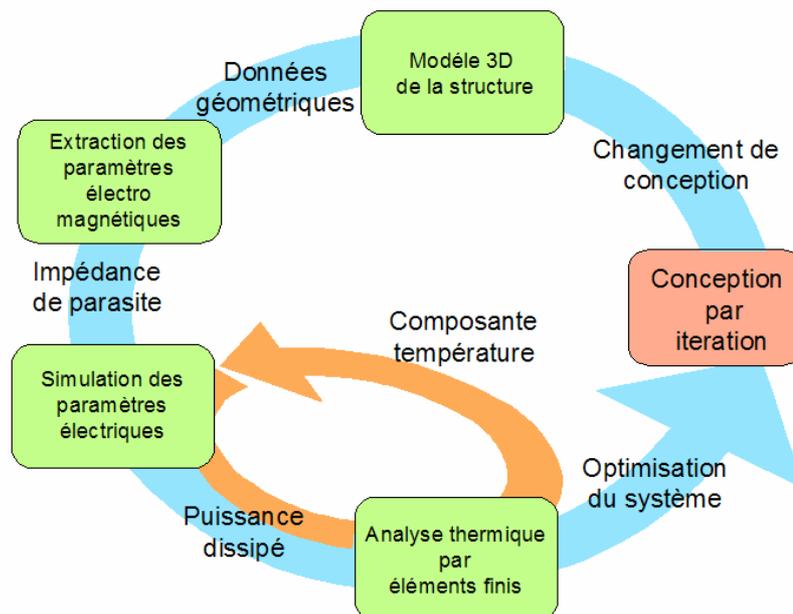


Figure 2.3. Processus d'analyse et de conception d'une intégration en électronique de puissance [29].

Tout d'abord, le modèle géométrique 3D du module de puissance est construit avec la MCAD (*CAO mécanique*) du système. Ce dernier doit être partagé entre l'environnement d'analyse thermique pour construire un modèle en éléments finis et l'environnement d'analyse du champ électromagnétique pour l'extraction des paramètres électromagnétiques du module de puissance. Les paramètres extraits sont utilisés dans un autre environnement de conception des circuits pour modéliser et simuler les propriétés d'interconnexion du module. La dissipation de puissance est calculée par l'outil de simulation des circuits, par la suite les résultats sont fournis à l'outil d'analyse thermique pour évaluer la distribution de température dans le module. Les températures des périphériques sont alors itérativement renvoyée aux outils de simulation des circuits pour réévaluer la dissipation de ce module.

On retrouve dans la littérature spécialisée une proposition de méthodologie de conception d'intégration en électronique de puissance pour améliorer l'aspect multidisciplinaire du processus de conception [30]. Cette méthode rationalise le processus de conception par l'utilisation des outils CAD existants pour réaliser une modélisation multidisciplinaire optimisée du système. La figure 2.4 illustre le concept général de cette méthodologie. Au lieu d'utiliser seulement l'aspect de la modélisation algébrique multidisciplinaire [31], cette nouvelle méthodologie s'appuie sur des modèles à différents niveaux d'abstraction pour des analyses multidisciplinaires. Les outils

CAO impliqués dans chaque discipline sont intégrés afin que les données puissent être partagées par voie électronique et les opérations sur les outils de CAO peuvent être contrôlées et automatisées par un outil externe du système d'optimisation.

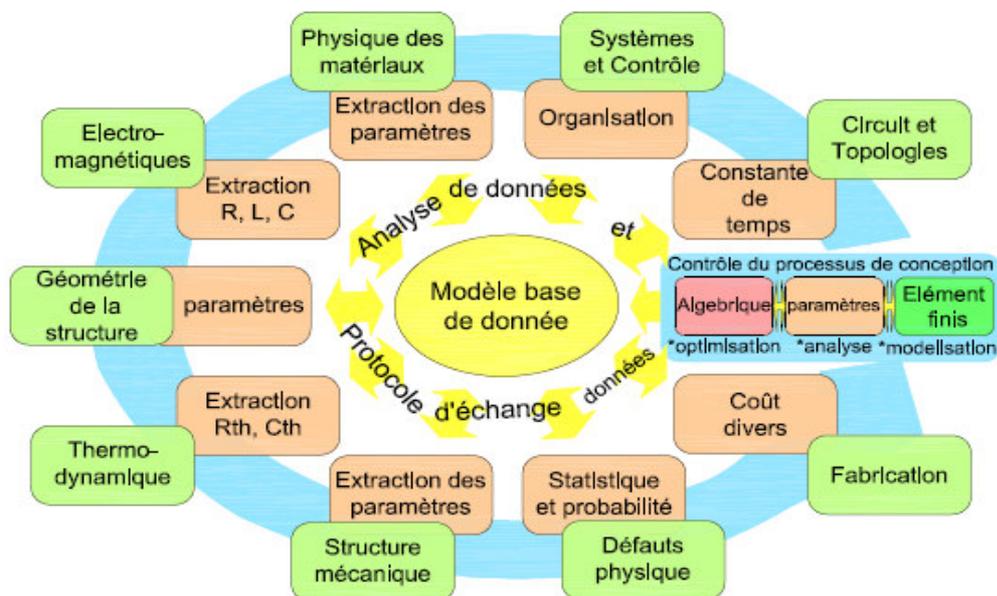


Figure 2.4. Méthodologie de conception par prototypage réel [30].

La figure 2.4 représente la conception d'une intégration en électronique de puissance et de ses flux de données. Le système peut accueillir deux importantes interactions multidisciplinaires pour la conception de modules en électronique de puissance:

- Les interactions multidisciplinaires séquentielles: Elles correspondent à la manière dont la structure géométrique et les matériaux "travaillent" ensemble pour déterminer à la fois les performances thermiques et les impédances parasites structurelles. Ceux-ci affectent à leur tour le comportement électrique du module de puissance.
- Les interactions multidisciplinaires co-dépendantes: Correspondent à la façon dont les comportements thermiques et électriques s'influencent mutuellement. Les caractéristiques électriques du système dépendront de la distribution thermique des composants. En même temps, la chaleur produite dépend de la perte de puissance.

La boucle intérieure de la figure 2.4 représente les modèles multidisciplinaires co-dépendants, qui doivent être calculés de manière itérative pour toute la configuration géométrique donnée jusqu'à ce que les résultats convergent.

La figure 2.5 illustre un exemple d'une plateforme de conception de modules de puissance [32].

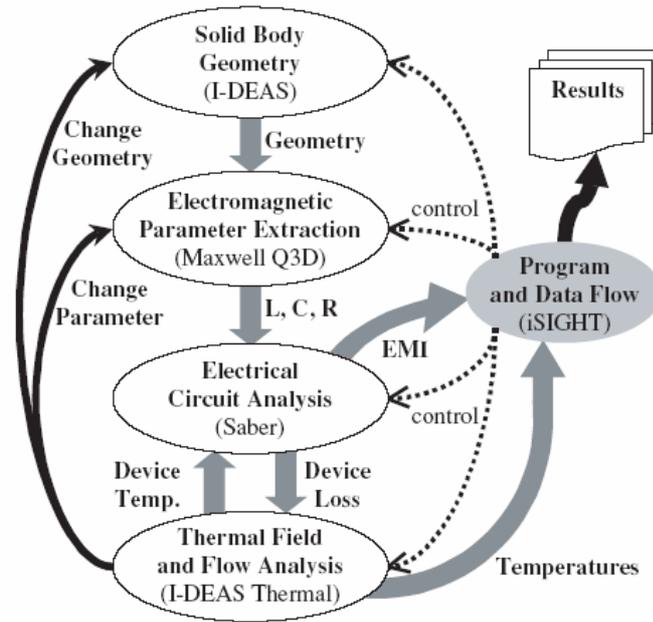


Figure 2.5. Méthodologie de conception associée aux outils d'analyse et de conception [32].

Au sein d'un cycle de conception de module électronique de puissance, le défi est de repousser le plus loin possible l'usage du prototypage physique. Pourtant la plupart des études préliminaires, lors de la conception de module de puissance, sont encore menées à l'aide d'outils multidisciplinaires et la validation finale ne peut se faire qu'à l'aide de prototypes physiques. Avec une telle méthode, les interactions entre disciplines ne sont ni étudiées, ni mises en valeur, et les validations deviennent coûteuses. Les projets sont très longs, le risque industriel (au sens du cycle de conception) n'est pas maîtrisé et les échecs sont courants. La conception et l'optimisation d'un module électronique de puissance par cycles itératifs de prototypage physiques et essais réels, en prenant en compte le contexte économique impose le passage au *prototypage virtuel*, suivi par une validation physique du composant de puissance.

4. Prototypage virtuel des systèmes intégrés de puissance

4.1. Prototypage virtuel

Le prototypage virtuel est un terme de plus en plus utilisé, mais qui revêt divers sens. Notamment le contenu technique et méthodologique couvert par le prototypage virtuel dépend du savoir faire des concepteurs qui le considèrent et des systèmes sur lesquels ils souhaitent l'appliquer.

4.1.1. Définition

Le prototypage virtuel permet, avant la réalisation matérielle, de montrer une "réalité virtuelle" tendant à représenter l'objet à réaliser le plus fidèlement possible.

Etant donné l'importance de l'aspect informatique de notre démarche, il est tout naturel de faire le point sur la place des outils logiciels dans la conception système. D'une simple aide complémentaire à la fin des années quatre-vingts, nous sommes arrivés à des supports de modélisations les plus complexes de projets complets.

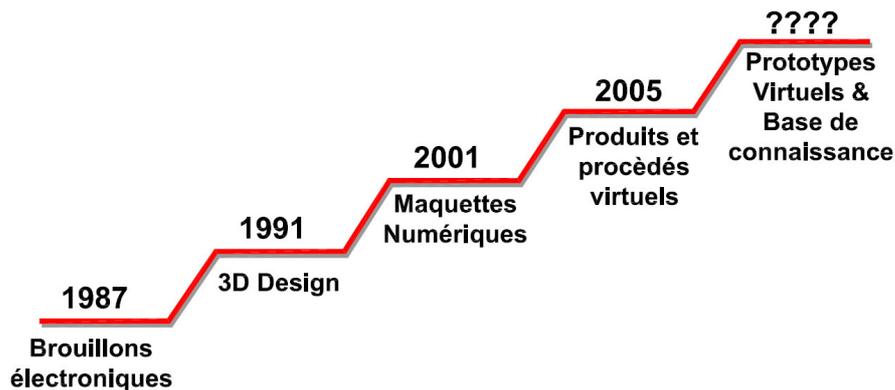


Figure 2.6. Evolution dans le temps de l'appui apporté par les outils informatiques.

Différentes raisons peuvent mener à faire appel au prototypage virtuel et cela peut intervenir à différents niveaux d'abstraction du cycle en 'V' [33]. Les objectifs peuvent être la conception d'un produit ou l'amélioration du dispositif que ce soit en terme de conception (réduire le cycle ou fiabiliser le circuit) ou en terme de technologie (amélioration des performances techniques du système). Les études commencent naturellement à partir des spécifications et d'un recensement des dispositifs existants. A partir des spécifications, le prototype virtuel peut demander plus ou moins de temps selon le niveau d'abstraction. Si par exemple, nous sommes à un niveau d'abstraction comportemental, la modélisation sera rapide dans la mesure où les étages sont représentés par leur fonction et non par leur description physique. Dans le cas, par contre, d'un niveau d'abstraction physique, les temps de conception sont augmentés puisque le

développement intègre la technologie (physique de la diode par exemple dans un bras d'onduleur). Dans tous les cas, les spécifications devront être établies en fonction du produit demandé et des dispositifs existants [34]. L'implémentation d'un prototype virtuel peut se faire par simulation ou co-simulation (simulation avec plusieurs simulateurs) [35].

4.1.2. Modélisation

La phase de modélisation est à la base de tout processus de conception. Cette tâche consiste essentiellement à développer une description abstraite d'une réalité physique de telle façon qu'elle soit utile pour le processus de conception.

Le modèle dépend du point de vue selon lequel on observe le système et ses caractéristiques, mais aussi suivant l'utilisation que l'on souhaite faire de ce modèle au sein du processus de conception.

4.1.2.1. Le niveau d'abstraction

La principale vocation d'un modèle est généralement la validation des caractéristiques d'une certaine partie du système ou de tout l'ensemble, au niveau des fonctionnalités ou des performances [36]. C'est la définition de ces caractéristiques et fonctionnalités qui fixe le niveau de détail à implémenter. Ce niveau de détail est communément appelé par les concepteurs niveau d'abstraction. Une fois le niveau d'abstraction fixé par le concepteur et validé par l'ensemble des collaborateurs du projet, conformément au cahier des charges, la modélisation peut commencer. Ce modèle ne sera pas valide en dehors du champ d'application préalablement fixé. En suivant une méthode de modélisation descendante, les détails omis peuvent être implémentés afin de valider d'autres caractéristiques du système et/ou de l'optimiser.

Cependant, les niveaux d'abstraction en analogique ne sont pas aussi bien définis qu'en numérique. En effet, le concepteur analogique, dans sa démarche de raffinement d'un niveau à un autre, doit tenir compte aussi bien des contraintes de vitesse et de précision que des données dont il dispose.

Les figures 2.7-(a) et (b) représentent ces domaines par trois axes indépendants et les niveaux d'abstraction par des cercles concentriques qui croisent les trois axes (avec les niveaux les plus abstraits à l'extérieur et les plus détaillés vers le centre). La figure 2.7-(a), représente la flot de conception numérique en "Y". La figure 2.7-(b), quant à elle, montre un schéma en "Y" inspiré du flot numérique. Ce flot, initialement proposé par Gajski [36] et abondamment repris dans la littérature, a été adapté au flot de conception analogique [37].

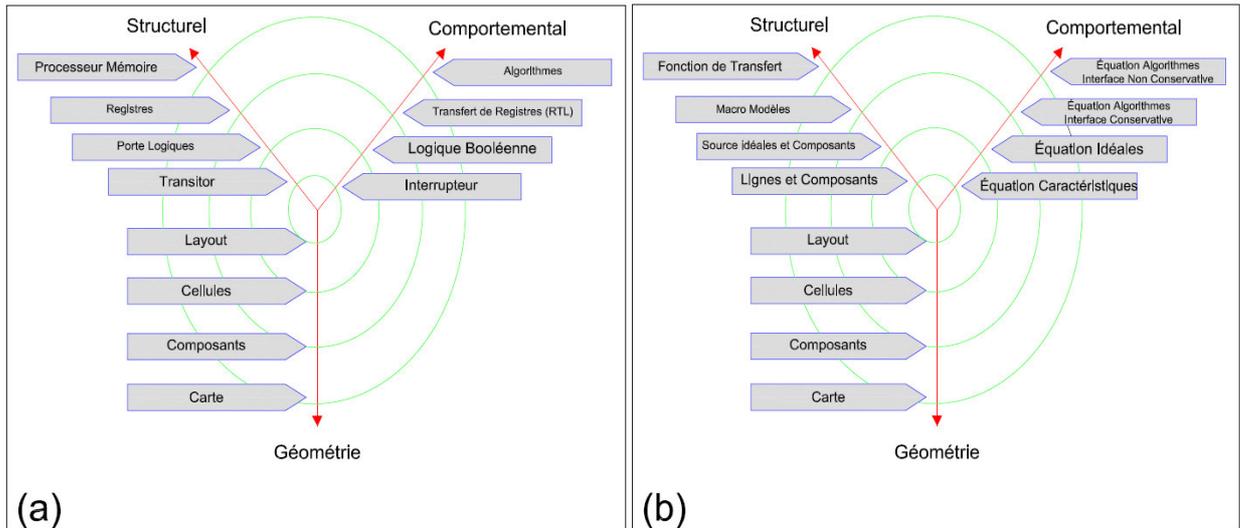


Figure 2.7. Les différents niveaux d'abstraction dans une conception (a)-numérique et (b)-analogique [36].

4.1.2.2. Les différents types de modélisation

Dans la stratégie de conception pour l'intégration en électronique de puissance, plusieurs approches de modélisation sont abordées:

La première approche de modélisation fonctionnelle, consiste en une représentation des fonctions sous forme de schéma blocs.

Celles-ci ne sont pas spécifiques en une technologie particulière. Ils remplissent en quelque sorte une fonction mathématique, valable pour toute technologie.

La deuxième approche correspond à la modélisation comportementale. Elle est particulièrement bien adaptée dans le cadre d'un objectif système permettant d'obtenir rapidement le gabarit électrique, thermique, électromagnétique,..., etc. de la fonction voulue.

La dernière approche de modélisation correspond aux modèles physiques. Cette approche est, a priori, la plus lourde à mettre en oeuvre mais elle permet de valider définitivement des idées de structures et de déterminer les nouvelles inter-actions physiques qui peuvent être mises à profit.

Le tableau 2.1, représente une comparaison entre les trois différentes approches de modélisation utilisées pour la conception de l'intégration de puissance.

	Modélisation Fonctionnelle	Modélisation comportementale	Modélisation physique
Niveau d'abstraction	<i>Système</i>	<i>Niveau structure</i>	<i>Composant/phénomène</i>
Extraction de paramètres	<i>Facile</i>	<i>Facile</i>	<i>Difficile</i>
Formulation mathématique du modèle	-Equations algébriques -Equations booléennes -Equations différentielles	<i>Fonctions de transfert</i>	<i>Lois physiques</i>
Taux de la convergence du modèle	<i>Élevée</i>	<i>Élevée</i>	<i>Faible</i>
Précision	<i>Médiocre</i>	<i>Acceptable</i>	<i>Très précis</i>
Vitesse de simulation	<i>Rapide</i>	<i>Dépend de la précision</i>	<i>Médiocre</i>
Interaction multidisciplinaire	<i>Non</i>	<i>Oui</i>	<i>Oui</i>

Tableau 2.1. Comparaison entre les trois approches de modélisation d'intégration en électronique de puissance.

4.1.2.3. Les langages de modélisation

Les exigences de la technologie et du marché de l'électronique de puissance imposent l'utilisation de langages de modélisation capable de traiter simultanément les domaines analogiques (multidisciplinaire) et numériques [38]. Nous devons donc sélectionner un langage le mieux adapté à nos besoins de modélisation mixte et multi domaines.

Nous citons les langages, les plus connus, pour la modélisation numérique et pour la modélisation mixte multi domaines.

Le tableau 2.2, rassemble les aspects les plus importants de caractéristique de ces langages et indique comment chaque langage, actuellement, supporte ces aspects [39], [40], [41], [42], [43], [44] et [45].

		Langages de modélisation mixte (multidisciplinaire)				
Langages de modélisation numérique		VHDL-AMS	Verilog-AMS	Mast	Modelica	Band de graphe
	VHDL	Verilog				
Définition	Norme IEEE 1076	Norme IEEE 1364	Norme IEEE 1076.1-2007	Langage propriétaire lié à l'outil SABER	Modelica specification 3.0	Est une représentation graphique d'un système dynamique physique
Paramètre du modèle	Paramètres génériques	Paramètres génériques	Paramètres génériques	Paramètres génériques	Paramètres	-
Multi disciplines	Non	Non	Oui	Oui	Oui	Oui
Signaux mixtes	-	-	Interface A/N	Interface A/N	Interface A/N	-
Equations Algébrique et Différentielle (DAE)	Equations booléennes	Equations booléennes	Forme explicite et forme implicite des équations d'ordre n	Forme explicite et forme implicites des équations d'ordre 1	Forme explicite et forme implicite des équations d'ordre 1	Système d'équations différentielles ordinaires dans le d'un système causal
Critère de solvabilité	Non nécessaire	Non nécessaire	Critère de solvabilité nécessaire mais non suffisant	Non	Non	Causalité
Type de simulation	Temporelle	Temporelle	Temporelle (TR, DC), petits signaux (AC), analyse fréquentielle du bruit	Statique DC, temporelle fréquentielle et analyse du bruit	Temporelle (TR,DC)	Temporelle (TR, DC)
Exemple d'outil	Simplorer	VerilogXL	hAMSter, Ansoft	Saber	Dymola	PACTE

Tableau 2.2. Les aspects des langages de modélisation numérique et mixte.

4.1.3. Simulations

Historiquement, les outils de la conception électronique ont été orientés, soit vers les systèmes analogiques, soit vers les systèmes numériques. Nous pouvons observer que les applications numériques ont évolué plus rapidement en raison de l'utilisation croissante des calculateurs et de l'effet de masse des marchés des produits "grand public". Nous nous intéressons ici aux systèmes mixtes qui sont un point clé au carrefour des outils analogiques et des outils numériques [39], [46] et [47].

Le tableau 2.3, représente une récapitulation des caractéristiques de la simulation numérique, analogique et mixte.

	<i>Simulation numérique</i>	<i>Simulation analogique</i>	<i>Simulation mixte (A/N)</i>
<i>Variables/inconnues</i>	<i>Signaux logiques</i>	<i>Grandeurs physiques</i>	<i>Grandeurs physiques et Signaux logiques</i>
<i>Représentation de temps</i>	<i>Discret, Multiple du MRT (Minimum Resolvable Time)</i>	<i>Réel</i>	<i>Interface de synchronisation</i>
<i>Méthodes d'intégration numérique</i>	<i>Pas d'intégrateur</i>	<i>Euler, Rung Kutta, Trapèze</i>	<i>Euler, Rung Kutta, Trapèze</i>
<i>Gestion de temps</i>	<i>Dirigé par événement</i>	<i>Continue avec un pas d'intégration variables</i>	<i>Interface de synchronisation</i>
<i>Type d'analyse</i>	<i>Temporelle</i>	<i>Temporelle, DC, AC</i>	<i>Temporelle, DC, AC avec l'état logique est stable</i>
<i>Exemple du simulateur</i>	<i>VHDL, Verilog</i>	<i>SPICE</i>	<i>VHDL-AMS, Veilog-AMS</i>

Tableau 2.3. Caractéristiques des simulations numérique, analogique et mixte.

4.2. Méthodologie de conception d'une commande intégrée pour les machines électriques

4.2.1. Le système de commande

En électrotechnique, le système de commande se réduit souvent à l'algorithme de contrôle de la chaîne d'entraînement avec éventuellement l'acquisition des mesures et des consignes.

Or cette acceptation restreinte du concept de commande ne nous paraît pas adaptée à la réalité. Il est très rare de trouver une application se limitant à une chaîne d'entraînement et l'électronique du système de commande intégrant seulement l'algorithme de contrôle. Dans la plupart des cas, le système de commande doit intégrer également des blocs d'interfaçage, de mesure, de surveillance, etc.

Définir la fonctionnalité du système de commande comme le seul algorithme de contrôle et se limiter à l'étude de l'intégration de ce bloc est inadapté par rapport à la réalité.

Nous préférons donc définir la fonctionnalité du système de commande de la chaîne d'entraînement comme l'ensemble des fonctions génériques indispensables au contrôle de l'entraînement et à son intégration dans un système plus complexe.

La figure 2.8, représente notre vision de la répartition hiérarchique des tâches du système de commande dans une application complexe et leur situation par rapport à la chaîne d'entraînement. Ceci dit, nous posons cette limitation dans le cadre de ce mémoire afin de montrer que la méthodologie d'intégration que nous proposons permet de traiter des cas réels. Nous ne prétendons pas que la commande se réduit nécessairement aux seules fonctions génériques que nous décrivons maintenant.

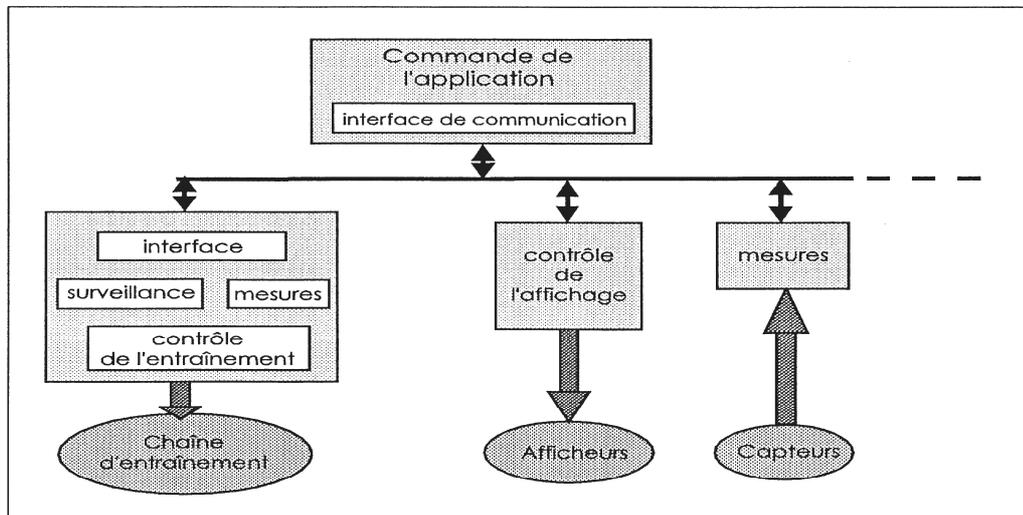


Figure 2.8. Exemple de hiérarchie de commande.

4.2.1.1. Fonctions génériques du système de commande

Le système de commande que nous définirons est décomposé en deux blocs (figure 2.9):

Le premier bloc, appelé *bloc d'interface*, il représente le lien entre la chaîne d'entraînement ou le *bloc de puissance* et le *bloc de commande*. Il regroupe les drivers de commande des interrupteurs de puissance et l'interface d'entrée. L'interface d'entrée est principalement constituée par les

capteurs et par l'électronique analogique de la chaîne d'acquisition. Cette électronique contient notamment les fonctions de la mise en forme des signaux mesurés (filtres, amplificateurs ou atténuateurs, etc.) et les convertisseurs Analogique- Numérique (CANs).

Le second bloc, appelé *bloc de commande*, gère la régulation des grandeurs mécaniques de sortie à partir des grandeurs électriques et mécaniques mesurées, des consignes de commande et de l'algorithme de commande.

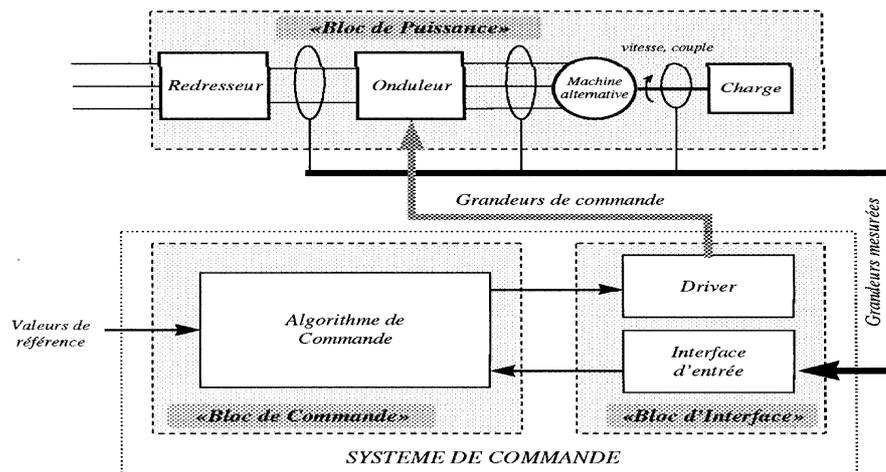


Figure 2.9. Composition d'une chaîne d'entraînement électrique.

Abordons à présent le détail et la décomposition fonctionnelle de ces deux blocs caractérisant le système de commande.

- Le bloc d'interface

Nous avons vu précédemment que le *bloc d'interface* est constitué de deux entités distinctes. La première, l'interface d'entrée [48], regroupe un ensemble de sous fonctions:

- les capteurs électriques et mécaniques (courant et tension, vitesse ou position du rotor de la machine),
- l'électronique analogique de conditionnement (filtre anti-repliement, compensateur d'offset, échantillonneur - bloqueur),
- les convertisseurs Analogiques Numériques.

La seconde entité, correspondant à l'interface de sortie, est constituée uniquement de l'élément de commande et de protection des interrupteurs de puissance: le driver. La figure 2.10 présente les éléments de l'interface dans un système de commande de machine alternative.

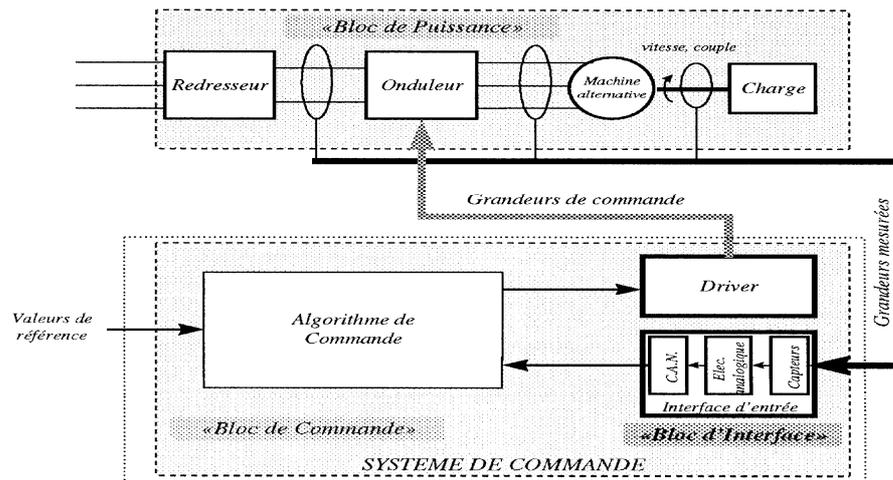


Figure 2.10. Présentation des éléments du bloc d'interface dans un système de commande.

- Le bloc de commande

Pour faciliter l'implantation du *bloc de commande*, et notamment son intégration sur circuit intégré, un découpage fonctionnel peut être proposé en s'appuyant sur la base de travaux décrits dans la littérature [49]. Nous prendrons ainsi une représentation modulaire du *bloc de commande*: le module *commande rapprochée* et le module *commande algorithmique*, (figure 2.11).

- La *commande rapprochée* rassemble les fonctions de contrôle et de réglage des éléments de puissance; nous pouvons citer comme exemple très courant le modulateur à largeur d'impulsion (MLI).
- La *commande algorithmique* regroupe quant à elle, les fonctions d'estimation et de régulation de la commande.

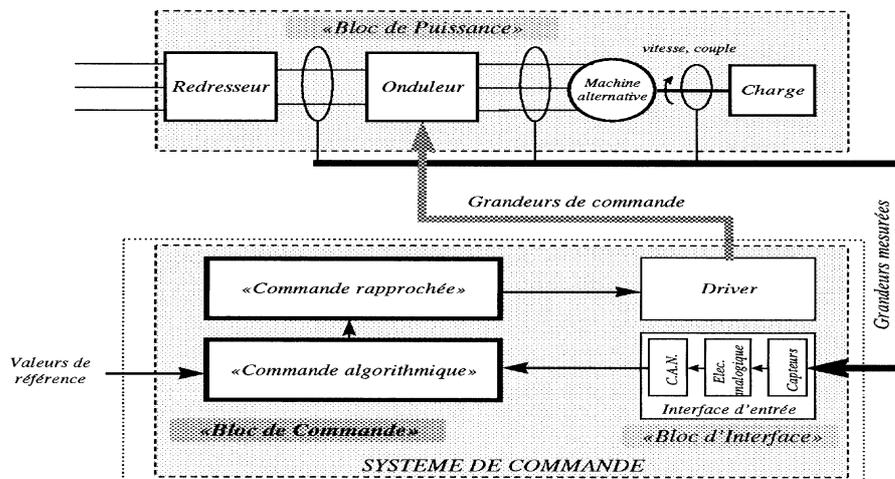


Figure 2.11. Découpage fonctionnel de la commande.

Cette décomposition fonctionnelle est nécessaire en vue de l'implémentation du système de commande proprement dite. Nous présenterons en effet dans ce chapitre les différentes possibilités d'intégration selon le découpage fonctionnel que nous allons présenter.

4.2.1.2. Les différents types de processeur dédiés à la commande des machines électriques

L'électronique numérique fait référence à deux catégories de composants intégrés. La première regroupe les circuits intégrés non spécifiques. La seconde catégorie fait référence aux circuits intégrés spécifiques, nommés encore circuits intégrés à application spécifique ASIC [2], [50] et [51].

Le tableau 2.4, représente un résumé sur les caractéristiques de différents types de processeur dédiés à la commande des machines électriques.

Circuits intégrés dédiés à la commande des machines électriques									
Circuits intégrés non spécifiques					Circuits intégrés spécifiques				
Processeurs Standards			Processeur de signaux numériques		Circuits personnalisés "Custom"		Circuits semi personnalisés "Semi custom"		
CISC	RISC	DSP non dédié	Micro-contrôleur	DSP dédié	Circuits "Full custom" ASIC	Circuits pré caractérisés "Standards cells"	Circuits prédifusés "ASIC Gate Array"	Circuits configurables (PLD, EPLD, EEPLD)	Circuits prédifusés programmables (FPGA)
-Facilité de programmation d'un algorithme de commande	-Jeux d'instruction limité -Architecture pipeline -Circuit très rapides	-Architecture Harvard -Accès séparé aux données (parallèle) -Vitesse de traitement très élevée -Emploi très facile des fonctions mathématiques	-UC simplifiée -Possibilité d'implanter MLI -Possibilité d'implanter les CNA	-UC puissante -Architecture double Bus -Précision élevée -Programmation par MATLAB/ Simulink -Possibilité d'adapter les circuits périphériques	-Le concepteur définit les cellules de base, leur nombre, leur disposition, le nombre de plots E/S... -Circuits optimisés en performances -Circuits optimisés en densité d'intégration	-Bibliothèque de fonctions préconçues optimisées -Fonctions génériques	-Matrice de fonctions logiques non encore connectées -Le nombre de plots E/S est limité	-Circuit programmable une seule fois -Circuits effaçables par ultraviolets ou par signal électrique	-Circuits prédifusés -Circuits programmables par les points de jonction entre les cellules de base

Tableau 2.4. Caractéristiques de différents types de processeur dédiés à la commande.

4.2.1.3. Choix de la commande

En résumé, nous pouvons choisir entre trois types de commande: Les *Commandes Directes et Indirecte à flux rotorique orienté* et la *Commande Directe du Couple*. Les deux premières sont intéressantes sur une large plage de vitesse. Elles permettent en outre un découplage parfait entre le contrôle du flux et celui du couple. Toutefois, dans le cas de la commande vectorielle, les nombreuses fonctions de calculs; le modèle machine complexe et de surcroît la fonction de MLI, sont des obstacles importants à l'intégration complète de la commande. Par ailleurs, l'utilisation d'un capteur mécanique augmente le coût du système de commande et accroît les problèmes de fiabilité. La commande Directe du couple est, quant à elle, beaucoup plus simple. (cf. chapitre 3 §2.1.3), la DTC ne nécessite pas de mesure mécanique comme c'est le cas pour les commandes vectorielles à flux rotorique orienté. Son algorithme de calcul est par ailleurs simple puisque lié à un modèle machine où le seul paramètre intervenant est la résistance statorique. En outre, la MLI est remplacée dans cette commande par une simple table de commutation ce qui rend d'autant plus facile l'intégration des deux modules du bloc de commande (commande rapprochée et commande algorithmique). Le tableau 2.5 résume les performances des trois types de commande par rapport aux cibles d'intégration. Il permet également de comparer les méthodes et les techniques d'implémentation actuelles de la commande rapprochée et de la commande algorithmique [49].

A la lecture de ce tableau, nous en concluons que la commande Directe du Couple est la mieux adaptée pour être entièrement intégrée sur un ASIC.

Dans le chapitre 3, nous reviendrons sur le principe de base de la commande Directe du Couple. Ce principe sera validé dans un environnement de simulation et de calcul formel tel que Matlab/Simulink.

Type de commande		Commandes Vectorielles		
		Commande Indirecte à flux Rotorique Orienté	Commande Directe à flux Rotorique Orienté	Commande Directe du Couple
Comportement à basse vitesse		Bon	Bon	Médiocre
Adaptation aux survitesses		Trop complexe	Trop complexe	Oui avec de bonnes performances
Sensibilité aux variations de paramètres machines		Très grande	Grande	Moyenne
Commande Rapprochée	Méthodes	MLI intersective ou Vectorielle	MLI intersective ou vectorielle Commande par Hystérésis	Table Optimale de commutation (Pas de MLI)
	Implantation	Processeur seul ou ASIC associé à μ P, DSP	Processeur seul ou ASIC associé à μ P, DSP	Généralement associée à la Commande Algorithmique
Commande Algorithmique	Méthodes	Modèle Complexe régulateur, capteur mécanique	Modèle complexe, régulateur PI, capteur mécanique	Modèle simple, pas de capteur mécanique
	Implantation	DSP ou μ P	DSP ou μ P	DSP ou μ P Intégration possible dans un ASIC

Tableau 2.5. Critères de choix des commandes par rapport aux cibles d'intégration.

4.2.1.4. Techniques d'intégration de la de commande

Nous étudions dans cette partie les différentes solutions de l'intégration de la commande, telles que, l'implémentation Software, l'intégration mixte Software/Hardware et finalement l'intégration Hardware.

a. Implémentation Software :

Certains systèmes de commande sont conçus autour de DSPs et de microcontrôleurs permettant l'implémentation efficace d'algorithmes de commande complexes tout en restant relativement économiques. L'implantation du contrôleur digital étant possible à partir de langages de programmation évolués tels que les langages C/C⁺⁺.

Cependant, les DSPs et les microcontrôleurs sont conçus pour couvrir une large gamme d'applications [52]. Toutefois, même s'ils disposent de fonctions spécifiques aux commandes (ex. MLI), ils ne permettent pas de répondre de manière optimale à des cas plus précis tels que la commande vectorielle.

b. L'implémentation mixte (Software/ Hardware) :

Pour toutes les raisons évoquées précédemment, les circuits intégrés numériques (processeurs standard et processeurs dédiés), sont actuellement très utilisés lors de la conception de commandes évoluées. Pour pouvoir améliorer leurs performances, les concepteurs ont commencé par associer des circuits intégrés spécifiques à ces processeurs. Les premiers travaux d'implémentation mixte (logiciel/matériel) avaient ainsi principalement pour but d'alléger les temps de calcul ou de test de nouvelles fonctionnalités de commande. Ce concept mixte, nommé plus généralement **Codesign**, fait alors référence à de nouvelles méthodologies et à de nouveaux outils d'intégration [48]. Désormais, l'implémentation logiciel/matériel fait référence à des méthodologies et à des outils d'intégration judicieusement choisis permettant d'aborder l'implémentation d'une fonctionnalité (protocoles, algorithmes, fonctions logiques, etc.) de façon méthodique.

L'implantation d'une commande sur plusieurs circuits intégrés, est réalisée par l'association de circuits intégrés programmables (processeurs numériques, processeurs numériques dédiés) et de circuits intégrés spécifiques (ASIC). Cette caractérisation est particulièrement bien adaptée pour une structuration fonctionnelle de la commande. Ainsi, par exemple, la "commande algorithme" peut être implantée sur des cibles "logiciels" (processeur numérique) et la "commande rapprochée" sur des cibles "matériels" (ASIC), (figure 2.12).

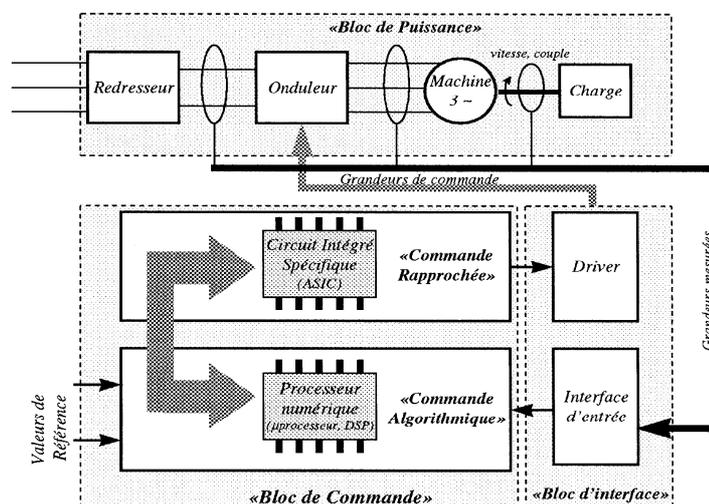


Figure 2.12. "Intégration partagée" entre processeur et circuit intégré spécifique.

Les énormes ressources logiciels, alors nécessaires à l'implémentation d'une commande évoluée sur un processeur, sont diminuées dès que le sous-ensemble de la "commande rapprochée" est implanté dans un circuit intégré spécifique.

Cet aspect d'implémentation a fait l'objet de plusieurs travaux se rapportant plus particulièrement de la commande vectorielle. La "commande rapprochée" concerne alors principalement la fonction de génération de la MLI [53].

Ces différentes études sont généralement menées dans le but d'améliorer la performance des systèmes de commande en réduisant, par exemple, les harmoniques et les pertes par commutations dans les onduleurs.

c. Implémentation Hardware :

L'implémentation de la commande des machines à courant alternatif en général et des machines asynchrones en particulier a été pendant longtemps réalisée sur circuits intégrés non spécifiques. Il aura fallu attendre ces dix dernières années pour voir les premières applications utilisant des circuits intégrés à application spécifique.

Aujourd'hui, avec le développement des outils et des technologies d'intégration, nous voyons apparaître régulièrement des réalisations à base d'ASICs dans le domaine de la commande numérique de machines alternatives.

Deux tendances se démarquent alors dans les travaux de recherche sur l'intégration de la commande. Nous les définissons par *l'intégration partagée* et *l'intégration unique*. Il s'agit respectivement de techniques d'intégration sur plusieurs ou un seul circuit intégré.

Remarque: le terme intégration partagée est utilisé dans notre cas, seulement pour l'intégration sur plusieurs ASICs et non pas à l'association ASICs/processeurs numériques.

- *Implémentation de la commande sur plusieurs circuits intégrés "l'intégration partagée"*

Cette solution concernait l'intégration sur plusieurs ASICs ou FPGAs. Elle est souvent considérée comme une démarche intermédiaire vers l'intégration complète du "bloc de commande" sur un seul circuit intégré spécifique.

Le principe de *l'intégration partagée* est particulièrement intéressant si le "bloc de commande" s'avère complexe. Dans ce procédé, la "commande algorithmique" et la "commande rapprochée" sont toujours dissociées. Un circuit intégré spécifique regroupe généralement les fonctions de la "commande rapprochée".

Plus récemment, outre l'intégration de fonctions sur ASIC, de nombreux travaux d'intégration complète du "bloc de commande" sur plusieurs circuits intégrés spécifiques (figure 2.13), ont été développés dans la littérature scientifique [54].

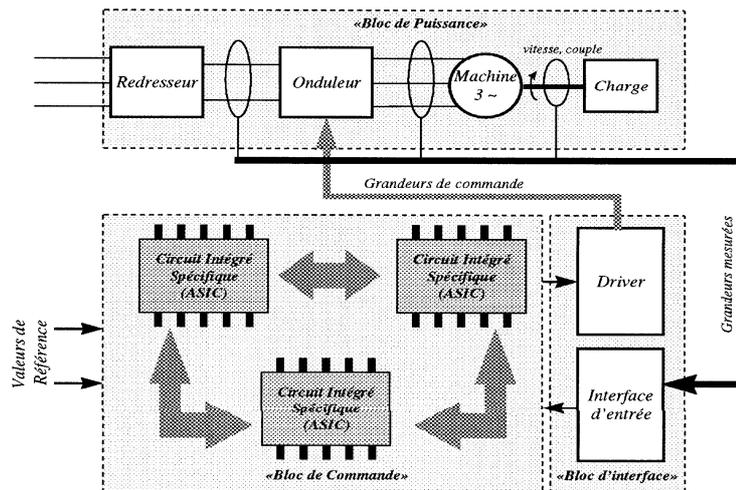


Figure 2.13. "Intégration partagée" entre plusieurs circuits intégrés spécifiques.

Le fait d'intégrer "le bloc de commande" dans plusieurs ASICs peut être une solution rapide pour la réalisation de prototypes de commande intégrée dans un seul circuit intégré spécifique. Par ailleurs, l'aspect modulaire d'un tel dispositif assure une meilleure souplesse de conception et de test. L'utilisation de FPGA est alors privilégiée. Les travaux de recherche sur l'intégration d'une commande vectorielle, ont permis de réaliser une architecture particulière, privilégiant des structures de calculs parallèles. Une implémentation sur huit FPGAs a été réalisée et une comparaison avec la même commande par microcontrôleur a été effectuée [54]. La supériorité des performances de la commande par FPGA, caractérisée en particulier par la réduction du temps de calcul et du temps de cycle de contrôle, permettent actuellement aux concepteurs d'envisager un système de commande multi-machines sur un seul circuit intégré spécifique.

- Implémentation sur un seul circuit intégré spécifique "intégration unique"

L'intégration complète du "bloc de commande" sur un seul circuit intégré spécifique, appelée l'*intégration unique*, est une technique beaucoup plus récente [49]. Cette solution a été développée avec les derniers progrès de la Micro-électronique. Citons à titre d'exemple, l'augmentation constante du nombre de semi-conducteurs par millimètre carré de silicium ou l'évolution et le développement des techniques et des outils d'intégration.

La solution de l'*intégration unique* s'avère intéressante pour l'étude de nouveaux procédés mathématiques lors de l'implémentation de la "commande algorithmique".

Les commandes intégrées sur un seul ASIC, s'inspirent souvent d'une architecture de type *Von Neumann* utilisée dans les microprocesseurs standard. La figure 2.14, montre les cinq éléments de base définissant une telle structure: la mémoire, l'unité arithmétique et logique, l'unité de contrôle et les dispositifs d'entrées et de sorties.

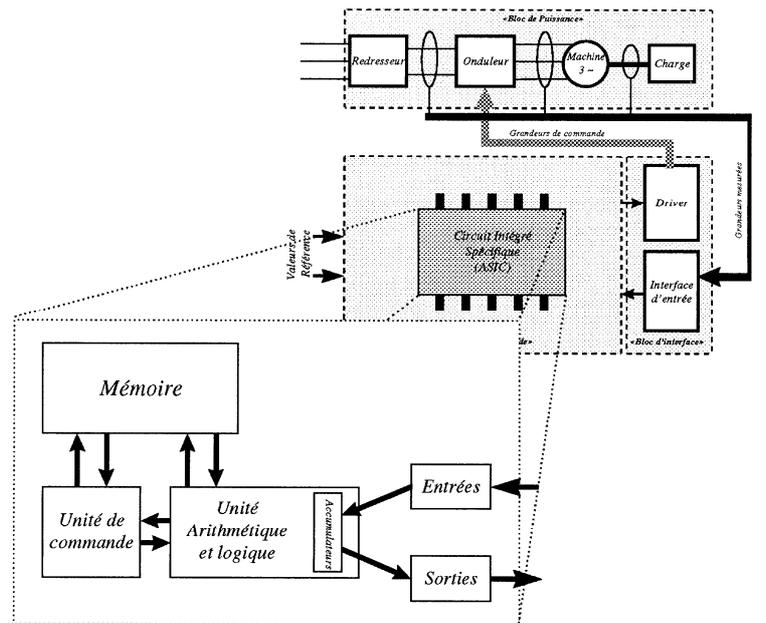


Figure 2.14. Schéma structurel de la machine Von Neumann.

Toutefois, les éléments d'entrées et de sorties, l'unité arithmétique et logique ou encore l'unité de commande ont été chaque fois adaptés aux besoins de l'algorithme choisi.

Les nouvelles théories mathématiques, telles que les réseaux de neurones, associés aux derniers progrès de la Micro-électronique laissent entrevoir de futures possibilités d'intégration de commande. Les intérêts de ces techniques se caractérisent par l'optimisation du nombre de portes logiques.

4.2.2. Elaboration d'une méthodologie descendante "Top-down" pour la conception d'une commande intégrée d'une machine asynchrone

Dans cette partie, nous décrivons les principes constituant une méthodologie d'analyse et de conception, c'est la méthodologie descendante dit "**Top-Down**". Celle-ci est en effet la mieux adaptée à la réalisation d'un circuit intégré numérique conçu à partir de la description comportementale de haut niveau.

Nous présenterons une méthodologie adaptée à notre application et basée sur les démarches du diagramme (figure 2.15). La hiérarchisation des niveaux de description sera ainsi définie. Pour chaque description, nous présenterons le modèle et les outils qui lui sont associés.

Dans notre cas, et vu l'importance des calculs mathématiques au niveau du "bloc de commande" à intégrer, il nous a semblé évident d'adopter une méthodologie descendante. En effet, celle-ci permet de résoudre progressivement les difficultés d'intégration en passant par des niveaux de

description de plus en plus détaillés. La figure 2.15 présente la démarche générale appliquée en conception descendante [55] et [56].

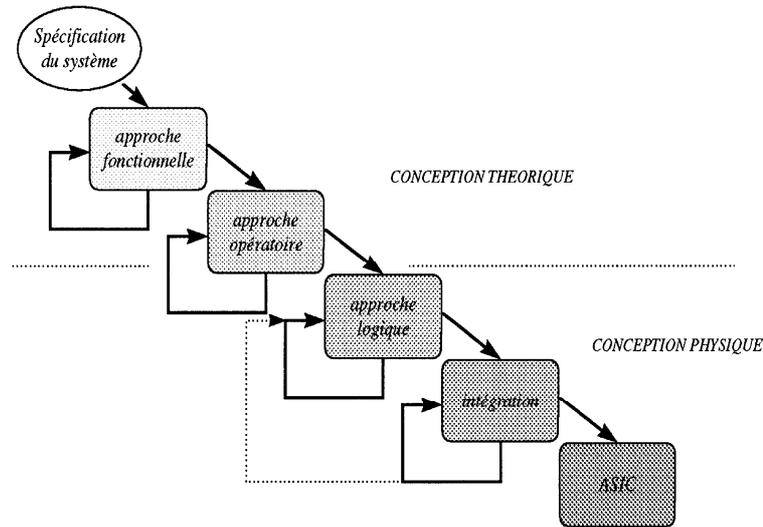


Figure 2.15. Démarche générale de conception descendante.

	<i>Approche fonctionnelle</i>		<i>Approche opératoire</i>	<i>Approche logique</i>		<i>Intégration physique</i>
<i>Modèles</i>	<i>Spécification du système</i>	<i>Modèle comportemental de haut niveau</i>	<i>Modèle comportemental d'implantation algorithmique</i>	<i>Modèle architectural</i>	<i>Modèle logique</i>	<i>Modèle électrique</i>
<i>Description</i>	<i>Permet de valider le principe de la commande</i>	<i>Définit et valide les caractéristiques temporelles et mathématiques de la commande</i>	<i>Description de l'adaptation de l'algorithme au numérique : format binaire, opérateurs, méthodes de calcul numérique, etc.</i>	<i>Exprime les modules exécutifs synthétisables des fonctionnalités de l'algorithme de commande à intégrer</i>	<i>Modélise un circuit par un ensemble interconnecté de fonctions logiques de faible complexité</i>	<i>Description électrique : représente le circuit sous la forme d'éléments transistors interconnectés de façon à assurer la fonctionnalité du circuit spécifiée par les descriptions définies précédemment.</i>
<i>Outils</i>	<i>Matlab/ Simulink</i>	<i>VHDL-AMS</i>	<i>VHDL</i>	<i>Editeur de texte et compilateur</i>	<i>Synthétiseur numérique</i>	<i>Outil de placement et routage</i>

Tableau 2.6. Hiérarchisation des approches associées aux modèles et outils adéquats.

La description de tout système complexe peut être facilitée par la hiérarchisation de niveaux de description [57]. A chaque niveau de description, un modèle et ses outils sont alors spécifiés pour l'étape de conception en cours (Tableau 2.6).

Le principe de la méthodologie *Top-Down* ayant été défini dans le paragraphe précédent, nous présentons par la suite la méthodologie élaborée en vue de l'étude et de la conception d'une commande intégrée.

4.3 Méthodologie de conception du bloc d'interface du système de commande de type analogique et mixte

4.3.1. Modélisation de circuits intégrés analogiques et mixtes

Lors de la conception de circuits intégrés analogiques tels qu'un amplificateur opérationnel ou un filtre, des *modèles de composants* (transistors, diodes, résistances, capacités,...) sont utilisés par un simulateur électrique, dit analogique (le logiciel *SPICE* est le plus connu). Ces modèles décrivent les relations macroscopiques entre tensions et courants des diverses bornes, sous forme d'équations différentielles. Il s'agit donc d'une représentation mathématique de phénomènes physiques auxquels obéissent les composants.

En effet, de nombreux phénomènes peuvent être pris en compte en plus de la fonction nominale: les éléments parasites d'entrée/sortie, les non-linéarités, le bruit, la dépendance des paramètres par rapport à la température, leurs variations en fonction des fluctuations statistiques technologiques...etc.

De plus, dans le cas de circuits échantillonnés (CAN et CNA), les représentations temporelles et fréquentielles sont très différentes. En fait, le contenu des modèles analogiques dépend surtout de la précision souhaitée et des analyses envisagées par l'utilisateur. C'est pourquoi, pour faciliter l'écriture des équations de ces modèles, des outils doivent être étudiés et des méthodologies définies. Cela peut concerner soit la génération des équations à partir du schéma du circuit, soit la simple détermination des paramètres.

4.3.2. Simulation de circuits intégrés analogiques et mixtes

La référence en matière de *simulateur analogique* de circuits intégrés est toujours le logiciel *SPICE* [58]. Il a donné lieu à de nombreuses versions industrielles basées sur un même langage de *description structurelle* (*SPICE*). Une bibliothèque de composants modélisés dans le code même du simulateur est fournie et comporte des éléments passifs (résistances, capacités, inductances, inductances mutuelles), des composants semi-conducteurs (diodes, transistors bipolaires, à effet de champ JFET et MOSFET), des sources idéales indépendantes de tension et de courant et enfin des sources idéales contrôlées polynômiales (sources de tension ou sources de

courant contrôlées par des tensions ou des courants). L'écriture de nouveaux modèles de composants est une tâche difficile de programmation, qui dépend des algorithmes utilisés par le simulateur. Elle est donc réservée à des spécialistes.

En plus des *simulateurs électriques* tels que SPICE, il existe d'autres types de simulateurs spécifiques pour le domaine analogique.

Toutefois, les simulateurs *symboliques*, tels que ISAAC [59] ou ASAP [60], sont utilisés essentiellement dans le cadre de la synthèse analogique pour l'optimisation de paramètres de conception. Applicable à des circuits linéarisés, l'analyse symbolique consiste à déterminer des équations analytiques de certaines caractéristiques du circuit (fonctions de transfert, impédances d'Entrée/Sortie, facteurs de réjection d'alimentation) en fonction des éléments du circuit ou symboles. Ces formules peuvent être ensuite évaluées très rapidement [61], [62].

Les *simulateurs mixtes analogique-digitale*, tels que VHDL-AMS, Verilog-AMS, MAST ou HDL-A, permettent d'étudier le comportement temporel de systèmes complexes en un temps extrêmement réduit par rapport à une simulation uniquement électrique.

Une simulation mixte peut être décomposée en trois phases distinctes: la phase d'élaboration, la phase d'initialisation et la phase de simulation.

4.3.3. Elaboration d'une méthodologie descendante "Top-down" pour la conception du bloc d'interface

Quelles que soient les méthodes utilisées en simulation analogique, électrique ou symbolique, le nombre de composants pouvant être traités sera toujours limité. Il est donc nécessaire de changer de paradigme et d'adopter une méthodologie de conception hiérarchique descendante dite "*top-down*", basée sur la modélisation comportementale en vue du prototypage virtuel, et qui décompose le problème de la conception d'un système complexe en une suite de problèmes élémentaires, plus faciles à appréhender.

Cette méthodologie hiérarchique permet d'autre part d'assurer une conception de qualité en évitant tous les problèmes de sur-dimensionnement des éléments du circuit, qui sont inhérents à l'approche traditionnelle ascendante dite "*bottom-up*" [36]. Les simulations mettant en jeu les modèles comportementaux permettent en effet d'éliminer les erreurs de choix architecturaux dès les premières phases de la conception. En raison de l'intégration croissante de fonctions analogiques, telles que dans les convertisseurs A/D et D/A [63] ou les boucles à verrouillage de phase (PLL) [64], elle est aujourd'hui appliquée dans le domaine analogique [63]. Liu et al [63] désignent cette stratégie comme la *conception top-down dirigée par les contraintes*, car la vérification a lieu au plus tôt et procède par propagation descendante des spécifications ou

contraintes. Après avoir précisé les différents niveaux hiérarchiques qui sont définis dans les domaines digitaux et analogiques, nous décrivons les deux phases principales de la conception: la première phase *descendante de décomposition* du système et la seconde phase *ascendante de validation* du cycle V (cf. chapitre 2 §2.2), après réalisation de l'architecture de chaque bloc fonctionnel et surtout après élaboration du layout.

4.3.3.1. Niveaux d'abstraction

En analogique, il est difficile d'établir une telle hiérarchie car le nombre de niveaux dépend essentiellement de la complexité du système à réaliser. Allen [65] propose une classification hiérarchique de la conception analogique en quatre niveaux: système, fonctionnel, circuit et composant (cf. Tableau 2.7).

Niveau d'abstraction	Primitives de simulation (représentation comportementale)	Unités de Conception (représentation structurelle)
Systeme	<i>Fonctions de transfert Schémas-blocs $H(s)$, $H(z)$ Domaine fréquentiel Domaine temporel Domaine Analogique/Digital</i>	<i>Architecture Topologie Connectivité</i>
Fonctionnel	<i>Équations algébriques linéaires et non-linéaires, Courbes de transfert</i>	<i>Sommeur, Intégrateur, Multiplieur, Bistable, Valeur absolue</i>
Circuit	<i>Macro-modèles: sources contrôlées éléments passifs dispositifs non-linéaires</i>	<i>Amp-Op, Sources, Compareurs</i>
Composant	<i>MOS, BJT, éléments passifs</i>	<i>Propriétés physiques ou géométriques, Tension, Courant</i>

Tableau 2.7. Comparaison de classification hiérarchique comportementale et structurelle d'une conception analogique [64].

Le tableau 2.7 permet de mieux appréhender les différents niveaux de la modélisation comportementale analogique et mixte. Des modèles de bas-niveau ou macro-modèles, basés sur les propriétés électriques, devront être écrits pour les circuits amplificateurs opérationnels, sources contrôlées,...,etc). Les descriptions pourront être plus abstraites aux niveaux supérieurs "fonctionnels" et surtout "système" où des systèmes mixtes doivent être considérés à l'heure actuelle.

4.3.3.2. Décomposition descendante

Pour illustrer le principe de cette méthodologie, nous considérons la conception du bloc d'interface (driver et interface) qui correspond en réalité la conception d'un HVIC. Nous considérons dans ce qui suit le concept du HVIC ou lieu du bloc interface. La conception du HVIC est réalisée selon la structure représentée en figure 2.16 [66].

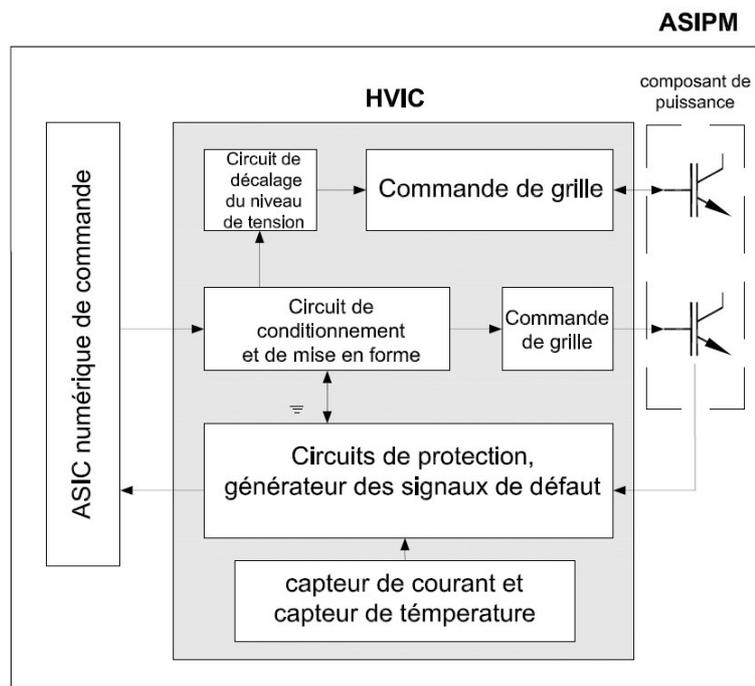


Figure 2.16. Diagramme interne du bloc d'interface "HVIC".

La conception débute par une description comportementale du système, sous forme mathématique ou algorithmique. Dans le cas du bloc d'interface, ce modèle mathématique décrit la fonction de transfert du circuit en utilisant les différentes variables du système (figure 2.17). Le système est ensuite décomposé en un certain nombre de blocs fonctionnels comportementaux et génériques afin de faciliter la conception de l'HVIC (cf. chapitre 3 figure 3.16).

4.3.3.3. Validation ascendante

Dès qu'un bloc fonctionnel a été décrit de manière structurée, une *simulation multiniveaux*, mettant en oeuvre non plus le modèle comportemental mais l'architecture de ce bloc, peut être effectuée.

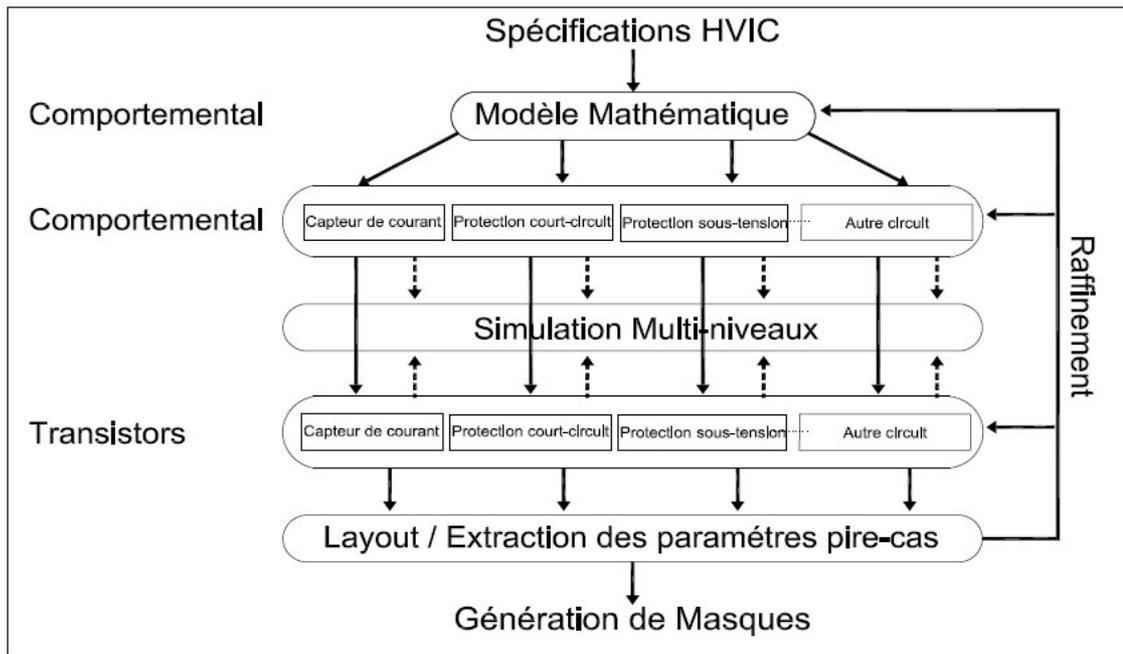


Figure 2.17. Flot de conception de l'HVIC.

La figure 2.17 du flot de conception du HVIC met en évidence cette étape de simulation pour laquelle un seul bloc est décrit au niveau transistor alors que les autres blocs sont encore représentés de manière comportementale (par exemple l'amplificateur opérationnel AOP est décrit au niveau transistor ainsi que les autres fonctions sont décrites à leurs niveau comportemental). Cela permet de vérifier très rapidement le fonctionnement du schéma dans son environnement (d'où le prototypage virtuel).

D'autre part, les modèles comportementaux initialement conçus dans la phase de décomposition doivent être *raffinés* en décrivant les spécificités de l'architecture réalisée et en particulier les phénomènes du second ordre, la dépendance de la sensibilité vis à vis de la température est par exemple introduite [64] ou encore la modélisation de non-linéarités qui sont sources d'harmoniques [67]. De même, pour les convertisseurs analogiques/numériques, il est essentiel d'introduire la description du bruit. Ceci a été réalisé par liu et al [68] à l'aide d'un formalisme statistique approprié.

Une simulation comportementale à l'aide de nouveaux modèles plus précis doit alors être effectuée pour vérifier que les spécifications sont encore atteintes et pour évaluer dans quelles mesures les performances ont été modifiées.

Pour vérifier le respect des spécifications, la hiérarchie établie lors de la phase de décomposition descendante doit alors être parcourue de manière ascendante, en ajustant les paramètres des

modèles comportementaux à chaque niveau, et en reportant les diverses variations juste dans le modèle mathématique du plus haut niveau.

5. Conception en amont d'une intégration en électronique de puissance

Une première question s'impose : comment pratiquement passer du cahier des charges à une représentation formelle de ce cahier des charges ? Cette problématique non encore résolue rejoint ici celle de tout ingénieur souhaitant modéliser son système de puissance. Il faudra tenir compte de quatre points importants de la pratique de la modélisation :

- Apporter une forme visuelle au système.
- Détailler sa structure et son comportement.
- Guider la construction, l'implémentation des tâches de sa réalisation.
- Documenter les décisions prises lors de l'implémentation finale.

Nous avons donc, au départ, tenté de proposer une méthode basée sur l'identification de fonctions et de procédures par analyse fonctionnelle [69].

5.1. Conformité au cahier des charges

L'idée généralement suivie pour formuler un cahier de charge est d'appliquer, au plus tôt, un formalisme pour créer des modèles de représentation de haut niveau à partir desquels, il sera possible de reformuler les spécifications du cahier des charges sous une configuration formelle. Nous pourrions ensuite appliquer des procédures de vérification pour s'assurer que ces représentations de haut niveau sont conformes au cahier des charges.

Pour atteindre cet objectif, nous proposons d'établir une démarche pour aller proprement du semi-formel au formel afin de bénéficier des avantages suivants:

- avoir une représentation claire des fonctionnalités et du comportement du système,
- générer une version formelle non ambiguë et complète des spécifications de ce système,
- permettre une première analyse des fonctionnalités et du comportement du système,
- établir une première validation des spécifications.

De nombreux travaux ont été réalisés, dans cet esprit, pour l'ingénierie logicielle. Aujourd'hui, les concepts de traçabilité et de validation des spécifications à haut niveau imaginés pour l'ingénierie logicielle émergent dans le domaine de la conception de systèmes hétérogènes qui englobent à la fois des parties logicielles et des parties matérielles multidisciplinaires [35].

5.2. Description hiérarchique descendante des fonctions

Dans l'absolu, il faut considérer qu'au delà du cahier des charges tel que nous l'avons introduit à ce chapitre, le concepteur a accès à une base de données où l'on retrouvera tous les acquis antérieurs disponibles, (figure 2.18):

- les composants réutilisables,
- les retours d'expériences récents,
- les données expertes,..., etc.

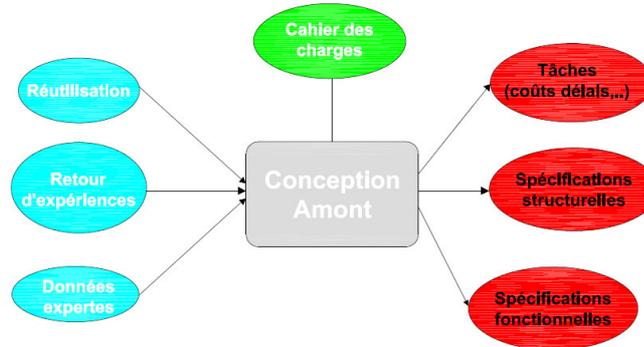


Figure 2.18. Environnement de la conception amont.

Pour permettre une conception globale à la fois fonctionnelle, structurelle et économique, nous ne nous intéressons, dans ces travaux, qu'aux seuls aspects fonctionnels. Nous pensons qu'une approche descriptive doit être privilégiée:

La description hiérarchique descendante des fonctions constitutives du système de puissance est présentée sur la figure 2.19.

Evidemment, nous voulons à partir de là, converger vers une représentation hiérarchique fonctionnelle, pour y appliquer une démarche de prototypage virtuel VHDL-AMS.

Nous avons ainsi élaboré une analyse fonctionnelle basée sur une représentation du système sous la forme de blocs encapsulant des fonctions et des composants de base tel que diode, IGBT, résistance, inductance,...,etc.

Cette démarche nous permet une conception en deux étapes :

- La première consiste à décrire le système de puissance, sa hiérarchie et le type des données échangées entre les composants, sans en préciser leur nature particulière.
- La seconde est le prototypage virtuel qui introduit la notion de données et de manipulation des données par le biais de la simulation VHDL-AMS. C'est l'objet des deux chapitres suivants.

La première étape :

La hiérarchie globale de notre intégration en électronique de puissance ASIPM est présentée sur la figure 2.19 et 2.20. La figure 2.19 représente l'environnement de simulation HiLeS Designer V0.9 du LAAS (*Laboratoire d'Analyse et d'Architecture des Systèmes*). Cet environnement permet l'analyse fonctionnelle par une décomposition hiérarchique des systèmes

multidisciplinaires. La figure 2.20 représente le résultat de nos simulations de l'analyse fonctionnelle du système de puissance à intégrer qui a été mené sous l'environnement HiLeS Designer.

Notre intégration en électronique de puissance est symbolisée par le bloc projet ASIPM05. Le résultat de la décomposition fonctionnelle nous a donné cinq niveaux hiérarchiques, afin d'atteindre un niveau basique constitué des composants génériques réutilisables.

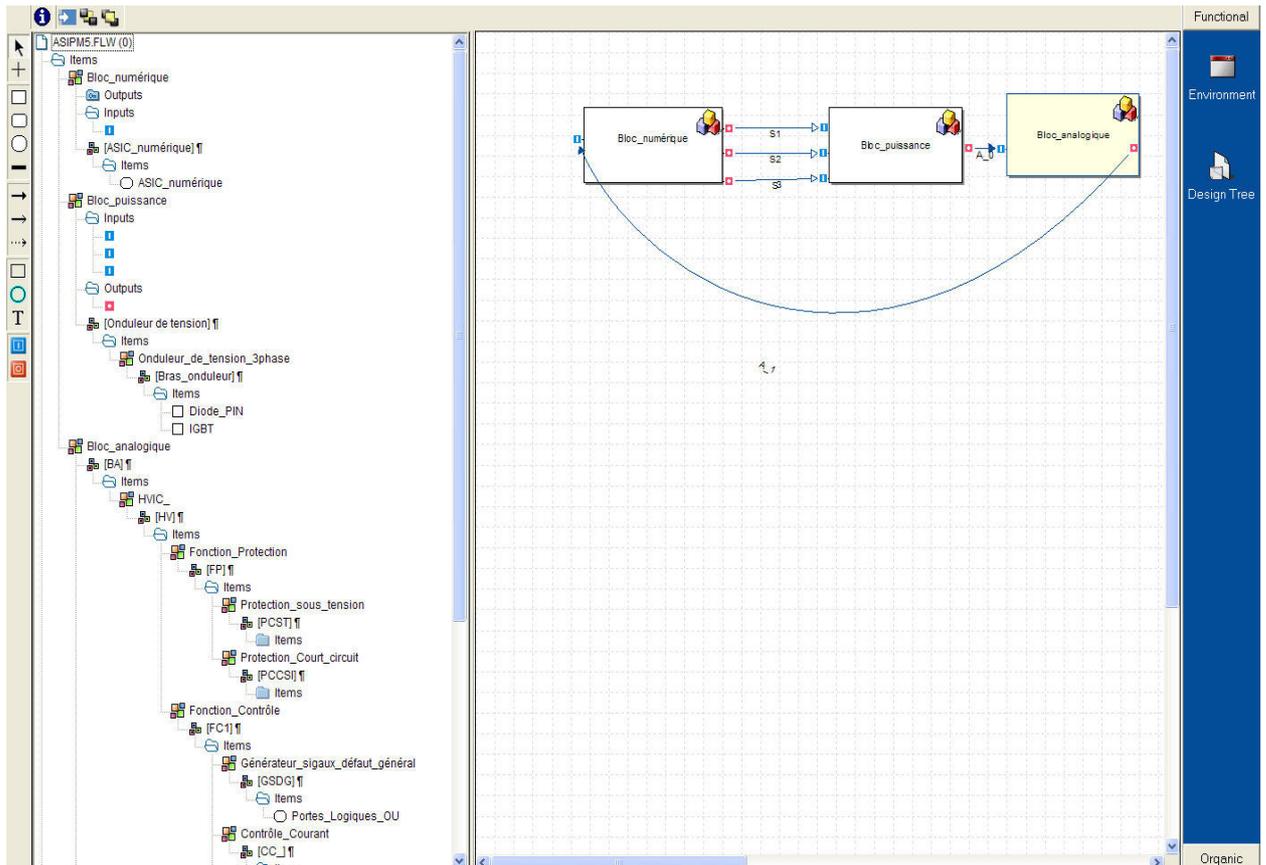


Figure 2.19. Analyse fonctionnelle de l'intégration en électronique de puissance sous l'environnement HiLeS Designer V0.9.

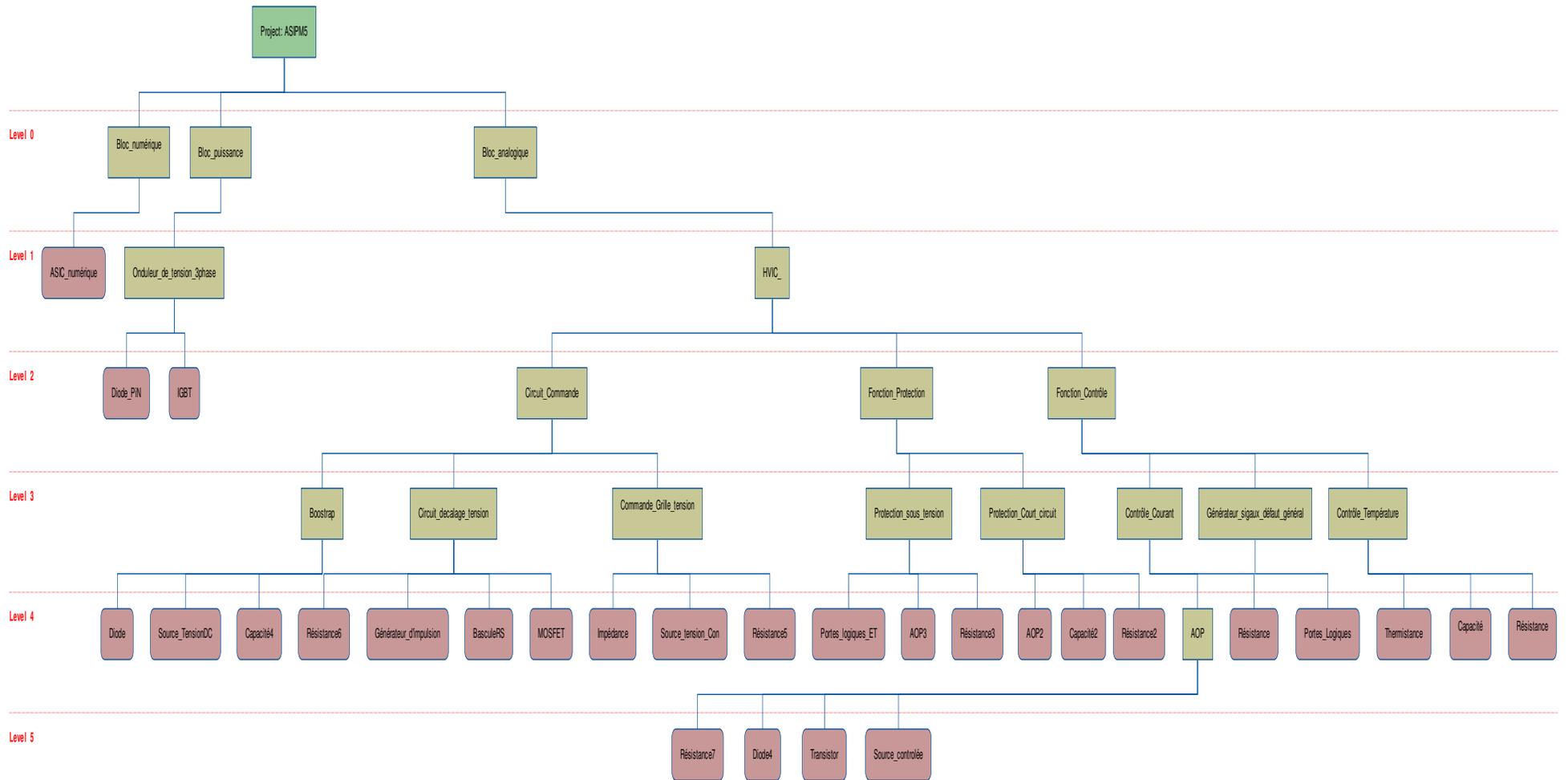


Figure 2.20: Décomposition hiérarchique du système de commande à intégrer.

Nous avons choisi de nous appuyer sur la conception amont pour proposer une esquisse fonctionnelle du microsysteme. Ce premier modèle fonctionnel permet d'avoir une vision globale des fonctionnalités, des modes de fonctionnement, des domaines de validité d'exploitation du microsysteme.

Nous proposons d'utiliser la décomposition hiérarchique pour définir une première architecture du système (figure 2.20). Notre plan de travail suit une démarche descendante. A partir des spécifications générales du système, la conception amont va nous permettre d'explorer et d'évaluer différentes propositions d'architectures de conception en amont qui permettent de manipuler des fonctions génériques.

6. Conclusion

La conception de l'intégration de puissance est une problématique de grande actualité et avec certaines spécifications qui se résument dans la constitution hétérogène du système de puissance. Nous avons élaboré un tour d'horizon sur les méthodes de conception des systèmes d'une manière générale représenté par la méthode en 'V' et l'intégration de puissance d'une manière particulière. Un état de l'art sur les différents langages de modélisation et simulateurs dans le domaine de l'intégration de puissance a alors été présenté. L'aspect prototypage virtuel a également été décrit pour l'intégration numérique de la commande et l'analogique du HVIC.

Nous disposons à ce stade d'une démarche claire et sans ambiguïté supporté par une conception en amont basée sur la décomposition hiérarchique descendante des fonctionnalités du système de puissance. En effet, le processus de conception doit franchir les étapes précédentes à une méthodologie propre à notre application, afin d'établir un prototypage virtuel pour le système de puissance. Nous y reviendrons dans les chapitres suivants pour décrire le prototypage virtuel de chaque sous-système constituant le module de puissance.

Chapitre III

Prototypage virtuel du système de commande

1. Introduction

En raison des progrès incessants dans le domaine de l'électronique (hardware/software), et la pression du marché "*time to market*", la recherche se focalise sur les différentes techniques d'implémentation qui offrent les meilleurs compromis souplesse/performance et qui est de plus en plus délicate.

La conception du système de commande est décomposée en deux aspects différents selon la nature de chaque bloc. La commande proprement dite qui est de nature numérique et l'interface entre le bloc de puissance et le bloc numérique qui est de nature analogique et mixte. Sur cette différenciation, nous allons décomposer le présent chapitre en deux parties ;

- le prototypage virtuel du bloc commande en vu de l'intégration numérique de la commande,
- le prototypage virtuel du bloc interface en vu de l'intégration analogique de cette partie.

2. Prototypage virtuel de l'intégration de la commande numérique

L'implémentation du contrôle/commande des machines électriques requiert des ressources en électronique numériques de plus en plus performantes pour plusieurs raisons. D'abord, les stratégies de commande deviennent de plus en plus complexes en raison des modèles plus fins de la chaîne d'entraînement. De plus le contexte économique devient très contraignant, en visant la convergence vers des solutions technologiques aux plus faibles coûts. Dans cette partie du chapitre, nous allons nous focaliser sur la partie numérique de notre cahier des charges.

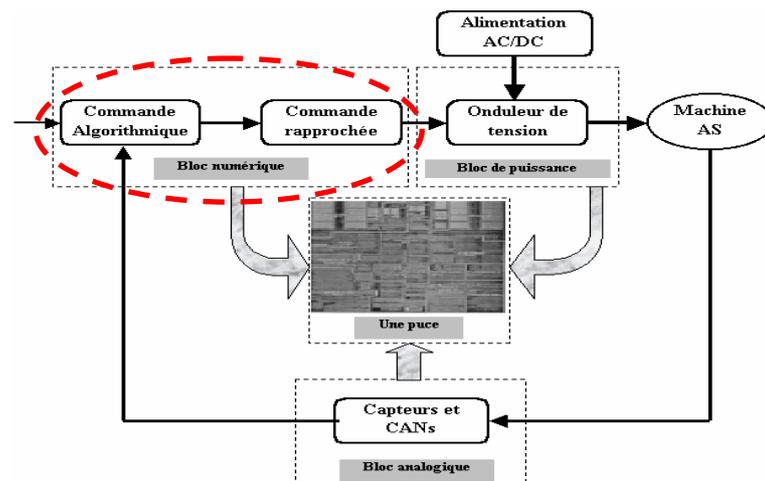


Figure. 3.1. Synoptique de la structure de puissance et de la commande à intégrer.

Cette partie fera l'objet de l'élaboration d'une méthodologie de conception d'un ASIC numérique pour la commande. Cette méthodologie, articulée sur l'aspect du prototypage virtuel sera validé par une simulation mixte analogique/numérique (*co-simulation*) d'un modèle VHDL-AMS de la commande dans son environnement.

2.1. Modélisation de la chaîne d'entraînement

Il est nécessaire de comprendre le fonctionnement de la chaîne d'entraînement et de maîtriser sa modélisation pour pouvoir réaliser sa commande.

Il existe deux types de modèles. Les premiers sont les modèles intrinsèques, propres aux physiciens. Ce sont souvent des modèles complexes et pas du tout appropriés pour l'établissement de lois de commande. Les deuxièmes sont les modèles dits extrinsèques qui reproduisent le comportement du système modélisé à partir de ses entrées/sorties. Ces modèles, beaucoup plus simples permettent d'établir des lois de commande [70]. Toutefois, le contrôle étant réalisé sur un modèle idéal de dispositifs, il faudrait qu'il soit capable de corriger les erreurs par rapport au comportement réel.

2.1.1. Modélisation dynamique de la machine asynchrone (MAS)

Le modèle de la machine asynchrone le plus communément employé est le modèle vectoriel ou *le modèle de Park* [71].

Ce modèle est défini en admettant les hypothèses simplificatrices suivantes :

- La parfaite symétrie de la machine,
- l'absence de saturation (linéarité) et les pertes dans le circuit magnétique sont négligeables,
- la répartition spatiale sinusoïdale des différents champs magnétiques le long de l'entrefer.

On choisit les deux courants statoriques biphasés (direct et inverse) I_{sd} et I_{sq} , et les flux rotoriques biphasés (direct et inverse) φ_{rd} et φ_{rq} , comme variables d'état de la commande. Ce qui correspond à un modèle de la MAS orienté vers la commande vectorielle.

On utilisera alors la formulation en équation d'état d'un système linéaire continu à coefficients constants dont le référentiel est liée au stator (S).

L'équation d'état est donnée par :

$$\frac{dX(t)}{dt} = A X(t) + B u(t) \quad (3.1)$$

Dans le cas d'une alimentation en tension de la MAS, les variables de commande sont V_{sd} et V_{sq} , nous pouvons déterminer les matrices A et B, lorsque les variables d'état utilisées sont I_{sd} , I_{sq} , φ_{sd} et φ_{sq} .

$$\frac{d}{dt} \begin{bmatrix} I_{sd} \\ I_{sq} \\ \varphi_{rd} \\ \varphi_{rq} \end{bmatrix} = \begin{bmatrix} -\gamma & 0 & \frac{L_m}{L_s L_r T_r} & \frac{L_m}{\sigma L_s L_r} \omega \\ 0 & -\gamma & -\frac{L_m}{\sigma L_s L_r} \omega & \frac{L_m}{\sigma L_s L_r T_r} \\ \frac{L_m}{T_r} & 0 & -\frac{1}{T_r} & -\omega \\ 0 & \frac{L_m}{T_r} & \omega & -\frac{1}{T_r} \end{bmatrix} \begin{bmatrix} I_{sd} \\ I_{sq} \\ \varphi_{rd} \\ \varphi_{rq} \end{bmatrix} + \begin{bmatrix} \frac{1}{\sigma L_s} & 0 \\ 0 & \frac{1}{\sigma L_m} \\ 0 & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} V_{sd} \\ V_{sq} \end{bmatrix} \quad (3.2)$$

$$\text{avec : } T_r = \frac{L_r}{R_r}, \quad T_s = \frac{L_s}{R_s}, \quad \sigma = 1 - \frac{L_m^2}{L_s L_r}, \quad \gamma = \frac{1}{\sigma} \left(\frac{1}{T_s} + \frac{L_m^2}{L_s L_r T_r} \right)$$

Les équations mécaniques de la MAS sont données par:

$$C_{em} = \frac{P_p L_m}{L_r} \cdot (\varphi_{rd} \cdot I_{sq} - \varphi_{rq} \cdot I_{sd}) \quad (3.3)$$

$$\frac{d\omega}{dt} = \frac{P_p}{J} \cdot (C_{em} - C_{ref}) \quad (3.4)$$

C_{em} : Couple électromagnétique [Nm].

C_{ref} : Couple mécanique de référence (charge) [Nm].

ω : Vitesse angulaire [rd/s].

2.1.2. Modélisation de l'onduleur de tension triphasé

La plupart des algorithmes de contrôle reposent sur le modèle idéal de l'onduleur de tension, un modèle parfait (c-à-d sans pertes), avec des temps de commutation nuls et sans temps mort. En fait, l'onduleur est modélisé dans ce qui suit par l'équations [70].

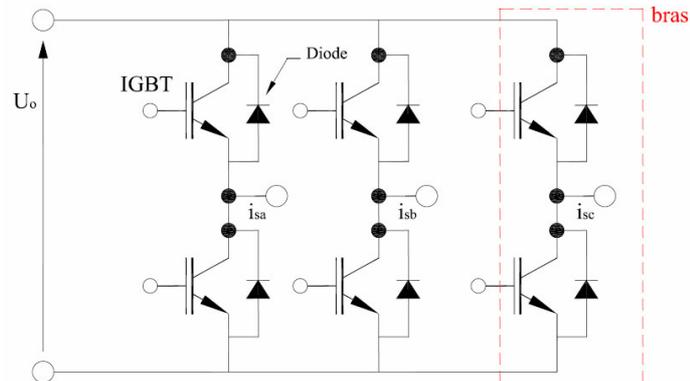


Figure 3.2. Onduleur de tension triphasé à base des IGBTs.

2.1.3. Modélisations de la commande directe du couple (DTC)

2.1.3.1 Modélisation de la commande algorithmique de la DTC :

Le *Contrôle Direct du Couple*, ou la *Commande Directe du Couple*, souvent noté *DTC* pour l'abréviation anglaise *Direct Torque Control*, se base sur l'estimation, la régulation et l'orientation du flux statorique à partir des mesures au niveau du stator de la machine

asynchrone. Cette structure de commande se rapproche donc de la *méthode directe* du contrôle vectoriel à flux statorique orienté d'où l'appellation de *Contrôle Direct du Couple*. Elle a été introduite au Japon par Takahashi et en Allemagne par Depenbrock [72] et [73].

La figure 3.3, présente la structure générale de la *Commande Directe du Couple*.

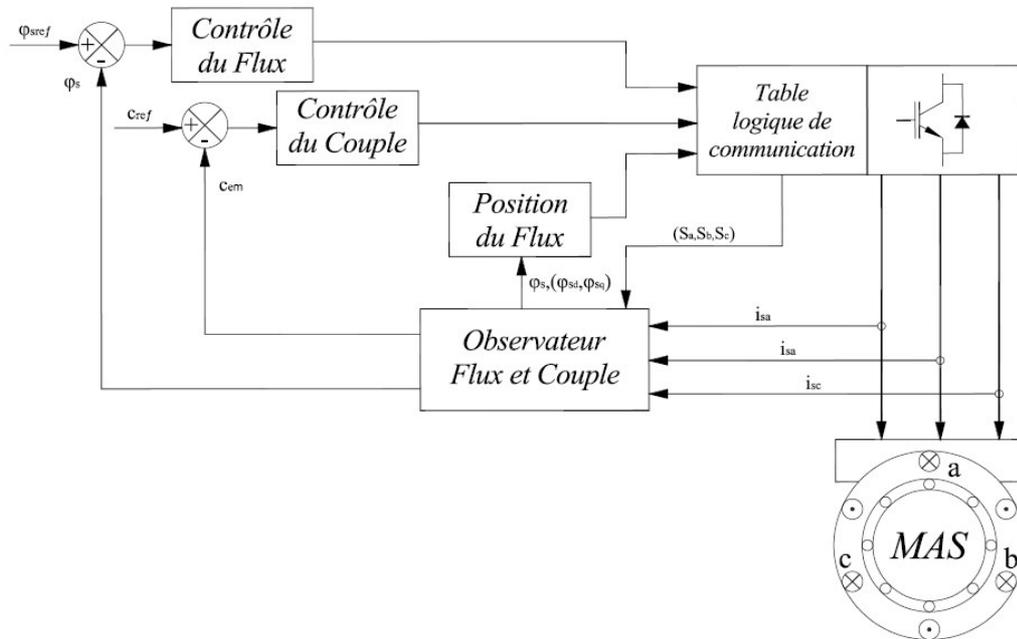


Figure 3.3. Structure générale du Contrôle Direct du Couple.

Dans le cas de la structure *DTC*, basée sur l'orientation du flux statorique, le découplage entre le flux et le couple est obtenu en élaborant, à partir d'une table de sélection, des vecteurs tensions de sortie de l'onduleur \mathbf{V}_s . A chaque période de contrôle, le flux et le couple sont comparés à leurs valeurs de référence. La position vectorielle du flux est estimée dans le repère statorique fixe $S(d,q)$. Celle-ci permet de sélectionner les commutations adéquates des bras de l'onduleur de tension.

a. Estimation du flux statorique et du couple électromagnétique :

La boucle de régulation de la commande *DTC* intègre un modèle moteur qui permet d'estimer le flux statorique et le couple électromagnétique à partir de la mesure de la tension U_0 à l'entrée de l'onduleur et les trois courants statoriques $i_{sa}(t)$, $i_{sb}(t)$ et $i_{sc}(t)$, [72]. Pour simplifier le contrôle dynamique du flux et du couple, nous adoptons la représentation vectorielle du modèle de la machine asynchrone établie dans le référentiel statorique noté $S(d,q)$. Ainsi à partir des vecteurs de tension et de courants statoriques, l'expression vectorielle du flux statorique s'écrit :

$$\boldsymbol{\varphi}_s(t) = \int_0^t (\mathbf{V}_s - R_s \cdot \mathbf{I}_s) dt \quad (3.5)$$

Avec R_s , est la résistance statorique de la machine asynchrone.

Le vecteur flux statorique est calculé à partir de ses deux composantes biphasées d'axes d et q, telles que :

$$\boldsymbol{\varphi}_s = \varphi_{sd} + j \cdot \varphi_{sq} \quad (3.6)$$

Avec:

$$\varphi_{sd}(t) = \int_0^t (V_{sd} - R_s \cdot I_{sd}) dt \quad (3.7)$$

$$\varphi_{sq}(t) = \int_0^t (V_{sq} - R_s \cdot I_{sq}) dt \quad (3.8)$$

Pour déterminer les composantes φ_{sd} et φ_{sq} , nous devons calculer dans un premier temps les composantes d'axes d et q des vecteurs courant et tension statoriques.

Pour calculer les composantes I_{sd} et I_{sq} du vecteur de courant statorique, nous utilisons la transformation mathématique de *Concordia* qui est un cas particulier de la transformation de *Park*, correspond à un système d'axe (d,q) directement lié au stator dont l'axe d est confondu avec l'axe de bobinage (a) de l'enroulement triphasé (a, b, c).

Les composantes I_{sd} et I_{sq} sont alors calculées à partir des trois courants statoriques I_{sa} , I_{sb} et I_{sc} de la transformation de *Concordia* [70].

$$\mathbf{I}_s = I_{sd} + j \cdot I_{sq} \quad (3.9)$$

Avec:

$$I_{sd} = \sqrt{\frac{2}{3}} \cdot I_{sa} \quad (3.10)$$

$$I_{sq} = \frac{1}{\sqrt{2}} (I_{sb} - I_{sc}) \quad (3.11)$$

Les composantes V_{sd} et V_{sq} sont obtenues à partir du vecteur tension \mathbf{V}_s délivré par l'onduleur de tension. Dans le cas de la DTC, le vecteur \mathbf{V}_s directement calculé à partir des états des six interrupteurs de puissance de l'onduleur et de la tension continue U_0 . L'état ouvert ou fermé, des interrupteurs de puissance est représenté par trois grandeurs booléennes de commande notées S_j ($j=a,b,c$), (figure 3.4). Pour le bras j , lorsque $S_j = "1"$, l'interrupteur du haut est fermé et l'interrupteur du bas est ouvert. Inversement lorsque $S_j = "0"$, l'interrupteur du haut est ouvert et l'interrupteur du bas est fermé.

Les combinaisons des trois grandeurs (S_a , S_b , S_c) permettent de générer, par rapport à un système d'axes (d,q), huit positions du vecteur tension \mathbf{V}_s dont deux correspondent au vecteur nul :

$(S_a, S_b, S_c) = \mathbf{V}_7 (1,1,1)$ ou $(S_a, S_b, S_c) = \mathbf{V}_0 (0,0,0)$.

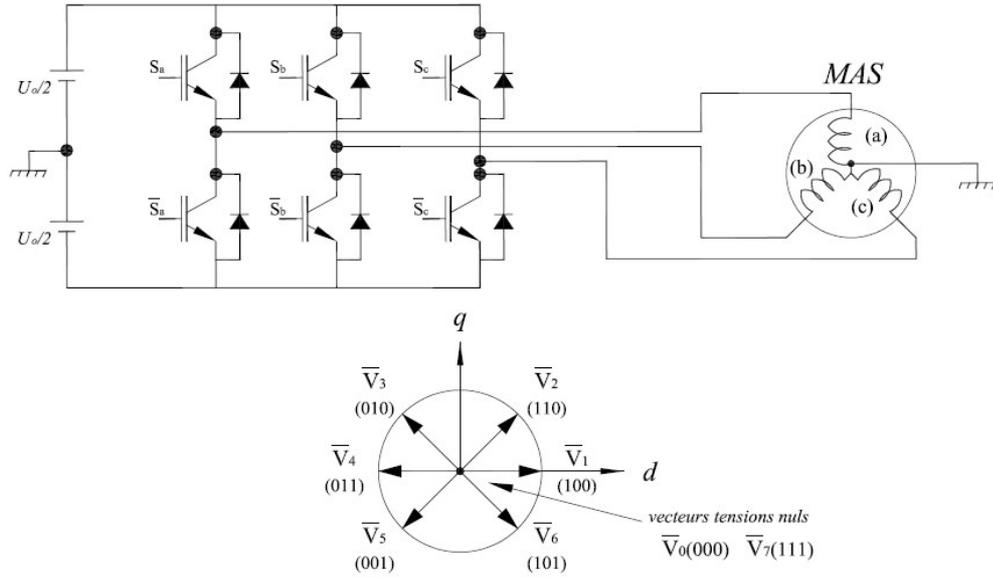


Figure 3.4. Position du vecteurs $\mathbf{V}_S (S_a, S_b, S_c)$ selon l'état des interrupteurs de l'onduleur.

Le vecteur de tension statorique \mathbf{V}_s s'écrit alors :

$$\mathbf{V}_s = \sqrt{\frac{2}{3}} U_0 [S_a + S_b e^{j\frac{2\pi}{3}} + S_c e^{j\frac{4\pi}{3}}] \quad (3.12)$$

Ainsi, les composantes en tension sont obtenues à partir de la mesure de la tension continue U_0 à l'entrée de l'onduleur et les états logiques de commande des interrupteurs de puissance (S_a, S_b, S_c), d'où :

$$\mathbf{V}_s = V_{sd} + j \cdot V_{sq} \quad (3.13)$$

Avec :

$$V_{sd} = \sqrt{\frac{2}{3}} \cdot U_0 \cdot (S_a - \frac{1}{2}(S_b + S_c)) \quad (3.14)$$

$$V_{sq} = \frac{1}{\sqrt{2}} \cdot U_0 \cdot (S_b - S_c) \quad (3.15)$$

Pour simplifier les calculs numériques à intégrer dans l'ASIC et notamment pour éviter d'utiliser la fonction racine carré, nous calculerons le carré du module du flux statorique. Celui-ci est déterminé à partir de ses deux composantes φ_{sd} et φ_{sq} .

$$\varphi_s^2 = \varphi_{sd}^2 + \varphi_{sq}^2 \quad (3.16)$$

Finalement, le couple électromagnétique est estimé à partir des composantes φ_{sd} et φ_{sq} du flux statorique et des composantes I_{sd} et I_{sq} du vecteur du courant statorique :

$$C_{em} = P_p \cdot (\varphi_{sd} \cdot I_{sq} - \varphi_{sq} \cdot I_{sd}) \quad (3.17)$$

Où P_p est le nombre de paires de pôles de la machine asynchrone.

b. Elaboration des contrôleurs du flux et du couple :

Le contrôle du vecteur flux statorique φ_s peut être optimisé si l'espace d'évolution du flux est décomposé en six zones N prédéfinies, avec $N = [1..6]$, (figure 3.5-a).

Pour pouvoir contrôler la trajectoire de l'extrémité du vecteur flux statorique, un comparateur à hystérésis est mis en œuvre. Ce comparateur à deux niveaux contrôle l'amplitude du vecteur φ_s dans une couronne circulaire autour d'une valeur de référence, (figure 3.5-b).

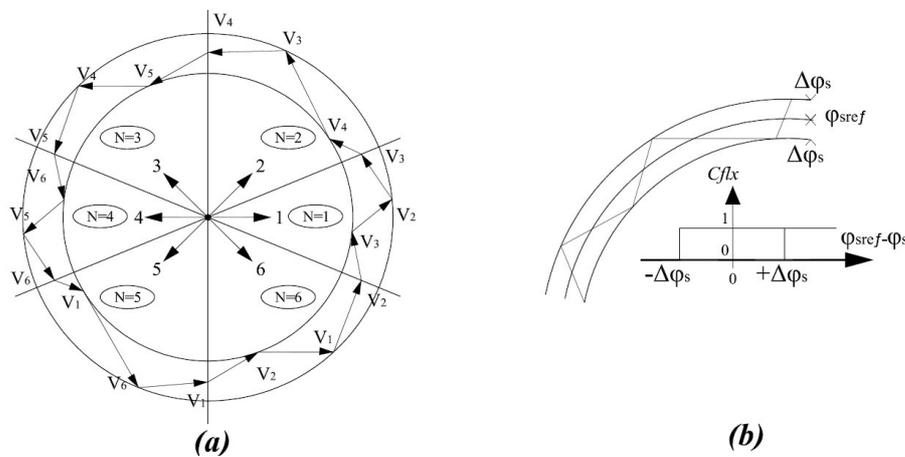


Figure 3.5. (a) Sélection des tensions V_s correspondant au contrôle de l'amplitude φ_s .
(b) Contrôleur à hystérésis à deux niveaux.

La grandeur de la sortie booléenne du comparateur à hystérésis Cflx indique les débordements supérieur (Cflx = "1") et inférieur (Cflx = "0") de l'amplitude du flux hors de la couronne définie par hystérésis. Le comparateur à hystérésis à deux niveaux permet ainsi de détecter les débordements de la zone de contrôle.

Le couple électromagnétique est contrôlé par un simple comparateur à hystérésis à deux niveaux, identique à celui utilisé pour le flux. L'état de sortie booléenne du comparateur est donné par Ccpl.

Lorsque le couple doit être augmenté, la sortie du contrôleur Ccpl est égale à "1". Un des six vecteurs de tension doit alors être appliqué suivant la position et l'amplitude du flux statorique. Dans le cas où l'état de sortie du comparateur Ccpl est égal à "0", le couple doit être diminué.

Une décroissance du couple est alors réalisée en appliquant un des deux vecteurs de tension \mathbf{V}_0 ou \mathbf{V}_7 .

2.1.3.2. Modélisation de la commande rapprochée de la DTC :

Dans la structure DTC, la commande rapprochée est simplement constituée d'une table de vérité dont les sorties correspondent aux états logiques de commutation (S_a, S_b, S_c) de chacun des trois bras de l'onduleur. Ces états logiques correspondent à un vecteur de tension statorique. Le choix du vecteur est fonction de l'état des contrôleurs du flux, du couple et de la position estimée du vecteur flux statorique. Ces trois grandeurs sont respectivement notées C_{flx} , C_{cpl} et N . Le tableau 3.1 représente la table de vérité de la DTC.

N		1	2	3	4	5	6
Cflx = 1	Ccpl = 1	\mathbf{V}_2	\mathbf{V}_3	\mathbf{V}_4	\mathbf{V}_5	\mathbf{V}_6	\mathbf{V}_1
	Ccpl = 0	\mathbf{V}_7	\mathbf{V}_0	\mathbf{V}_7	\mathbf{V}_0	\mathbf{V}_7	\mathbf{V}_0
Cflx = 0	Ccpl = 1	\mathbf{V}_3	\mathbf{V}_4	\mathbf{V}_5	\mathbf{V}_6	\mathbf{V}_1	\mathbf{V}_2
	Ccpl = 0	\mathbf{V}_0	\mathbf{V}_7	\mathbf{V}_0	\mathbf{V}_7	\mathbf{V}_0	\mathbf{V}_7

Tableau 3.1. Table de vérité de la structure DTC.

2.2. Modèle système de la DTC

2.2.1. Modélisation de la commande directe du couple sous l'environnement Matlab/Simulink

Le but de cette démarche est de caractériser la structure à réaliser, par l'identification des sorties du système pour des entrées bien déterminées, et par la manière de calcul utilisée par le système pour aboutir à ces sorties.

Cette étape est particulièrement importante car de sa bonne réalisation dépend en grande partie le succès de la méthodologie et le bon fonctionnement des outils associés.

Matlab est un environnement de calcul et de visualisation pour le développement scientifique. Complémentairement à *Matlab*, le logiciel *Simulink* permet de simuler des systèmes dynamiques [74]. Les modèles se présentent sous forme de schémas réalisés à partir de blocs prédéfinis ou créés par l'utilisateur. Dans notre cas, on a utilisé les fonctions mathématiques et logiques de base telles que la multiplication, sommation, comparaison, intégration, porte ET, OU etc. Ceci nous a permis d'élaborer un programme correspondant aux équations du modèle système de la commande.

Le modèle *Simulink* utilisé pour le principe de la commande Directe du couple apparaît sous forme de six blocs, (figure 3.6):

- Le bloc machine asynchrone triphasée,
- Le bloc onduleur de tension triphasé,
- Le bloc commande algorithmique,
- Le bloc commande rapprochée,
- Le bloc alimentation continue,
- Le bloc consigne couple et flux.

Les deux premiers correspondent aux deux modèles constituant le "bloc de puissance" que nous avons définis aux paragraphes 2.1.1 et 2.1.2. Le "bloc de commande", en l'occurrence la commande directe du couple, est dissociée en deux sous-ensembles : la "commande rapprochée" et la "commande algorithmique". Quant aux deux derniers éléments, ils correspondent à des constantes représentant d'une part la tension U_0 et d'autre par les valeurs de consigne du couple électromagnétique et du flux statorique, notées C_{ref} et φ_{sref} .

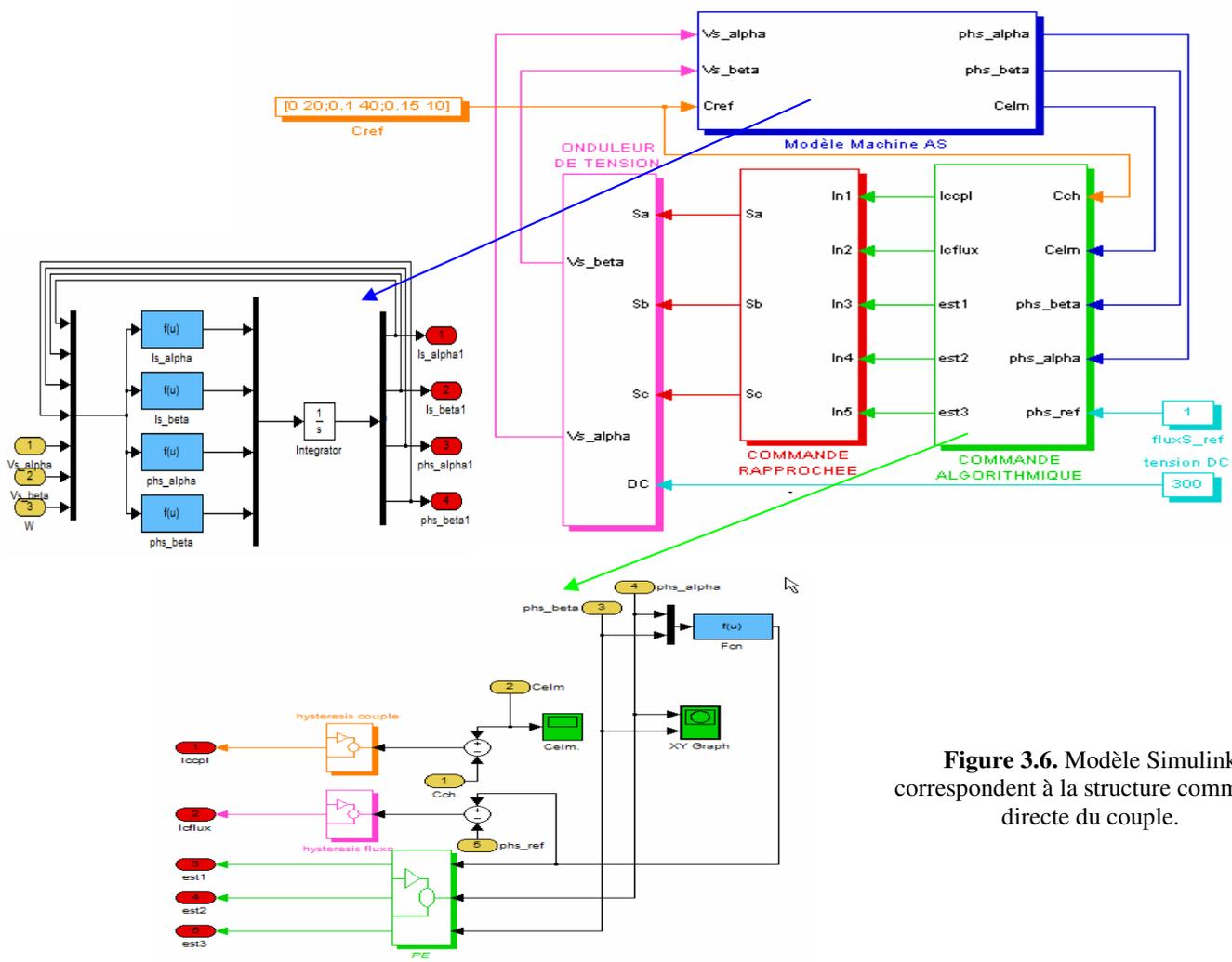


Figure 3.6. Modèle Simulink correspondant à la structure commande directe du couple.

2.2.2. Résultats de la simulation

Le comportement de la structure de la commande directe du couple, appliquée à une machine asynchrone triphasée de moyenne puissance de 7,5kW, est simulé dans ce paragraphe. Les paramètres de cette machine sont définies en annexe A.

Par ailleurs, la précision des calculs est fonction de la méthode de calcul et du type réel qui sont utilisées par le simulateur. Nous utilisons la méthode de *Rung-Kutta* d'ordre 4 pour la résolution des *EDO* (*Equations Différentielles Ordinaires*). Les simulations sont effectuées pour une période d'échantillonnage T_e égale à $100\mu\text{s}$.

La figure 3.7 présente le résultat de simulation sur 0.5s du couple électromagnétique pour deux échelons de consigne (25Nm et 50Nm). La largeur de la bande d'hystérésis du comparateur de couple est dans ce cas fixée à $\pm 2\text{Nm}$ et celle du comparateur de flux $\pm 0,03\text{Wb}$. Dans cette simulation, nous nous apercevons que le couple suit parfaitement les valeurs de consigne et reste dans la bande d'hystérésis définie auparavant avec débordement hors régulateur vers le haut.

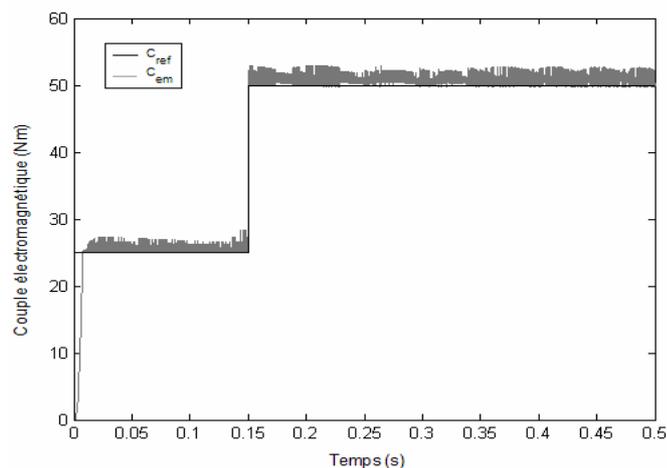


Figure 3.7. Simulation du couple électromagnétique pour deux échelons de consigne.

Par ailleurs, la figure 3.8 présente l'évolution du flux statorique dans le repère biphasé (d,q). La valeur de référence du flux est dans ce cas de 1Wb.

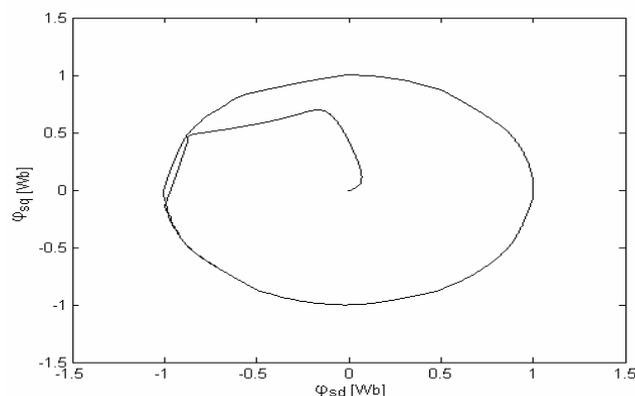


Figure 3.8. Simulation du flux statorique dans le repère biphasé (d,q).

Lors du démarrage, nous observons des ondulations. Celles-ci sont dues en partie à l'influence du terme résistif dans le calcul et le contrôle du flux à faible vitesse du moteur [72].

Les figure 3.9 et 3.10 montrent respectivement les composantes triphasées du courant statorique $i_{sa}(t)$, $i_{sb}(t)$ et $i_{sc}(t)$ et les composantes triphasées statorique en tension $v_{sa}(t)$, $v_{sb}(t)$ et $v_{sc}(t)$.

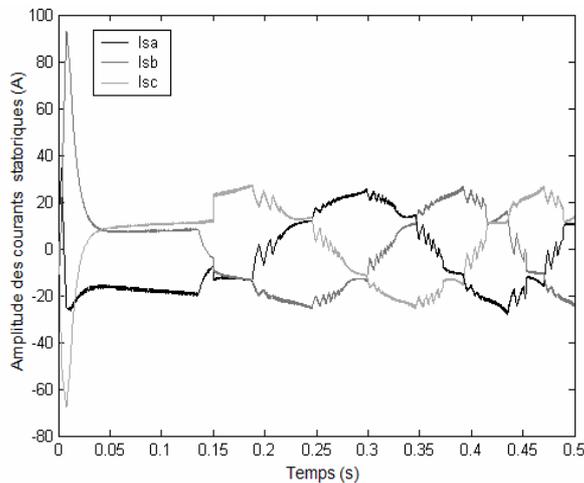


Figure 3.9: Simulation des composantes de courant.

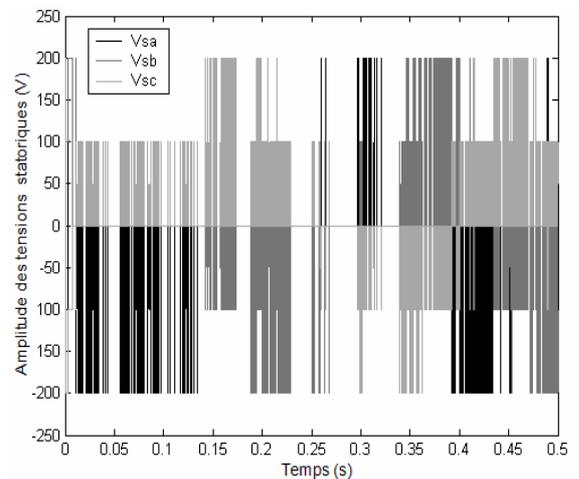


Figure 3.10: Simulation des composantes de tension.

Les composantes en courant présentent des allures sinusoïdales bruitées. Les composantes en tension suivent des formes d'onde d'allure rectangulaire correspondant au découpage de la tension d'alimentation de l'onduleur.

2.3. Modèle comportemental de haut niveau

2.3.1. Modélisation mixte en VHDL-AMS du système de commande DTC

Les environnements de simulation et de calcul formel tels que *Matlab/Simulink* sont parfaitement adaptés pour valider le concept de commande. Toutefois, lorsqu'il s'agit d'intégrer dans un circuit intégré spécifique une commande établie, les langages de description matérielle sont plus appropriés en vu du prototypage virtuel du système [75].

Le "bloc de commande" à intégrer est alors décrit en code VHDL. Comme nous l'avons déjà défini lors de la présentation de la méthodologie, ce modèle évolue au fil des étapes de conception. Il est donc indispensable de simuler et ainsi de valider chaque description du "bloc de commande" dans son environnement analogique [57]. Ainsi, les séquences de l'algorithme, les méthodes de calcul des intégrales et les données temporelles liées à la commande, étudiées dans le modèle comportemental de haut niveau, seront d'abord validées par la cosimulation (simulation mixte).

L'environnement analogique est constitué des éléments du "bloc de puissance" et du "bloc d'interface". Comme nous l'avons présenté dans le chapitre 2, le langage de description matériel

tel que VHDL-AMS est utilisé pour les descriptions comportementales de ces deux blocs (figure 3.11). Les modèles de la machine asynchrone et de l'onduleur de tension constituent le "bloc de puissance". Quant au "bloc d'interface", il est constitué des modèles des convertisseurs analogique-numériques et des capteurs de tension et de courant.

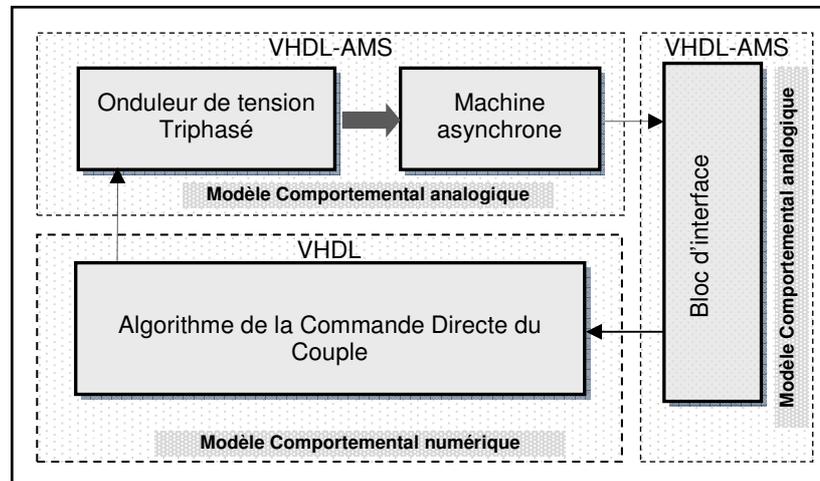


Figure 3.11. Cosimulation du système de commande.

Les capteurs de tension et de courant sont modélisés par un gain liant la valeur d'entrée mesurée à la valeur de sortie. Les Convertisseurs Analogique-Numériques C.A.N transforment les valeurs analogiques échantillonnées à un instant donné en des grandeurs numériques (et qui seront aussi traités par simulation dans la deuxième partie du présent chapitre § 3.4.4).

2.3.2. Code VHDL-AMS de la commande DTC associée à la machine asynchrone

La netlist 3.1, décrit l'implémentation VHDL-AMS de la commande directe du couple et de la machine asynchrone.

```

LIBRARY DISCIPLINES;
LIBRARY IEEE;
USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.ALL;
USE IEEE.MATH_REAL.ALL;

ENTITY DTC IS
END ENTITY DTC_ams;

ARCHITECTURE behavioral OF DTC IS

    SIGNAL    clk    : BIT;

    --Constant parameters for induction machine:
    --Constant parameters for Hysteresis controller:
    --Hysteresis controller of stator flux:
    --Hysteresis controller of Electromagnetic torque:

    --Values of switching logic table:
    SIGNAL Sa    : REAL:=0.0;
    SIGNAL Sb    : REAL:=0.0;
    SIGNAL Sc    : REAL:=0.0;

    --Voltage vector components(alpha,beta):
    QUANTITY ualpha : REAL;
    QUANTITY ubeta  : REAL;
    -- Voltage triphase components (Va,Vb,Vc):
    QUANTITY va    : REAL;
    QUANTITY vb    : REAL;
    QUANTITY vc    : REAL;

BEGIN
    -- simple voltage inverter model:
    ualpha == 0.8165* 300.0*(Sa - (1.0/2.0)*(Sb + Sc)); --V--
    ubeta  == (1.0/math_sqrt_2)*300.0*(Sb - Sc); --V--

    va == 0.8165* ualpha; --V--
    vb == 0.8165*(-0.5*ualpha + 1.2247*ubeta); --V--
    vc == 0.8165*(-0.5*ualpha - 1.2247*ubeta); --V--

    clk<=not clk after 100 us;

PROCESS(clk)

    VARIABLE i_sd : REAL:=0.0;
    VARIABLE i_sq : REAL:=0.0;
    VARIABLE F_sd : REAL:=0.0;
    VARIABLE F_sq : REAL:=0.0;
    VARIABLE Fs_eq : REAL:=0.0;
    VARIABLE C_elm : REAL:=0.0;
    VARIABLE W_mec : REAL:=0.0;
    VARIABLE told : REAL:=0.0;
    VARIABLE Cref : REAL;

BEGIN
    -- Equations of the induction machine model:
i_sd:= i_sd + (-138.548*i_sd + 50.2320*F_sd + 114.9060*W_mec*F_sq + 119.847*ualpha)*(now-told);
i_sq:= i_sq + (-138.548*i_sq - 114.9060*W_mec*F_sd - 50.2320*F_sq + 119.847*ubeta)*(now-told);
F_sd := F_sd + (0.5460*i_sd - 5.4640*F_sd - W_mec*F_sq)*(now-told);
F_sq := F_sq + (0.5460*i_sq + W_mec*F_sd - 5.4640*F_sq)*(now-told);

    ---%%%%%%%% MODEL OF CONTROLLER PROCESS %%%%%%%%%---

    --Electromagnetic Torque Estimation:
    C_elm := ((p*Lh/Lr)*(F_sd*i_sq - F_sq*i_sd));

    --Stator Flux Estimation:
    Fs_eq := ((F_sd**2 + F_sq**2)**(1.0/2.0));
    --speed motor:
    W_mec := W_mec + ((p/J)*(C_elm - Cref))*(now-told);

    --Simple Hysteresis Controller Model of stator flux:
    --Simple Hysteresis Controller Model of Electromagnetic Torque:

-- Position estimation of stator flux:
--Switching logic table:

    told:=now;
END PROCESS;
END ARCHITECTURE behavioral;

```

Netlist 3.1. Code VHDL-AMS de la commande directe du couple.

2.3.3. Co-simulations

Les modèles VHDL de la commande directe du couple sont développés avec le logiciel de cosimulation *hAMSter* v.2.0. Les modèles analogiques (Machine asynchrone, onduleur de tension, C.A.N, capteurs), sont décrits en VHDL-AMS avec le même logiciel.

Lors de la cosimulation, les deux noyaux (analogique/numérique) du simulateur fonctionnent en parallèle et communiquent entre eux par un protocole de communication *IPC* (*Interprocess Protocol Communication*). Ce protocole permet de synchroniser les deux simulateurs lorsqu'un événement survient sur une des interconnexions liant les modèles. Un événement se caractérise du côté numérique par le passage d'un état logique à un autre, et du côté analogique par la variation des signaux de sortie à chaque pas de calcul du simulateur analogique.

Des interfaces permettent en outre une connexion entre les éléments de natures différentes. Elles sont automatiquement ajoutées lors de la préparation de la cosimulation et sont transparentes pour l'utilisateur.

Nous allons désormais nous intéresser à la première étape de conception du "bloc de commande". Dans cette étude, nous effectuerons plusieurs simulations mixtes pour valider le modèle à étudier, à titre d'illustration, l'influence de la bande d'hystérésis du contrôleur de couple et de la période d'échantillonnage sur le contrôle du couple.

2.3.4. Résultats de la cosimulation

Les simulations présentées dans ce paragraphe ont été réalisées en utilisant les paramètres de la machine asynchrone, définis en annexe A. Le couple de référence est fixé à deux échelons de consigne (25Nm et 50Nm) et le flux de référence à 1Wb.

Pour des raisons de présentation, nous avons utilisé le graphic toolbox de l'environnement *Matlab* pour tracer les figures ci-dessous.

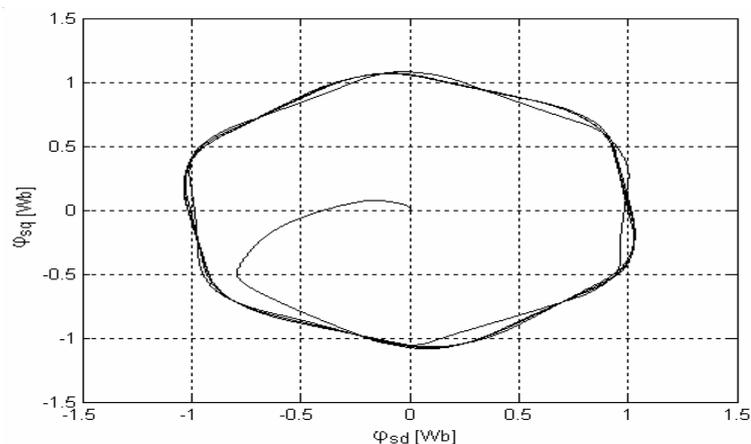


Figure 3.12. Evolution du flux statorique dans le repère biphasé (d,q).

La figure 3.12 présente l'évolution du flux statorique dans le repère biphasé (d,q). Pour cette simulation, nous avons considéré les mêmes paramètres que ceux existant sur la référence; la fourchette d'hystérésis du comparateur du flux est de $\pm 0,03\text{Wb}$ et celle du couple de $\pm 2 \text{ Nm}$. En outre, la période d'échantillonnage T_e utilisée pour cette simulation est de $100\mu\text{s}$.

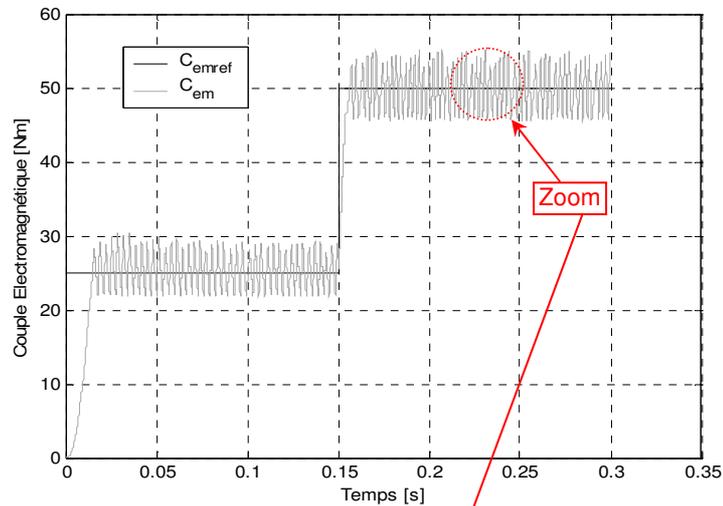


Figure 3.13. Couple électromagnétique issu du modèle de la machine asynchrone.

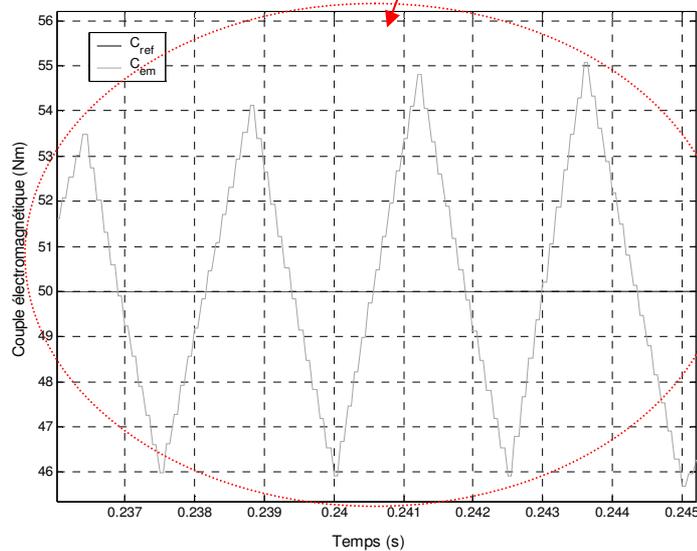


Figure 3.14. Vue détaillée du couple "numérique" estimé dans l'algorithme de calcul.

La figure 3.13 montre l'évolution temporelle du couple sur 350 ms avec une période d'échantillonnage T_e de $100\mu\text{s}$ et les fourchettes d'hystérésis du flux et du couple définies précédemment. Le débordement du couple électromagnétique hors de sa bande d'hystérésis est lié à la valeur de la période d'échantillonnage utilisée.

La figure 3.14 permet d'avoir un zoom des dépassements du couple électromagnétique estimé à partir du modèle VHDL, hors de sa bande de régulation.

Le choix de la période d'échantillonnage et de la largeur de la bande d'hystérésis du couple influe sur la régulation du couple électromagnétique.

La période d'échantillonnage agit de manière importante sur le contrôle du couple [76]: plus la période d'échantillonnage est grande et plus le couple électromagnétique déborde de sa bande d'hystérésis. Lorsque la bande d'hystérésis du couple se réduit, nous constatons également un débordement très important du couple hors de sa bande d'hystérésis. Ainsi, lorsque la bande d'hystérésis du couple est trop faible et lorsque la période d'échantillonnage est trop grande, le couple estimé subit de fortes variations et revient plus difficilement dans sa bande de régulation.

3. Prototypage virtuel de l'intégration de l'HVIC

Pour créer un prototypage virtuel de l'HVIC dans sa globalité, il s'avère nécessaire d'utiliser la décomposition hiérarchique fonctionnelle. Cette décomposition nous a permis de spécifier trois fonctions majeures : fonction de protection, de contrôle et de commande. Un prototypage virtuel est attribué pour chaque fonction, afin d'aboutir au prototypage virtuel de l'ensemble du module.

Dans cette partie, notre travail consistera à l'étude de la partie analogique et mixte de notre cahier des charges (figure 3.15).

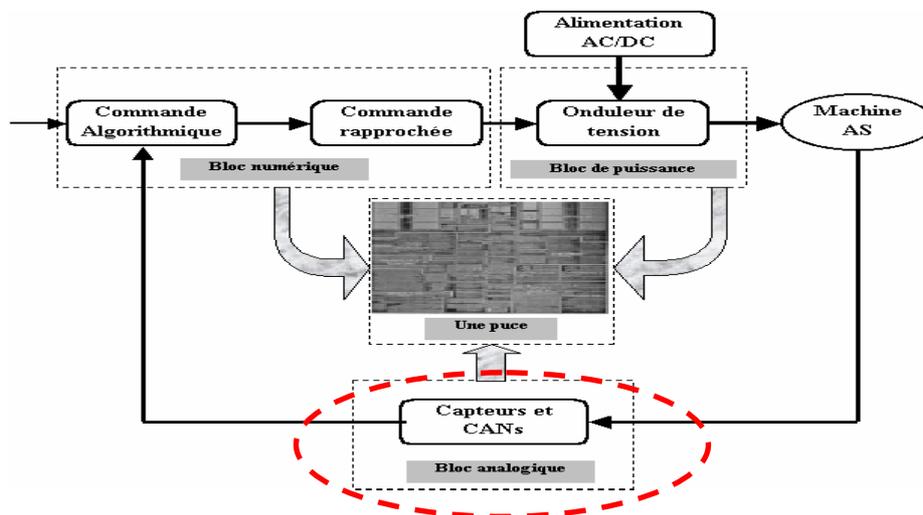


Figure 3.15. Synoptique de la structure de puissance et de la commande à intégrer.

3.1. Décomposition hiérarchique et fonctionnelle de l'HVIC

Le HVIC est composé de fonctions de protection, de contrôle et un circuit de commande des IGBT. La figure 2.20 (cf. chapitre 2 §5.2) représente le résultat d'une simulation de l'analyse fonctionnelle de l'HVIC à intégrer qui a été mené sous l'environnement HiLeS Designer Version 9.0.

A partir d'une analyse fonctionnelle, et pour chaque fonction, on va générer un code VHDL-AMS qui sera simulé sous hAMSter V2.0 en vue d'une modélisation comportementale du HVIC. La simulation comportementale permet de définir les spécifications de chaque sous-bloc, afin que l'architecture choisie ait des performances compatibles avec les spécifications du niveau supérieur.

3.2. Prototypage virtuel des fonctions de protection

La destruction d'un module ASIPM peut avoir des conséquences importantes du point de vue matériel, financier et humain. Lors d'un dysfonctionnement, un module IGBT peut se détériorer et prendre feu. Il peut donc endommager le matériel environnant et éventuellement détruire la totalité de l'installation électrique dans laquelle le module ASIPM est implanté.

La principale cause de destruction de modules ASIPM est l'effet thermique. En effet, l'élévation excessive de la température au niveau du composant provoque un changement des caractéristiques physiques des puces contenant les IGBTs et les diodes, ce qui entraîne un comportement irréversible du composant [77].

L'élévation anormale de la température peut être provoquée de différentes manières :

- *Cycle et fatigue thermique* : l'augmentation des résistances thermiques des modules ASIPM due aux cycles thermiques engendrent une augmentation anormale de la température du module. Les brasures se fragilisent aussi. Le contact surfacique se dégrade et le transfert thermique diminue (résistance thermique locale augmente). La température augmente jusqu'à la destruction du module.
- *Court-circuit* : en cas de court-circuit, la puissance dissipée par les puces IGBT est énorme. La température croît très rapidement. Sans protection, le module ASIPM est détruit en un temps assez court : de quelque μs à quelques dizaines de μs .
- *Amorçage dynamique* : la structure quatre couches de l'IGBT peut être amorcée de façon irréversible lors de forts "dv/dt" sur le composant. Le composant n'est plus commandable à l'ouverture par la grille et est voué à une "mort" rapide [78].
- *Avalanche* : lors de l'ouverture des IGBT, une surtension est observée, elle est due à la décroissance du courant dans les inductances de câblage. Cette surtension peut atteindre

la tension limite du composant et provoquer un claquage par avalanche de ceci induit. une augmentation rapide de la température des puces diodes et IGBT.

Il s'avère indispensable de contrôler et de protéger le module ASIPM contre les principales causes provoquant un dysfonctionnement par l'HVIC.

3.2.1. Circuit de protection contre les courts-circuits et surintensités

Nous nous intéressons à la réalisation d'un prototypage virtuel des fonctions de protection de l'ASIPM considéré. Pour cela nous réalisons une modélisation en VHDL-AMS des circuits de protection contre les courts-circuits et surintensités.

Les protections contre dI/dt , dV/dt et le circuit d'aide à la commutation CALC ne seront pas étudiés dans cette partie.

3.2.1.1. Principe de la protection contre les courts-circuits et sur-intensités :

On dit que l'IGBT est en régime de court-circuit quand le courant de conduction à l'état passantes: est supérieur au courant nominal et l'IGBT ne le support plus (régime en zone saturée).

On dit que l'IGBT est en régime de sur-intensité quand le courant de conduction à l'état passant est supérieur au courant nominal, celui-ci étant imposé par la charge.

On définit également deux types de défauts relatifs aux régimes de court-circuit et de sur-intensité:

- Type I : le défaut est présent avant la mise en conduction de l'IGBT,
- Type II : le défaut se crée quand l'IGBT est en conduction.

3.2.1.2. Intérêt de la sécurité en court-circuit et sur intensité :

Le régime de court-circuit est supporté par la quasi-totalité des modules ASIPM actuels. Les constructeurs préconisent de ne pas rester dans ce mode de fonctionnement plus de $10\mu s$ (valeur typique). Pour plus de précision, il faut se reporter aux *SCSOA* (*Short Circuit Safe Operating Area*) des constructeurs [78].

En cas de régime de court-circuit, l'IGBT doit être mis à l'état bloqué ; une information de défaut doit être également envoyé à la commande.

Le régime de court-circuit répétitif entraîne une réduction de la durée de vie des puces IGBT. Des travaux montrent que la probabilité de destruction des puces IGBT est très fortement liée au nombre de courts-circuits que les puces IGBT ont subi [78]. Ceci montre que si le régime de court-circuit est raccourci ou même évité, la durée de vie du module IGBT est mieux conservée.

3.2.1.3. Méthodes de détection de court-circuit et de sur-intensité :

L'objectif des sécurités en court-circuit et en sur-intensité des IGBTs est de détecter le vite possible ces modes de fonctionnement et de mettre l'IGBT à l'état bloqué.

Parmi les méthodes les plus utilisées pour se prémunir de ces phénomènes, nous citons la technique qui consiste à mesurer la tension collecteur-émetteur quand l'IGBT est à l'état passant afin de détecter un courant anormal dans l'IGBT. En effet, lors d'un court-circuit de type I ou II, la tension collecteur chute très peu par rapport à la tension du bus d'alimentation. Dans ce cas, le court-circuit est facile à détecter.

Lors d'un défaut en sur-intensité la tension collecteur décroît rapidement, atteint la valeur correspondant sur la caractéristique statique de l'IGBT $V_{CE} = f(V_{GE}, I_c)$. Ensuite, le courant collecteur croît rapidement à cause d'une faible impédance inductive de défaut. Dans ce cas, la détection du régime de surintensité s'effectue en comparant la mesure de la tension $V_{CE} = f(V_{GE}, I_c)$ à une tension fixée au préalable par l'utilisateur V_{ref} . Si la tension V_{CE} dépasse la tension V_{ref} , l'IGBT sera bloqué et l'information de défaut sera envoyé par la suite à la commande.

Une autre technique existe. Elle est basée sur la mesure d'une tension de résistance shunt introduite entre l'émetteur de l'IGBT et l'anode de la diode de roue libre (figure 3.16). L'intérêt de cette technique de protection est d'éviter toute influence néfaste sur le fonctionnement normal des IGBT.

3.2.1.4. Circuit de protection contre les courts-circuits et la surintensité :

La figure 3.16 présente un circuit de protection contre les courts-circuits et les sur-intensités.

Le module ASIPM détecte le courant sur la partie inférieure du bras de l'onduleur de tension, le comparateur compare la tension détectée par rapport une tension de référence V_{ref} . Le filtre RC (R_{sf} et C_{sf}) rajoute un retard pour dépasser des opérations erronées de protection [79].

Les relations courant-tension relatives au circuit de protection (circuit RC, amplificateur opérationnel,...etc) sont représentées sur la netlist 3.2.

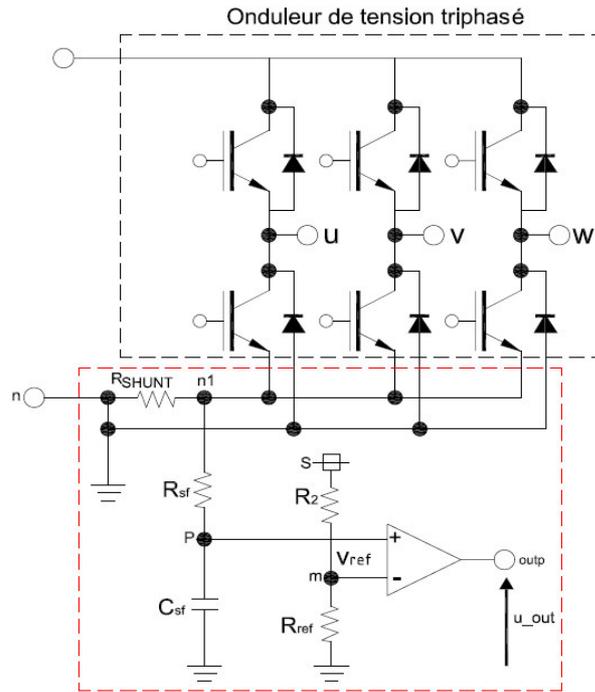


Figure 3.16. Circuit de protection contre le court circuit et de la sur-intensité de courant [79].

3.2.1.5. Implémentation VHDL-AMS :

```

LIBRARY DISCIPLINES;
LIBRARY IEEE;
USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.ALL;
USE IEEE.MATH_REAL.ALL;

ENTITY SC-OC IS
END;

ARCHITECTURE behav OF SC-OC IS

    CONSTANT value      : REAL:= 0.02;
    CONSTANT r_in_minus : REAL:= 1.0e19;
    CONSTANT r_in_plus  : REAL:= 1.019;
    CONSTANT Csf        : REAL:= 3.183e-7;
    CONSTANT Rsf        : REAL:= 1.0;
    CONSTANT R2         : REAL:= 1.0;
    CONSTANT Rref       : REAL:= 1.0;
    CONSTANT Rshunt     : REAL:= 62.0e-5;

    TERMINAL n,n1,m,s,p,outp :ELECTRICAL;

    QUANTITY vam ACROSS iam THROUGH s TO electrical_ground;      --|Alimentation
    QUANTITY u_1 ACROSS i_1 THROUGH m TO electrical_ground;      --|
    QUANTITY u_2 ACROSS i_2 THROUGH p TO electrical_ground;      --|Amplificateur Opérationnel
    QUANTITY u_out ACROSS i_out THROUGH outp TO electrical_ground; --|
    QUANTITY ursf ACROSS irsf THROUGH n1 TO p;                  --|
    QUANTITY ur2 ACROSS ir2 THROUGH s TO m;                      --|
    QUANTITY uref ACROSS iref THROUGH m TO electrical_ground;    --|circuit Auxiliaire Rsf, Csf
    QUANTITY u_rshunt ACROSS i_rshunt THROUGH n TO n1;           --|
    QUANTITY ucsf ACROSS icsf THROUGH p TO electrical_ground;    --|

BEGIN

    vam == 5.0;
    i_1==u_1/r_in_minus;
    i_2==u_2/r_in_plus;
    u_out==(u_1-u_2) * value;
    ursf == rsf*irsf;
    ur2 == R2*ir2;
    uref == Rref*iref;
    u_rshunt == Rshunt*i_rshunt;
    icsf == Csf*ucsf'dot;
END;

```

Netlist 3.2. Code VHDL-AMS du circuit de protection contre le court circuit et de la sur-intensité de courant.

3.2.1.6. Simulations :

Les simulations présentées dans cette section ont été réalisées en utilisant le code VHDL-AMS qui est représenté par la netlist 3.2 associée au code VHDL-AMS d'un bras d'onduleur de tension (netlist 3.3).

```

-----Bras d'un onduleur de tension-----
IF (clk = '1') USE          --IGBT1--
  vak1 == 1.0e-3*iak1;
ELSE
  iak1 == 0.0;
END USE;
BREAK ON clk;
-----
IF (clk = '0') USE          --IGBT2--
  vak2 == 1.0e-3*iak2;
ELSE
  iak2 == 0.0;
END USE;
BREAK ON clk;
-----
IF vak1'Above(1.1) USE      --Diode1--
  id1 == 0.0;
ELSE
  id1 == (vak1 + 1.1)/30.0e-3;
END USE;
-----
IF vak2'Above(1.1) USE      --Diode2--
  id2 == 0.0;
ELSE
  id2 == (vak2 + 1.1)/30.0e-3;
END USE;

```

Netlist 3.3. Code VHDL-AMS d'un bras d'onduleur de tension.

Le simulateur utilise le solveur Newton Raphson ainsi que la méthode des Trapèzes comme méthode d'intégration. La simulation présentée dans cette partie considère un demi-bras d'onduleur de tension triphasée. La figure 3.17 montre la tension aux bornes d'une charge inductive ($R=10.0\Omega$ et $L=1.0\text{mH}$). La valeur max est de 300V. Le courant de sortie est de 29.6A. A l'instant 40ms, on provoque, par simulation, un court-circuit au niveau de la charge ; la valeur du courant y circulant augmente alors jusqu'à 69A.

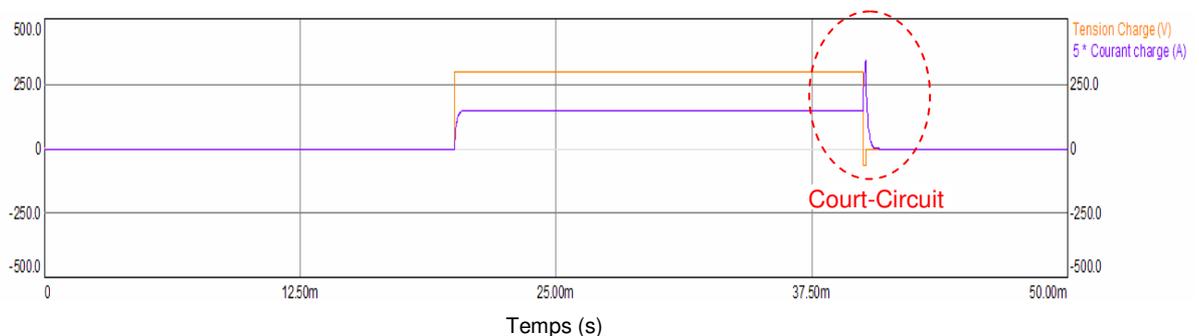


Figure 3.17. Tension et courant de charge avec une représentation du court-circuit.

La figure 3.18 présente la chute de tension aux bornes de la résistance shunt suite au phénomène de court-circuit.

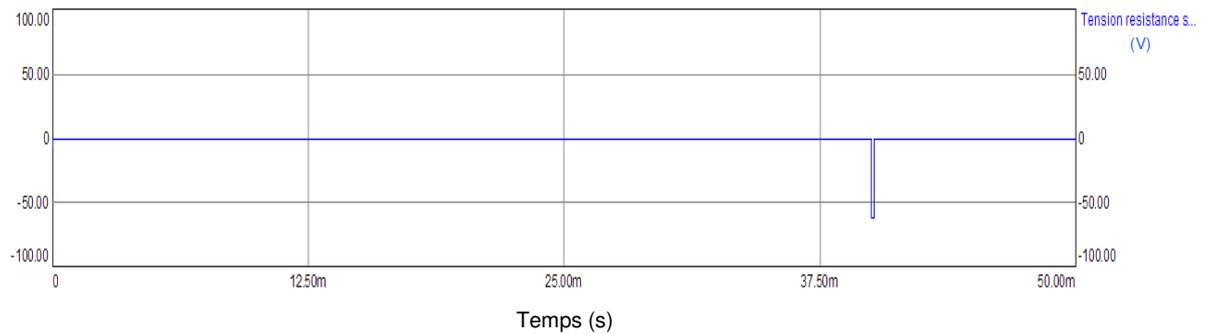


Figure 3.18. Tension aux bornes de la résistance shunt.

Finalement, la figure 3.19 montre la tension de sortie du circuit de protection. Cette tension doit attaquer un circuit logique qui va générer une commande de blocage des IGBTs et l'ASIPM sera ainsi protégé.

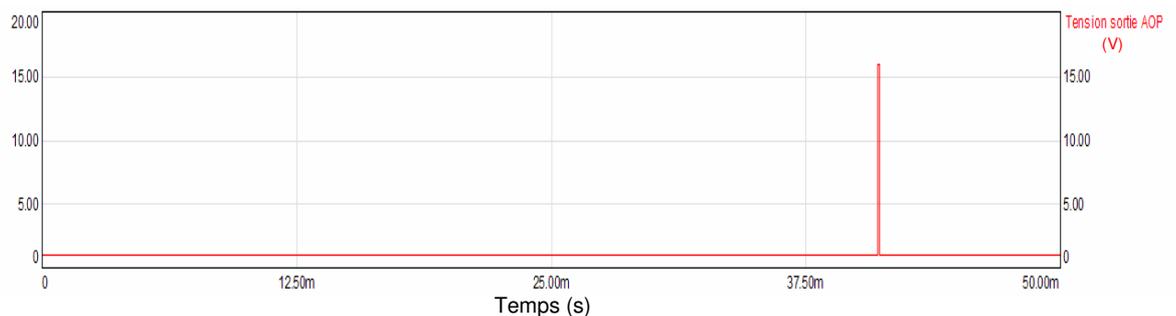


Figure 3.19. Tension de sortie du circuit de protection.

3.2.2. Circuit de protection contre les sous-tensions de commande

3.2.2.1. Principe :

Le circuit de commande, qui est une partie du HVIC, est un circuit qui doit piloter tout type d'IGBT dans tout type de convertisseur statique (hacheur, onduleur,...etc). Le pilotage consiste à provoquer et de contrôler les passages à l'état bloqué et à l'état passant.

Le circuit de commande pilote l'IGBT en fonction des ordres qu'il reçoit de la commande rapprochée (cf. chapitre2, figure 2.11) par la génération d'une tension V_D de valeur suffisante et applicable sur la grille de l'IGBT (cf. chapitre 3 §3.4.1).

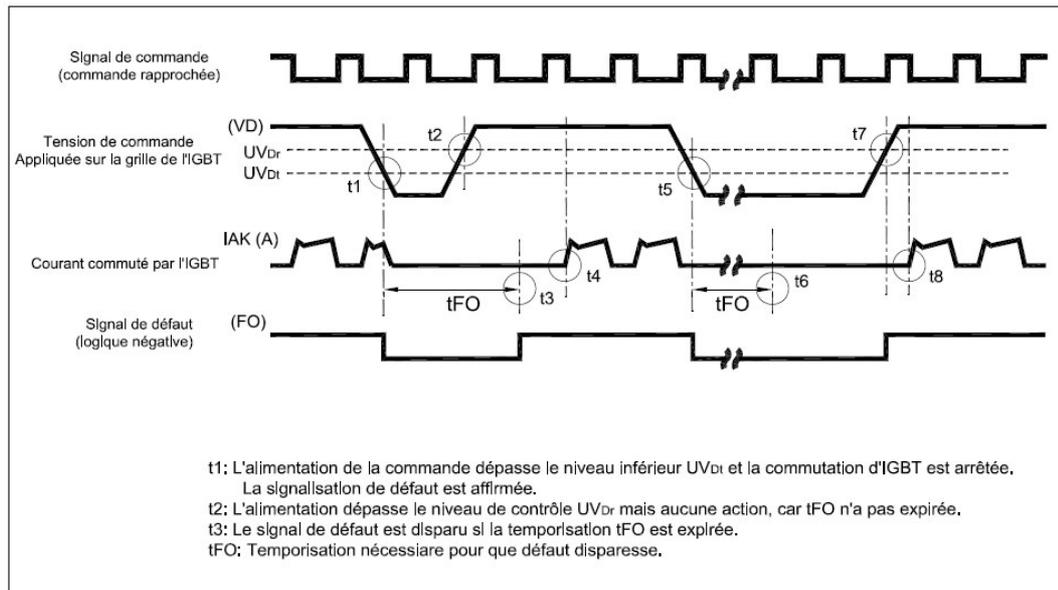
Le HVIC est équipé d'une fonction de protection contre les sous-tensions de commande de grille. Elle sert alors à protéger les IGBTs de l'insuffisance de la valeur de la tension V_D générée par le circuit de commande. Dans le cas où cette tension est inférieure au niveau spécifié U_{VD}

(niveau défini par le constructeur), pour une durée qui dépasse $10\mu s$ [79], tous les IGBTs en bas de l'onduleur passent à l'état bloqué, et un signal de défaut est généré (chronogramme 3.1).

Pour éliminer le défaut de la sous-tension deux conditions sont nécessaires :

- La tension V_D générée par la commande de grille doit dépasser le niveau de sous-tension UV_{Dr} .
- La temporisation t_{FO} du signal défaut (définie par le constructeur) doit être expirée.

Le signal de défaut sera aussi éliminé et le fonctionnement normal des IGBTs reprend.



Chronogramme 3.1. Chronogramme de la fonction de protection contre les sous-

3.2.2.2. Circuit du principe de la protection des sous-tensions :

La figure 3.20, présente le circuit de protection contre les sous-tensions et qui est constitué de deux comparateurs (Amplificateur opérationnel et une bascule RS).

- Si la tension V_D est supérieure à la tension UV_{Dt} , la sortie de la bascule RS égale zéro.
- Si la tension V_D est inférieure à la tension UV_{Dt} , la sortie de la bascule RS égale un.

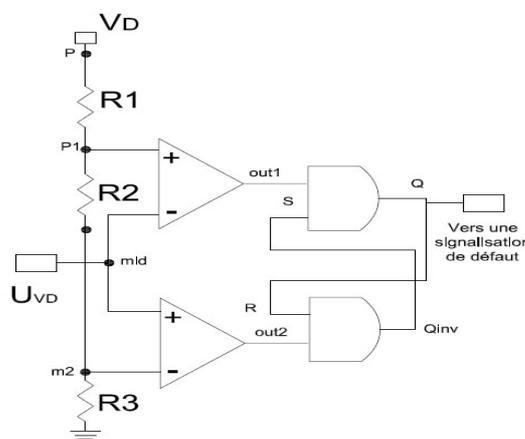


Figure 3.20. Circuit de protection contre les sous-tensions [79].

3.2.2.3. Implémentation VHDL-AMS :

```

LIBRARY DISCIPLINES;
LIBRARY IEEE;
USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.ALL;
USE IEEE.MATH_REAL.ALL;

ENTITY undv IS
END ENTITY undv;

ARCHITECTURE behav OF undv IS

    CONSTANT value1      : REAL:= 1.02;
    CONSTANT r1_in_minus : REAL:= 1.0e19;
    CONSTANT r1_in_plus  : REAL:= 1.0e19;
    CONSTANT value2      : REAL:= 1.02;
    CONSTANT r2_in_minus : REAL:= 1.0e19;
    CONSTANT r2_in_plus  : REAL:= 1.0e19;
    CONSTANT r1           : REAL:= 1.0e6;
    CONSTANT r2           : REAL:= 1.0e3;
    CONSTANT r3           : REAL:= 1.0e3;
    SIGNAL s1              : REAL:=0.0;
    SIGNAL s2              : REAL:=0.0;
    SIGNAL clk             : BIT;
    SIGNAL told            : REAL:=0.0;
    SIGNAL s               : REAL:=0.0;
    SIGNAL r               : REAL:=0.0;
    SIGNAL q               : REAL:=0.0;
    SIGNAL qb              : REAL:=0.0;

    TERMINAL p,p1,out1,m2,mid,out2 :ELECTRICAL;

    QUANTITY u_11 ACROSS i_11 THROUGH mid TO electrical_ground;      --|
    QUANTITY u_12 ACROSS i_12 THROUGH p1 TO electrical_ground;      --| AOP1
    QUANTITY u1_out ACROSS i1_out THROUGH out1 TO electrical_ground; --|
    QUANTITY u_21 ACROSS i_21 THROUGH m2 TO electrical_ground;      --|
    QUANTITY u_22 ACROSS i_22 THROUGH mid TO electrical_ground;     --| AOP2
    QUANTITY u2_out ACROSS i2_out THROUGH out2 TO electrical_ground; --|
    QUANTITY u1 ACROSS i1 THROUGH p TO p1;                          --|
    QUANTITY u2 ACROSS i2 THROUGH p1 TO m2;                         --|
    QUANTITY u3 ACROSS i3 THROUGH m2 TO electrical_ground;         --|
    QUANTITY vd Across iam Through p TO electrical_ground;         --| Alimentation du circuit VD
    QUANTITY Uvd Across id Through mid TO electrical_ground;        --| Tension de reference UVD

    BEGIN
    vd == 10.0;
    i_11==u_11/r1_in_minus;
    i_12==u_12/r1_in_plus;
    u1_out == (u_11-u_12) * value1;
    i_21==u_21/r2_in_minus;
    i_21==u_22/r2_in_plus;
    u2_out == (u_21-u_22) * value2;
    u1==r1*i1; u2==r2*i2; u3==r3*i3;
    clk<=not clk after 0.01 ms; --Horloge

    PROCESS (clk)
    BEGIN
    s1 <= u1_out*(now-told);
    s2 <= u2_out*(now-told);
    IF s1 >= 0.0 THEN
    s <= 1.0;
    ELSE
    s <= 0.0;
    END IF;
    IF s2 >= 0.0 THEN
    r <= 1.0;
    ELSE
    r <= 0.0;
    END IF;
    END IF;
    IF r<=1.0 AND s<= 0.0 THEN --Bascule RS
    q <= 0.0;
    qb <= 1.0;
    ELSE
    q <= 1.0;
    qb <= 0.0;
    END IF;
    told <=now;
    END PROCESS;
END;

```

Netlist 3.4. Code VHDL-AMS d'un circuit de protection contre les sous tensions.

3.2.2.4. Co-simulations :

Les résultats de la co-simulation numérique du modèle analogique/numérique (mixed mode) représenté sur la netlist 3.4, illustrent le comportement de la protection contre les sous-tensions. Les simulations sont effectuées sur une durée de 2ms. A l'instant 1.0ms, on provoque une chute de tension V_D jusqu'à $V_D = 8V$. Celle-ci est inférieure à la tension de seuil $U_{VD} = 10V$. La figure 3.21, présente l'allure de la tension V_D .

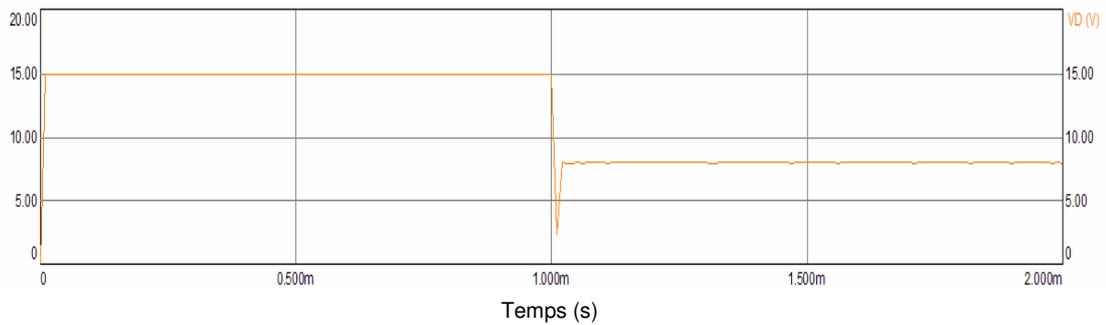


Figure 3.21. Allure de la tension V_D représentant la chute de tension.

Les figures 3.22 et 3.23, représentent l'effet de la chute de tension V_D sur les tensions de sortie des deux comparateurs du circuit.

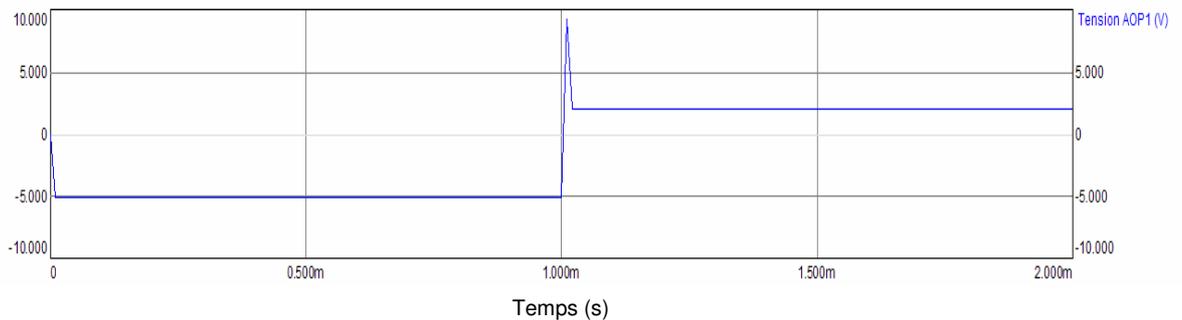


Figure 3.22. Tension de sortie du comparateur bas.

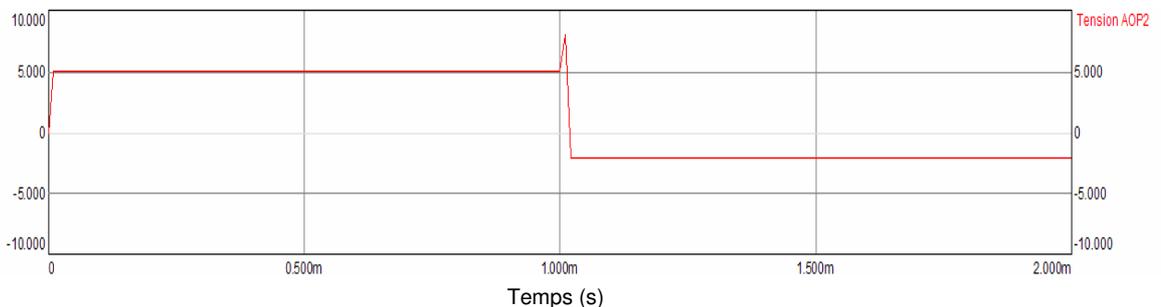


Figure 3.23. Tension de sortie du comparateur haut.

Les tensions de sortie des deux comparateurs sont les entrées de la bascule RS. Il en résulte le chronogramme suivant relatif à cette bascule (figure 3.24).

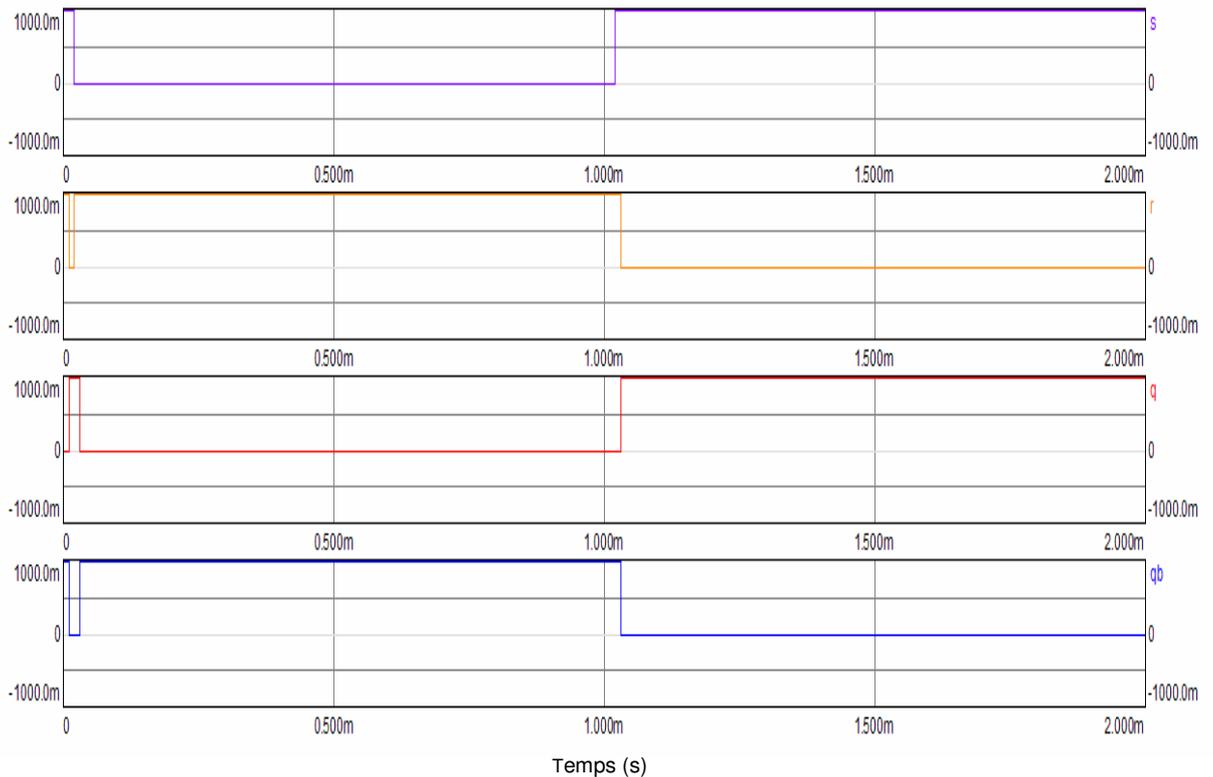


Figure 3.24. Entrées et sorties logiques de la bascule RS.

3.3. Prototypage virtuel des fonctions de contrôle des différentes grandeurs de l'ASIPM

3.3.1. Capteur de température

3.3.1.1. Principe :

La mesure précise et le contrôle strict de la température au cœur du module ASIPM est indispensable pour le bon fonctionnement de ce dernier.

Dans cette partie, il faut distinguer entre l'échauffement du module suite à un fonctionnement normal et l'augmentation de la température interne du module suite à un dysfonctionnement.

Cette mesure ne permet pas de détecter l'évaluation de température due à un court-circuit (constante de temps trop faible lors d'un court-circuit). Elle permet de détecter si la température moyenne des puces IGBT (et/ou diodes) est trop élevée.

Pour cela, on mesure la température d'une puce "IGBT" ou d'une puce "diode" en cours de fonctionnement [79]. On mesure également la température à l'intérieur du module ASIPM ou bien au niveau du système de refroidissement du module (figure 3.25).

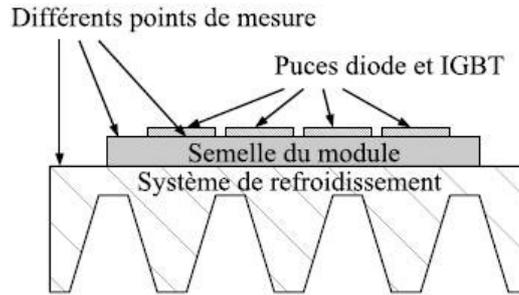


Figure 3.25. Différents point de mesure de la température pour la protection thermique des modules.

3.3.1.2. Méthodes de mesure la température :

a. Mesure de la température du boîtier de l'ASIPM: Pour être précis sur la mesure de température des puces, on doit mesurer la température du boîtier du module ASIPM. Pour cela, l'utilisation d'une thermistance intégrée dans le module ASIPM est indispensable (cf. chapitre 1 §4.2). Elle permet de donner une estimation de la température du boîtier du module grâce aux relations que nous allons aborder dans la section "modélisation". Si la température de thermistance dépasse une valeur fixée, le circuit concerné doit bloquer les IGBTs et envoyer un signal de défaut à la commande.

b. Mesure de la température du système de refroidissement: c'est la solution la plus simple pour détecter une température trop importante des puces diodes et IGBT. En effet, la température du dissipateur (ou du système de refroidissement) est l'image de la température moyenne des puces diodes et IGBT. Si la température du dissipateur dépasse une valeur donnée, le circuit concerné bloque les IGBTs et envoie un signal de défaut à la commande.

c. Estimation de la température de jonction des puces IGBT et diode: les deux méthodes exposées précédemment ont le mérite d'être faciles à mettre en œuvre. Mais, on ne peut pas mesurer avec précision la température des puces diodes et IGBT avec ces deux méthodes. Une méthode plus fiable consiste à l'estimation de la température de jonction des puces IGBT. Celle-ci est basée sur l'estimation du courant des IGBT dans un bras d'onduleur sur charge inductive. Cette méthode peut donner des valeurs plus précises et plus rapides.

3.3.1.3. Modélisation du capteur de température intégré :

Nous nous intéressons à la mesure de température du boîtier, où la valeur de la résistance R dépend de sa température T :

$$R(T) = R_0 \cdot f(T - T_0) \quad (3.18)$$

R_0 : étant la résistance à la température T_0 et la fonction f , une caractéristique du matériau, égale à 1 pour $T=T_0$.

La détermination de la valeur de R permet d'en déduire sa température.

Pour les thermistances à base des matériaux céramiques semi-conducteurs, la relation (3.18) est explicitée sous la forme [80]:

$$R(T) = R_0 \exp\left[B \cdot \left(\frac{1}{T} - \frac{1}{T_0}\right)\right] \quad (3.19)$$

T : étant la température absolue.

La figure 3.26 représente la thermistance dans le module ASIPM (cf. chapitre 1 §4.2) ainsi que le circuit d'interfaçage.

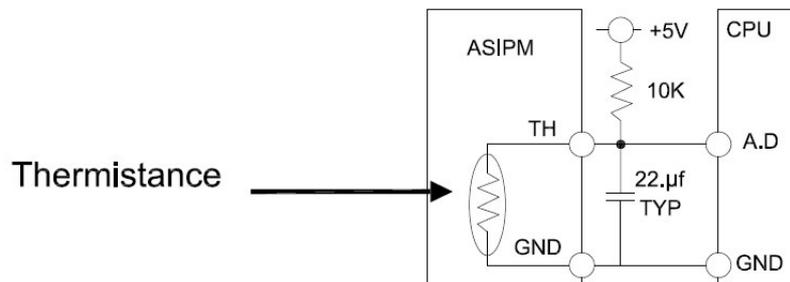


Figure 3.26. Circuit d'interface pour le capteur de température.

3.3.1.4. Implémentation VHDL-AMS :

```

LIBRARY DISCIPLINES;
LIBRARY IEEE;
USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.ALL;
USE DISCIPLINES.THERMAL_SYSTEM.ALL;
USE IEEE.MATH_REAL.ALL;

ENTITY Thermistor IS
    PORT (TERMINAL n, th:ELECTRICAL; TERMINAL therm: thermal;)
END ENTITY Thermistor;

ARCHITECTURE bihav OF Thermistor IS
    Constant temp0 :real:= 298.0;    --K--
    Constant Rt0   :real:= 10.0e3;   --Ohm--
    Constant beta  :real:= 3450.0;   --K--

    Quantity RT    :real;
    QUANTITY a     :real;
    QUANTITY b     :real;
    QUANTITY c     :real;

-- TERMINAL n, Th:ELECTRICAL;
-- TERMINAL therm: THERMAL;

    QUANTITY Vc ACROSS I THROUGH Th TO electrical_ground;    --Thermistance
    QUANTITY Va ACROSS Ia THROUGH electrical_ground TO n;    --Alimentation
    QUANTITY Vr ACROSS Ir THROUGH n TO Th;                  --Resistance
    QUANTITY Vc ACROSS Ic THROUGH Th TO electrical_ground;  --Capacité

    QUANTITY temp_bp ACROSS Power_bp THROUGH therm To thermal_ground; --Source de chaleur (bp)
    QUANTITY temp ACROSS Power THROUGH therm TO thermal_ground;    --Thermal resistor
--(important: temp==temp_bp)

BEGIN
    temp_bp == 293.0;
    Va == 5.0;
    a == temp0-temp_bp;
    b == temp_bp*temp0;
    c == a/b;
    RT == Rt0*exp(beta*c);
    Vc == RT*I;
END;

```

Netlist 3.5. Code VHDL-AMS d'un capteur intégré de température.

3.3.1.5. Simulations:

Nous représentons sur les figures 3.27 et 3.28 les résultats des simulations relatives au modèle comportemental du capteur de température. La figure 3.27 montre l'évolution de la thermistance en fonction de la température avec un coefficient négatif. La figure 3.28 quant à elle, montre la variation négative de la tension aux bornes de la thermistance suite à une augmentation de la température.

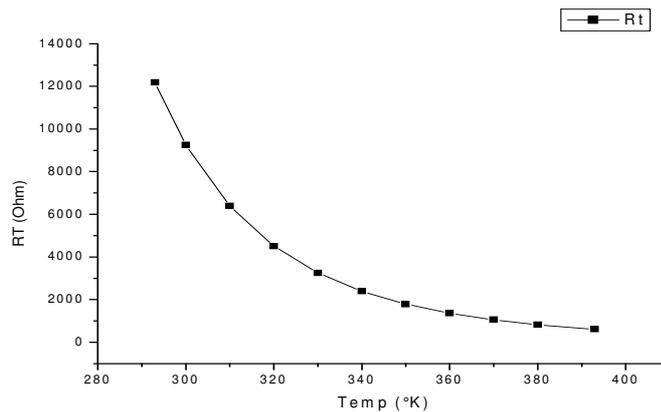


Figure 3.27. Evolution de la thermistance en fonction de la température.

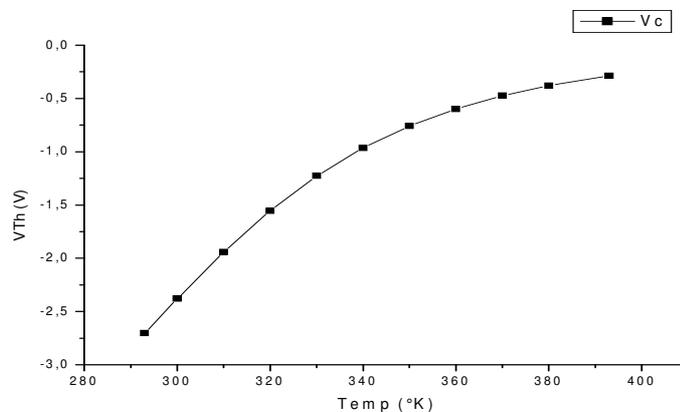


Figure 3.28. Evolution de la tension aux bornes de la thermistance en fonction de la température.

3.3.2. Capteur intégré de courant

3.3.2.1. Principe :

Le HVIC intègre également un capteur de courant (cf. chapitre 1 §4.2). Ce capteur permet de délivrer à sa sortie une tension V_{amp} (tension de sortie de l'amplificateur opérationnel) (figure 3.30). Celle-ci sera utilisée par la suite comme une entrée pour le circuit de contrôle (générateur de signaux de défaut §3.3.3). Tout changement de courant dans le circuit onduleur sera capté par la résistance shunt intégrée R_{shunt} dans l'onduleur. Cette résistance mesure le courant à travers

l'émetteur d'IGBT dans la partie inférieure du bras de l'onduleur [79]. Le gain d'amplification est ajusté pour délivrer $V_{amp} = 4V$ (dans le cas où le pic de courant égal au supérieur a 200% le courant de charge nominal par bras d'onduleur). La différence entre le capteur de courant intégré et le circuit de protection contre les courts-circuits et les sur-intensités est que le premier circuit sert d'indicateur sur l'augmentation du courant de charge, par contre le deuxième circuit sert à bloqué directement les IGBTs dès qu'il y a une augmentation de courant dépassant les 200% de la valeur du courant de charge.

3.3.2.2. Circuit du capteur de courant :

La figure 3.29 montre un capteur intégré de courant.

Les relations courant-tension relatives au capteur de courant (Résistance R_{shunt} , amplificateur opérationnel,...,etc) sont représentées sur la netlist 3.6.

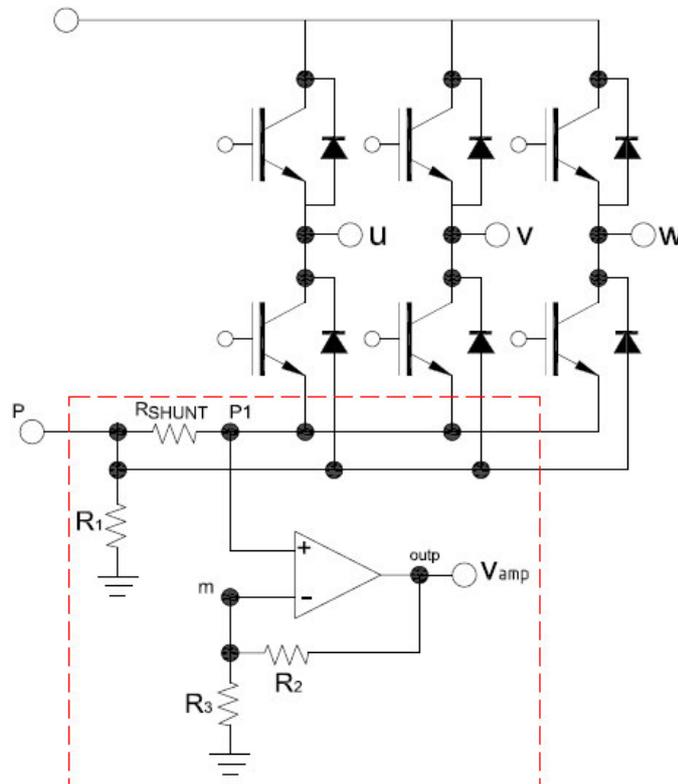


Figure 3.29. Capteur intégré de courant [79].

3.3.2.3. Implémentation VHDL-AMS :

```

LIBRARY DISCIPLINES;
LIBRARY IEEE;
USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.ALL;
USE IEEE.MATH_REAL.ALL;

ENTITY capteur de courant IS
END ENTITY;

ARCHITECTURE behav OF capteur de courant IS

    CONSTANT value      : real:= 1.0;
    CONSTANT r_in_minus : real:= 50.0;
    CONSTANT r_in_plus  : real:= 50.0;
    CONSTANT r1         : real:= 10.0;
    CONSTANT r2         : real:= 10.0;
    CONSTANT r3         : real:= 10.0;
    CONSTANT r_shunt    : real:= 0.9990;

    TERMINAL m,p,p1,outp :ELECTRICAL;

    QUANTITY v ACROSS i THROUGH p1 TO p;           --|courant de charge
    QUANTITY u_1 ACROSS i_1 THROUGH m TO electrical_ground; --|
    QUANTITY u_2 ACROSS i_2 THROUGH p1 TO electrical_ground; --|AOP
    QUANTITY vamp ACROSS iamp THROUGH electrical_ground TO outp; --|
    QUANTITY ur1 ACROSS ir1 THROUGH p TO electrical_ground; --|
    QUANTITY ur2 ACROSS ir2 THROUGH m TO outp; --| circuit auxiliaire
    QUANTITY ur3 ACROSS ir3 THROUGH m TO electrical_ground; --|
    QUANTITY u_rshunt ACROSS i_rshunt THROUGH p TO p1; --|

BEGIN
    IF now < 3.0 ms USE
        i==6.0;
    ELSIF now > 3.0 ms and now < 5.0 ms USE
        i== 7.07;
    ELSE
        i== 4.0;
    END USE;

    i_1==u_1/r_in_minus;    i_2==u_2/r_in_plus;

    IF vamp < 4.0 USE
        IF vamp < 100.0e-3 USE
            vamp == (u_1-u_2) * value + 29.23e-3;    --|la tension typique d'offset est de 20mv
        ELSE
            vamp == (u_1-u_2) * value;
        END USE;
    ELSE
        vamp ==4.0;
    END USE;

    ur1 == r1*ir1;    ur2 == r2*ir2;    ur3 == r3*ir3;    u_rshunt == r_shunt*i_rshunt;
END;

```

Netlist 3.6. Code VHDL-AMS correspondant à un capteur intégré de courant.

3.3.2.4. Simulation :

Nous présentons dans cette partie les résultats de simulations relatifs au comportement du capteur intégré de courant. Les simulations sont effectuées pour une durée de 7ms pour mieux visualiser le comportement du capteur. A l'instant 30ms, nous avons provoqué une augmentation de courant de charge d'une valeur de 7.0A pendant une durée de 2ms au niveau d'un seul bras de l'onduleur, la figure 3.30 montre cette augmentation de ce courant.

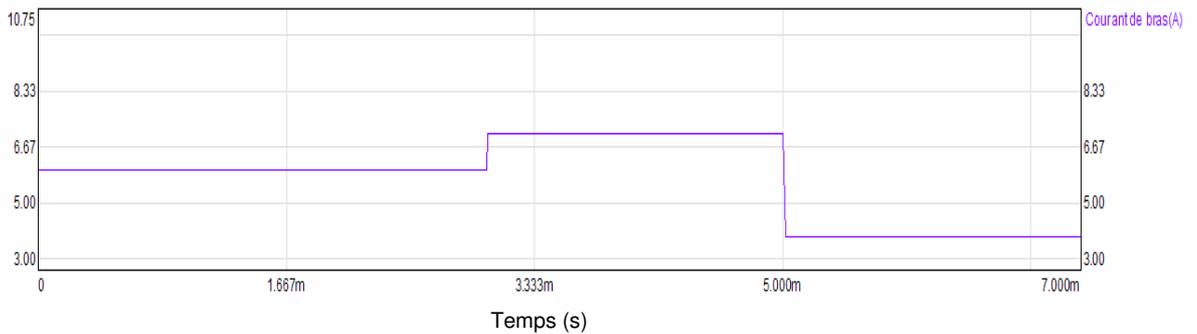


Figure 3.30. Courant de charge a travers un seul bras d'onduleur.

Les figures 3.31 et 3.32, représentent respectivement le courant à travers la résistance shunt et la tension aux bornes de cette dernière.

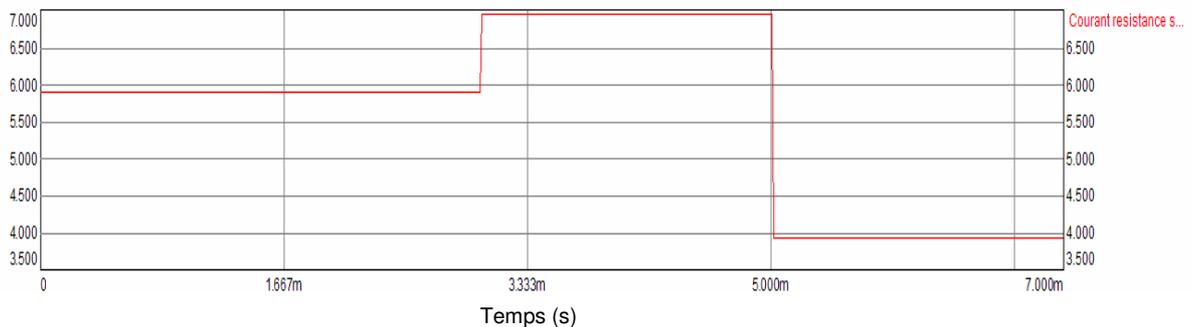


Figure 3.31. Courant a travers la résistance shunt.

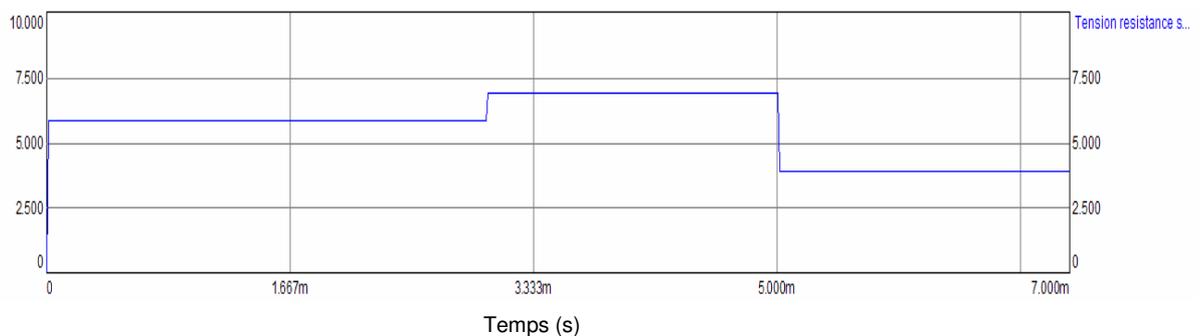
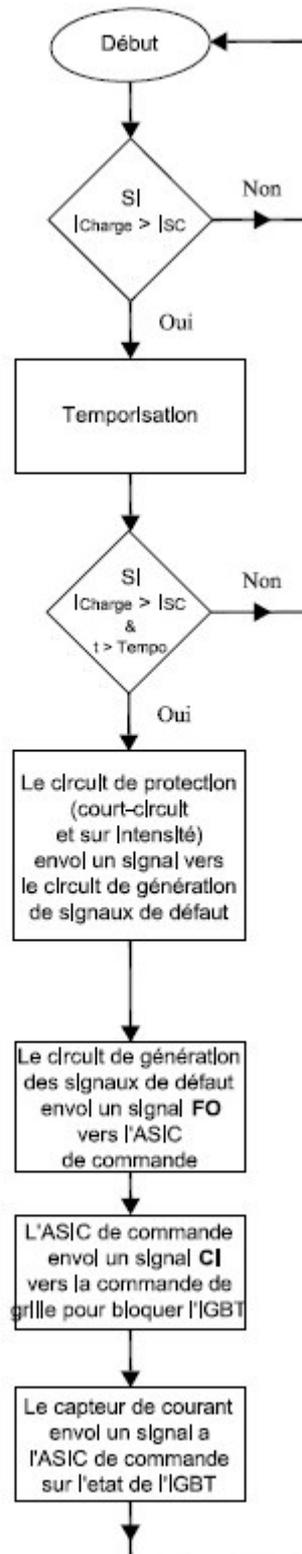


Figure 3.32. Tension aux bornes de la résistance shunt.

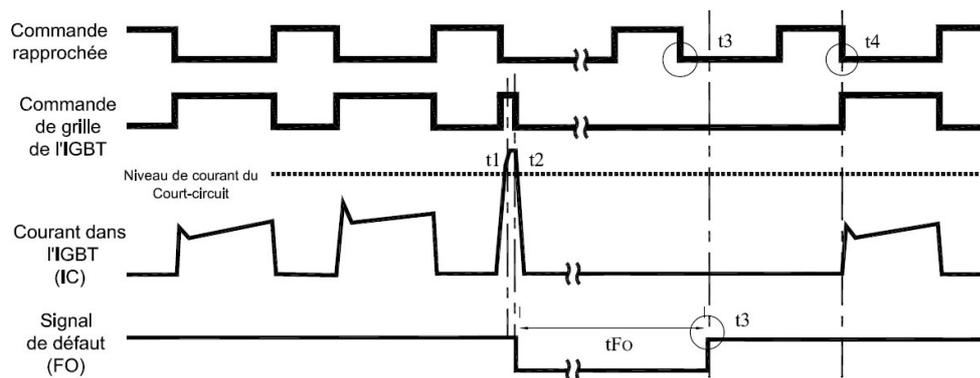
3.3.3.2. Organigramme du générateur des signaux de défaut :

Dans cette partie, nous décrivons l'organigramme du générateur des signaux de défaut.



Organigramme 3.1. Organigramme du générateur des signaux de défaut.

A titre d'exemple, nous avons choisi un défaut de court-circuit pour valider le concept de la génération de courant de défaut. Lorsque le courant passe au dessus du niveau déclenchement par court-circuit a l'instant t_1 , une temporisation est activée par le circuit de protection contre les courts-circuits. A la fin de cette temporisation un signal de défaut doit être généré à l'instant t_2 qui provoque le blocage de l'IGBT. Aucune nouvelle commande n'est valide tant que le signal défaut FO n'a pas disparu. L'IGBT restera à l'état bloqué jusqu'à ce que la temporisation t_{FO} expire (l'instant t_3). La fermeture de l'IGBT encore une fois est réalisable à l'instant t_4 .



- t1: le courant de charge dans l'IGBT dépasse le niveau de déclenchement par courant de court circuit.
- t2: la protection contre court-circuit active la temporisation après t1.
- t3: la commande est ignoré durant tFO.
- t4: le signal tFO est expiré et le signal défaut est éliminé.
- t5: le fonctionnement de l'IGBT est relancé encore une fois.

Chronogramme 3.2. Chronogramme d'un scénario de défaut avec génération d'un signal de défaut [78].

L'organigramme 3.1 a été décrit en code VHDL-AMS (netlist 3.7).

3.3.3.3. Implémentation VHDL-AMS :

```

LIBRARY DISCIPLINES;
LIBRARY IEEE;
USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.ALL;
USE IEEE.MATH_REAL.ALL;

ENTITY Fos1 IS
END ENTITY Fos1;

ARCHITECTURE behavioral OF Fos1 IS
    SIGNAL clk : BIT;
--Paramètres du contrôleur à Hystérésis pour la protection court-circuit & surintensité:
    CONSTANT curef : REAL := 5.0000;
    CONSTANT deltacu : REAL := 2.0000;

    --Paramètres du contrôleur a Hystérésis pour le dépassement de la température:
    CONSTANT temref : REAL := 5.0000;
    CONSTANT deltatem : REAL := 2.0000;

    --Paramètres du contrôleur a Hystérésis pour la protection contre la sous-tension:
    CONSTANT undvref : REAL := 5.0000;
    CONSTANT deltaundv : REAL := 2.0000;

    --Variables of the Hystérésis controller:
    SIGNAL s1 : REAL:=0.0;
    SIGNAL s2 : REAL:=0.0;
    SIGNAL s3 : REAL:=0.0;
    SIGNAL FO : bit;

    SIGNAL scoc : REAL:=0.0;
    SIGNAL temp : REAL:=0.0;
    SIGNAL undv : REAL:=0.0;
BEGIN
    clk<=not clk after 50.0 us;
    PROCESS(clk)
    BEGIN
        -- Contrôleur a Hystérésis de court-circuit & dépassement de courant:
        IF (scoc - curef) >= deltacu THEN
            s1 <= 1.0000;
        ELSE
            s1 <= 0.0000;
        END IF;

        -- Contrôleur a Hystérésis de dépassement de température:
        IF (temp - temref) >= deltatem THEN
            s2 <= 1.0000;
        ELSE
            s2 <= 0.0000;
        END IF;

        -- Contrôleur a Hystérésis de la protection contre la sous-tension:
        IF (undv - undvref) >= deltaundv THEN
            s3 <= 1.0000;
        ELSE
            s3 <= 0.0000;
        END IF;

        FO<= s1 AND s2 AND s3;
    END PROCESS;
END;

```

Netlist 3.7. Code VHDL-AMS du générateur de signaux de défaut.

3.4. Prototypage virtuel du circuit de commande d'IGBT

3.4.1. La commande de la grille de l'IGBT

3.4.1.1. Principe :

Nous appelons commande de grille la fonction électronique qui reçoit un signal logique (0V; +15V) provenant de la commande rapprochée et qui permet en sortie de piloter directement la grille de l'IGBT (tension V^- , V^+).

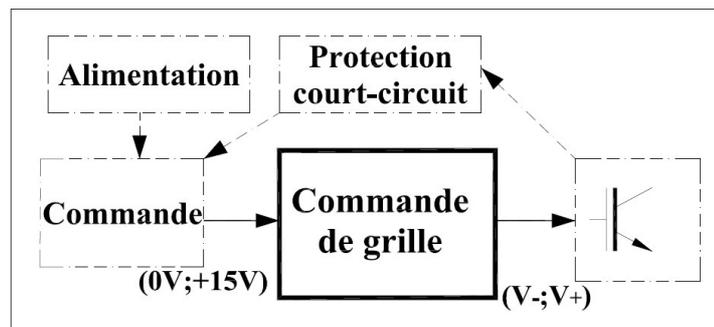


Figure 3.35. Fonction de commande de grille.

La fonction commande de grille reçoit un signal logique "d'ordre", elle fournit un signal analogique capable de piloter la grille de module IGBT et de fournir le courant nécessaire à la commutation. Celui-ci peut atteindre 30 Ampères crête. Les tensions de grille en régime établi sont respectivement V^+ et V^- pour les valeurs maximale et minimale. Le standard industriel est V^+ à 15V et V^- à -15V. La tension V^+ permet d'obtenir des pertes en conduction les plus faibles possibles. La tension V^- a pour but de bloquer la grille de l'IGBT à un niveau plus bas pour se prémunir des parasites extérieurs qui peuvent faire augmenter la tension de grille de l'IGBT et le remettre en conduction alors que celui-ci est bloqué [78].

3.4.1.2. Modélisation de la commande de la grille de l'IGBT :

Nous nous intéressons à la commande en tension de la grille de l'IGBT. Elle permet de piloter la grille grâce à une ou plusieurs résistances et une ou plusieurs sources de tension.

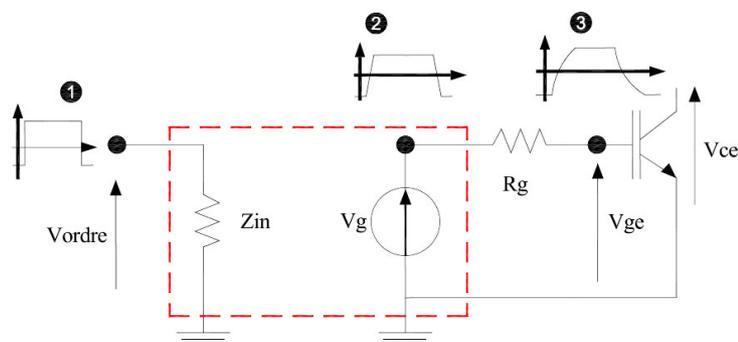


Figure 3.36. Circuit de principe de la commande de grille en tension.

- ❶ représente la tension V_{ordre} (0V; +15V) fournie par la commande rapprochée avec un courant faible.
- ❷ représente la tension V_g interne de la commande de grille.
- ❸ représente la tension V_{ge} (tension grille-émetteur) appliquée sur la grille de l'IGBT avec un courant important (plus de 20A pour un IGBT de 1200V/100A).

Sur la figure 3.36, on fait apparaître la résistance de grille R_g , l'impédance Z_{in} et la source de tension commandée V_g . Celle-ci doit avoir une impédance de sortie minimale pour des raisons de *CEM* (*Compatibilité électromagnétique*) [97]. Les fronts de tension doivent être les plus raides possibles pour ne pas entrer en considération dans la dynamique de commutation de l'IGBT. Le temps de propagation entre l'impulsion d'ordre et V_g doit être le plus faible possible.

L'étude d'une commande de grille en tension peut se simplifier à l'étude d'une source de tension commandée en tension (figure 3.37).

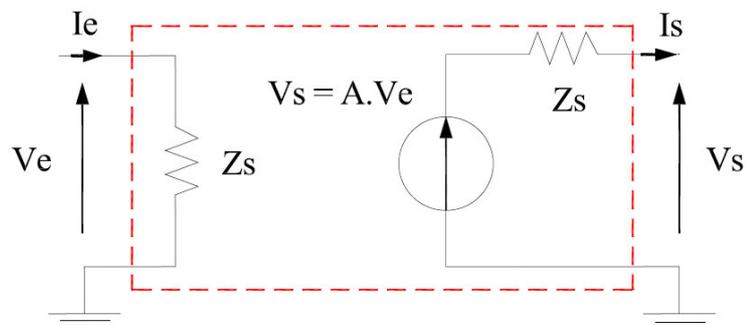


Figure 3.37. Source de tension commandée en tension.

L'implémentation VHDL-AMS de cette source de tension permet la réalisation de la commande de grille en tension.

3.4.2. L'alimentation "Bootstrap"

3.4.2.1. Principe :

Dans les convertisseurs de puissance à base d'IGBT, chaque IGBT est piloté via un "driver". Ce dispositif permet de mettre en forme, d'amplifier et de conditionner l'ordre de commande appliqué à l'IGBT. Pour cela, il doit être alimenté par une source extérieure qui, dans le cas général, doit être isolée et référencée au potentiel de source ou d'émetteur de l'IGBT à commander. L'alimentation doit alors fournir une petite quantité d'énergie, sous tension réduite à travers le dispositif d'isolation galvanique (figure 3.38).

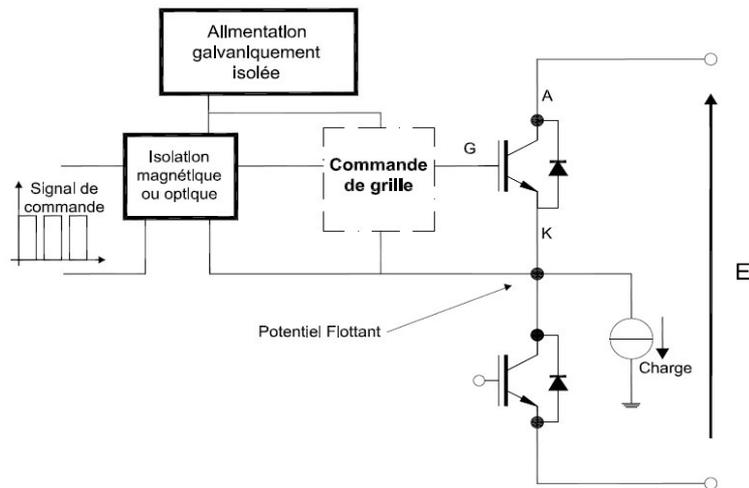


Figure 3.38. Schéma classique de l'alimentation du "driver" avec une isolation galvanique.

Les solutions assurant à la fois l'isolation galvanique et l'ordre de commande (exp : les transformateurs d'impulsion) sont actuellement difficiles à intégrer. Afin de résoudre ce problème il est possible d'utiliser d'autres principes d'alimentation du "driver" qui n'ont pas besoin d'une isolation galvanique supplémentaire. De nombreuses solutions ont été envisagées pour simplifier et fiabiliser la mise en œuvre de ce type d'alimentation. Seules quelques unes pouvaient prétendre à leur intégration:

- l'auto-alimentation [81] et [82].
- La technique de la pompe à charge pour des solutions inférieures à 100V et 50A [83],
- La technique de "Bootstrap" pour des tensions jusqu'à environ 1200V [84],

Nous nous intéressons surtout à la dernière technique car elle présente de meilleures performances. Cette structure permet de réaliser la fonction d'alimentation du "driver" d'un IGBT en éliminant la nécessité d'une isolation galvanique (figure 3.39).

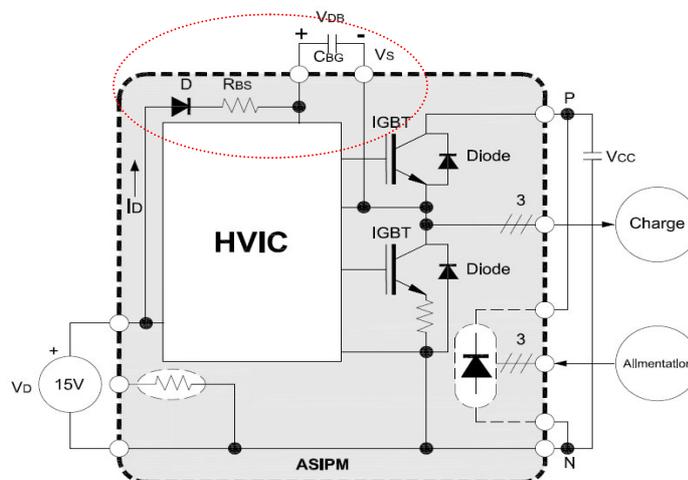


Figure 3.39. Circuit d'implantation de l'alimentation "Bootstrap".

L'avantage de cette structure est qu'elle peut être intégrée en hybride ou monolithiquement (à l'exception de la capacité de stockage C_{BS}).

La technique "Bootstrap" est une solution économiquement intéressante, mais elle présente également quelques inconvénients :

- Le fonctionnement est impossible en régime statique et est déconseillé pour les applications basses fréquences,
- Cette solution demande une alimentation continue externe,
- La tension d'alimentation est de type unipolaire (0, 15V).

3.4.2.2. Circuit du "Bootstrap" :

Le principe de fonctionnement est basé sur la création d'une alimentation flottante (l'émetteur de l'IGBT est fixé à un potentiel flottant), pour l'IGBT en haut "high-side" du bras de l'onduleur de tension, par stockage d'énergie dans un élément capacitif C_{BS} . Lorsque l'IGBT en bas "low-side" du bras d'onduleur conduit, le condensateur est chargé à travers la diode par la tension d'alimentation continue. Quand l'IGBT du bas du bras se bloque, le "driver" est alimenté par la charge stockée dans le condensateur. Pendant cette phase la diode D supporte la tension totale E (Figure 3.40). Pour cette raison une diode capable de supporter la tension nominale du convertisseur est requise.

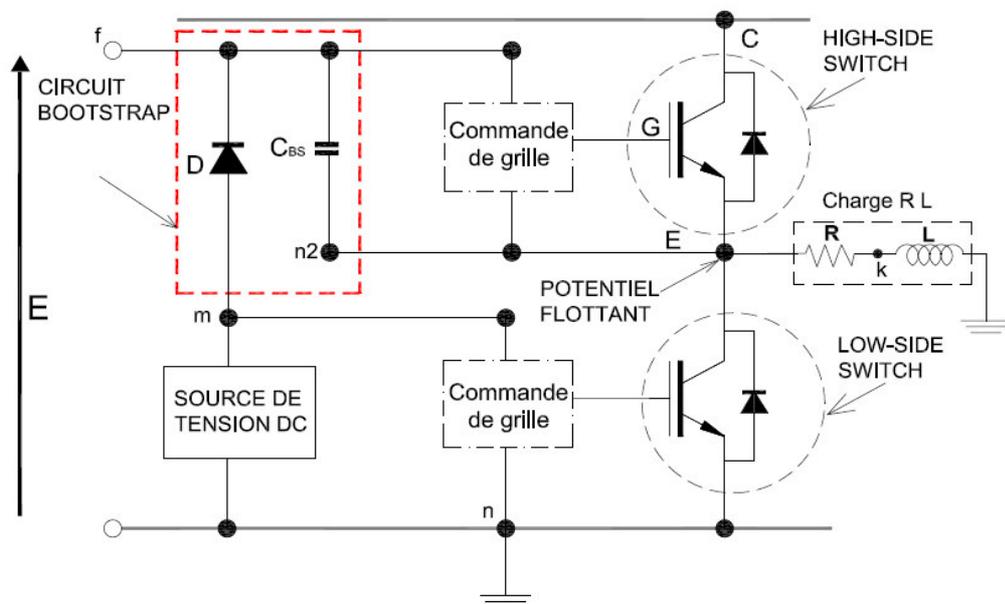


Figure 3.40. Circuit de principe de la technique d'alimentation "Bootstrap".

3.4.2.3. Implémentation VHDL-AMS :

```

LIBRARY DISCIPLINES;
LIBRARY IEEE;
USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.ALL;
USE IEEE.MATH_REAL.ALL;

ENTITY Bootstrap IS
END;

ARCHITECTURE behav OF Bootstrap IS

    TERMINAL f,n,n2,m,k: ELECTRICAL;

    QUANTITY vc ACROSS ic THROUGH f TO n2;           --|Capacité
    QUANTITY vd ACROSS id THROUGH m TO f;           --|Diode
    QUANTITY vin ACROSS i_in THROUGH m TO n;       --|Source de tension
    QUANTITY ur1 ACROSS ir1 THROUGH n2 TO f;       --|Résistance1
    QUANTITY ur2 ACROSS ir2 THROUGH m TO n;       --|Résistance2

BEGIN

    vin == 15.0;
    ur == 1.0*ir; --Résistance
    ul== 0.0001 * il'dot;--Capacité
    vload == ur+ul;

    IF vc > 0.0 USE --diode
    vd == 0.0;
    ELSE
    id == 0.0;
    END USE;

    ur1 == 1.0e1*ir1;
    ur2 == 1.02*ir2;
    ic == 1.0e-7*vc'dot;
END;

```

Netlist 3.8. Code VHDL-AMS d'une alimentation "Bootstrap".

3.4.2.4. Simulations :

Les simulations numériques de ce code VHDL-AMS (netlist 3.8) sont présentées sur les figures 3.41 et 3.42. La figure 3.41, montre le courant et la tension d'une charge inductive ($R=1\Omega$ et 0.1mH) alimenté par un bras d'onduleur de tension (300V-500Hz) utilisé pour valider le principe de l'alimentation "Bootstrap" (figure 3.40).

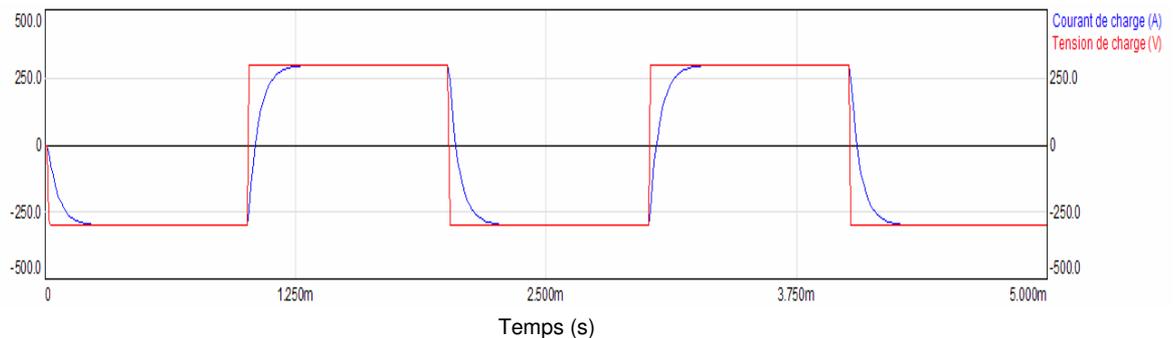


Figure 3.41. Tension et courant de sortie d'un onduleur de tension avec une charge inductive.

La figure 3.42, montre le courant de décharge du condensateur utilisé pour l'alimentation "Bootstrap".

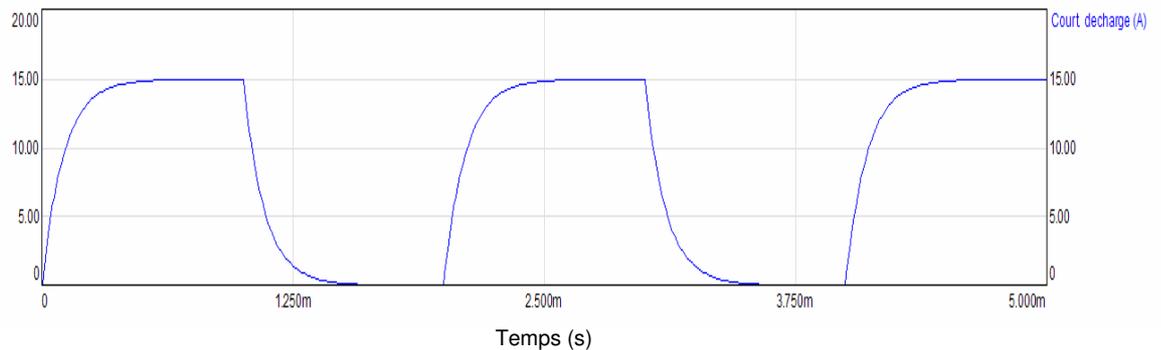


Figure 3.42. Courant de la décharge du condensateur de *Bootstrap*.

Durant la demi période (0ms jusqu'au 1ms), l'IGBT en bas du bras conduit. A ce moment là, le condensateur C_{BS} se charge (figure 3.43). Lorsque l'IGBT du haut du bras commence à conduire, le condensateur se décharge. On peut remarquer également que la décharge est rapide (~ 0.30 ms).

3.4.3. Prototypage virtuel du convertisseur Analogique/Numérique

3.4.3.1. Principe :

Un convertisseur analogique numérique (CAN) est un système qui permet de prélever périodiquement des échantillons d'un signal analogique, et de le quantifier afin de le numériser. [85].

Divers types de CAN existent, on peut citer les:

- Convertisseurs à simple rampe,
- Convertisseurs à rampe numérique,
- Convertisseurs à double rampe,
- Convertisseurs à flash et semi flash,
- Convertisseurs pipeline,
- Convertisseurs algorithmiques,
- Convertisseurs Sigma-Delta.

Dans le cadre de notre étude, on s'intéresse plus particulièrement aux CANs de type Sigma-Delta, souvent utilisés dans les chaînes d'entraînement électrique, pour l'acquisition du courant, de la vitesse ou du couple électromagnétique à une fréquence comprise entre 20 et 20kHz.

Le fonctionnement d'un convertisseur Sigma-Delta est basé sur le principe du sur échantillonnage (au delà de la fréquence dite de *Shannon* ($F_e = 2 F_{max}$)) et de mise en forme du bruit. Son principe repose sur un modulateur Sigma-Delta qui échantillonne périodiquement le

signal d'entrée et qui effectue une quantification d'un bit (ou plusieurs bits) par coup d'horloge non du signal mais de l'erreur résiduelle entre le signal et l'estimation de la valeur de ce signal (Figure 3.43).

Grâce au sur échantillonnage, les erreurs dues à la quantification imprécise et au bruit sont amoindries par moyennage.

L'avantage d'une telle structure est qu'elle permet d'atteindre une très grande résolution avec peu de structures analogiques. Elle tire directement profit de la forte intégration du traitement numérique.

3.4.3.2. Circuit du CAN Sigma-Delta :

Un modulateur delta se compose d'un comparateur et d'un intégrateur.

On compare le signal d'entrée (V_e) à la sortie de l'intégrateur (V_s). En fonction de cette comparaison, on va venir modifier le signe de la tension d'entrée de l'intégrateur.

De cette manière, la tension V_s va tendre à suivre l'évolution de la tension V_e :

- Si $V_e > V_s$: on va intégrer positivement et de manière à 'forcer' V_s à se rapprocher de V_e .
- Si $V_e < V_s$: on va tendre à faire diminuer V_s en appliquant une tension négative à l'entrée de l'intégrateur.

En rajoutant après le comparateur un intégrateur, le modulateur delta effectue alors un codage de l'amplitude du signal d'entrée. On obtient alors une sortie sur un bit en fréquence élevée.

On associe au convertisseur un filtre numérique décimateur qui a pour objectif de fournir un signal numérique au format désiré et à la fréquence souhaitée. De plus il élimine le bruit dans la bande passante du signal.

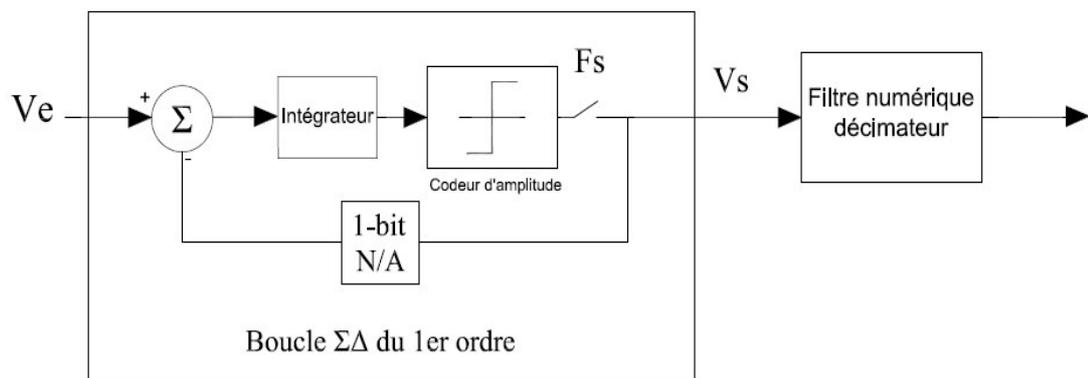


Figure 3.43. Circuit de principe d'un CAN type Delta-Sigma.

3.4.3.3. Implémentation VHDL-AMS :

```

LIBRARY DISCIPLINES;
LIBRARY IEEE;
USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.ALL;
USE IEEE.MATH_REAL.ALL;

--digital part of sigma delta converter
ENTITY sigdelDIG IS
    GENERIC (      vref      : REAL := 10.0);
    PORT (      clk      : IN BIT;
            QUANTITY isum2      : REAL;
            SIGNAL vref_help : INOUT REAL
    );
BEGIN END ENTITY sigdelDIG;

ARCHITECTURE behav OF sigdelDIG IS
BEGIN
    PROCESS (clk) BEGIN
        IF clk'EVENT AND clk = '1' THEN
            IF isum2 >= 0.0 THEN
                vref_help <= vref;
            ELSE
                vref_help <= -vref;
            END IF;
        END IF;
    END PROCESS;
    BREAK ON vref_help;
END ARCHITECTURE behav;

--sigma delta converter
LIBRARY DISCIPLINES;
USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.all;

ENTITY sigdel2 IS
    GENERIC (      vref : REAL := 10.0;
                tau1 : REAL := 64.0E-6;
                tau2 : REAL := 8.0E-6);
    PORT ( clk : IN BIT;
            TERMINAL input : ELECTRICAL;
            TERMINAL output : ELECTRICAL);
BEGIN END ENTITY sigdel2;

ARCHITECTURE sd OF sigdel2 IS
    QUANTITY input_v ACROSS input;
    QUANTITY output_v ACROSS output_i THROUGH output;
    QUANTITY sum1, sum2 : REAL;
    QUANTITY isum1 : REAL := 0.0;
    QUANTITY isum2 : REAL := 0.0;
    SIGNAL vref_help : REAL := vref;

BEGIN

    PROCESS (clk)
    BEGIN
        IF output_v'above(0.0) THEN
            vout<= 1.0;
        ELSE
            vout<= -1.0;
        END IF;
    END PROCESS;
    BREAK ON clk;
END ARCHITECTURE sd;

-- clock generator
LIBRARY DISCIPLINES;
USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.all;

ENTITY clock IS
    GENERIC (p : TIME := 1ns);
    PORT (clk : INOUT BIT := '1');
END ENTITY clock;

ARCHITECTURE v1 OF clock IS
BEGIN
    clk<= not clk after p/2;
END ARCHITECTURE v1;
--a sinusoidal voltage source
ELSE
    v == V0 + Va* EXP(- a*( NOW- TD))* SIN( 2.0* math_pi* freq*( NOW- TD));
END USE;
END ARCHITECTURE v1;

```

Netlist 3.9. Code VHDL-AMS d'un CAN type Sigma-Delta.

3.4.3.4. Co-simulations:

Le signal analogique appliqué à l'entrée du CAN type Sigma-Delta, est un signal harmonique dont l'amplitude est égale à 10V et de période 1 ms.

La figure 3.44, présente une simulation de l'horloge numérique de période 10kHz ainsi que le signal numérique obtenu à la sortie du CAN Delta-Sigma.

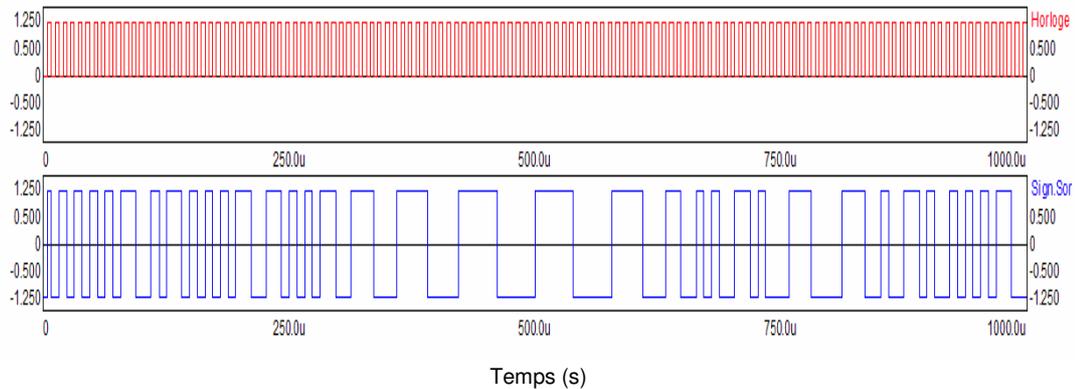


Figure 3.44. Signal en haut représente l'horloge numérique, le signal en bas représente le signal numérique modulé à la sortie du CAN Sigma-Delta.

4. Conclusion

Les éléments présentés dans ce chapitre justifient notre choix qui a été basé sur la décomposition fonctionnelle des deux blocs numérique et analogique. Notre travail a été partagé en deux parties :

La première partie, décrit une modélisation de la machine asynchrone et la commande directe du couple DTC. Un modèle système implémenté sur l'environnement *Matlab/Simulink* du point de vue concepteur de système a été développé. Cela nous a permis notamment de visualiser l'allure du couple électromagnétique, l'évolution du flux statorique, ainsi que les formes d'onde des composantes triphasées en courant et en tension. Un prototypage virtuel basé sur un modèle comportemental de haut niveau de la commande DTC entourée par la chaîne d'entraînement fait l'objet d'une modélisation mixte (analogique/numérique). Il a été validé par une cosimulation en utilisant le langage VHDL-AMS. Nous avons pu simuler et comparer l'évolution du couple électromagnétique et du flux statorique par rapport au modèle système.

La deuxième partie, a été consacré à l'étude de la partie analogique et mixte du HVIC en vue de l'intégration de la commande et le circuit de puissance. Cette étude est basée sur la méthode de décomposition descendante et fonctionnelle du module HVIC afin d'aboutir un prototypage virtuel des trois fonctions principales ; les fonctions de contrôle, les fonctions de protection, le circuit de commande et enfin le CAN type Delta-Sigma.

Chapitre IV

*Prototypage virtuel de l'intégration
en électronique de puissance*

1. Introduction

La phase de la conception de l'intégration de puissance est sans doute la partie la plus critique, en vue de la nature des composants et des modèles y relatifs. Cette phase est l'une des étapes les plus coûteuses dans les processus de mis en œuvre d'un nouveau composant, module ou système. Le présent chapitre est scindé en deux parties.

La première partie, décrit les modèles de composants de puissance considérés, tels que la diode PIN, le transistor MOS et l'IGBT. Le but est de créer une bibliothèque de composants de puissance réutilisable, pour notre application et pour des applications futures.

Dans la deuxième partie nous proposerons une nouvelle approche basée sur un modèle moyen non linéaire en vue de l'élaboration d'un modèle comportemental orienté vers un prototypage virtuel du circuit de puissance, composé de diode PIN, IGBT,...,etc. Ce modèle permet, en plus, de tenir compte, de différents aspects, tels que le calcul des pertes en commutation, les effets de câblage, la compatibilité électromagnétique CEM, l'aspect thermique,...etc.

2. Prototypage virtuel des composants de puissance

Dans cette partie de notre étude, nous nous intéressons à la partie puissance de notre cahier des charges : l'onduleur de tension.

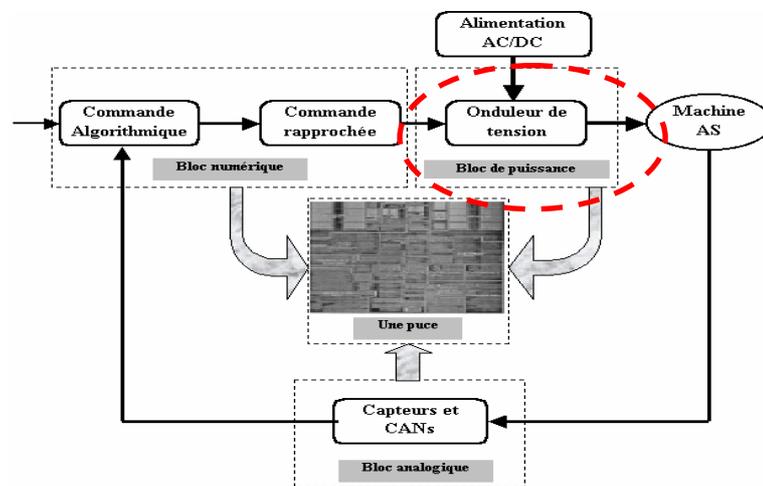


Figure 4.1. Synoptique de la structure de puissance et de commande à intégrer.

L'étude de conception par prototypage virtuel est appliquée sur différents composants de puissance qui peuvent être utilisés dans divers circuits de puissance, tels que la diode PIN, le transistor MOS et l'IGBT.

Remarque : le circuit CALC d'aide à la commutation ne sera pas étudié dans ce qui suit.

2.1. La diode PIN de puissance

La diode de puissance est un interrupteur non commandable, sa fonction est non seulement indispensable mais omniprésente dans les systèmes de l'électronique de puissance. On utilise principalement les diodes *PIN* (*Positive Intrinsic Negative*) dans deux modes de fonctionnement, le mode "redressement" et le "mode roue libre".

Les diodes PIN sont présentes dans l'onduleur de tension comme des diodes de roue libre (figure 4.2)

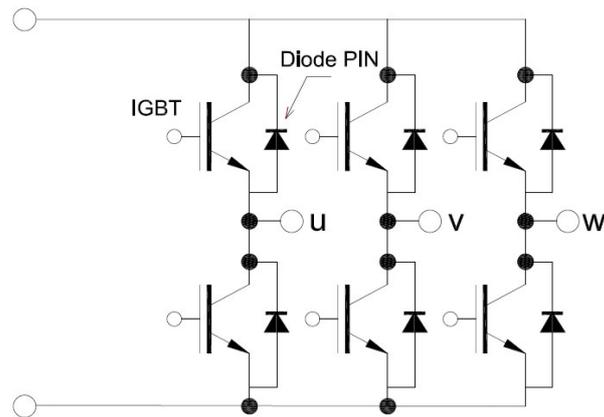


Figure 4.2. Onduleur de tension triphasé à base des IGBT et diodes PIN.

Le choix de la diode PIN pour les applications de forte tension est favorisé par sa tenue en tension qui est très élevée et son faible courant de fuite.

Une diode PIN est généralement réalisée avec une couche de type P^+ très dopée par diffusion dans une couche épitaxiée de type N^- faiblement dopée (pratiquement intrinsèque). Cette couche est appelée zone centrale ou base intrinsèque I. L'épitaxie N^- est réalisée sur un substrat très dopé de type N^+ tel que représenté sur la figure 4.3. Le contact relié à la zone P^+ constitue l'anode, celui relié à la zone N^+ la cathode.

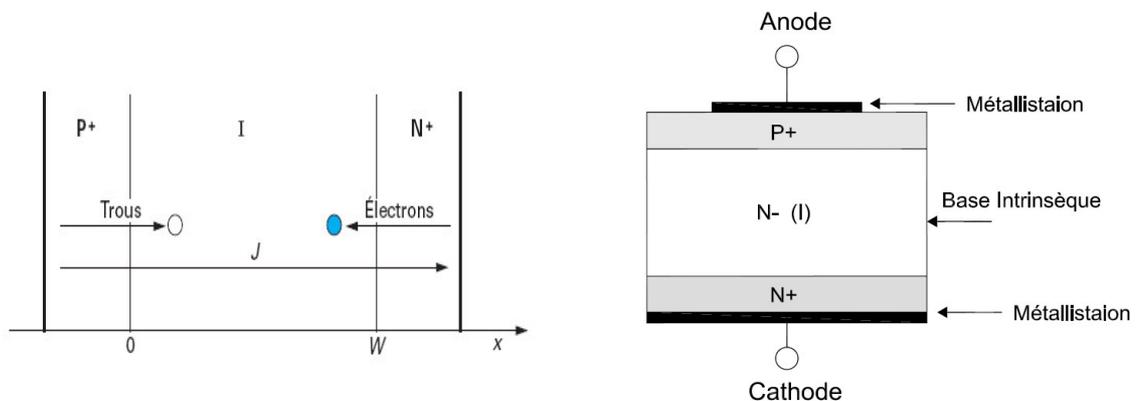


Figure 4.3. Structure d'une diode PIN de puissance.

Dans la structure de principe, schématisée sur la figure 4.3, la région centrale ou "base" est très peu dopée comparativement aux régions latérales P⁺ et N⁺ et son épaisseur W est telle que le temps de transit est comparable ou supérieur à la durée de vie τ des porteurs [86].

Les recombinaisons ne peuvent donc être ignorées. L'hypothèse de travail intéressante est la polarisation directe avec un fort niveau d'injection dans la région intrinsèque; cette hypothèse correspond en effet aux conditions nominales de fonctionnement des roues libres à l'état passant. Les principaux paramètres de conception qui caractérisent la diode PIN dans une approche unidimensionnelle sont :

- La largeur W de la région intrinsèque,
- La surface effective A de la diode,
- Le dopage N_D de la région intrinsèque (faiblement dopée),
- La durée de vie des porteurs τ dans la région intrinsèque.

L'optimisation de ces paramètres est cruciale afin de satisfaire au mieux le compromis entre une faible chute de tension à l'état passant et une forte tenue en tension (la tension de claquage) à l'état bloqué.

2.1.1. Modélisations de la diode PIN de puissance

Nous avons abordé auparavant (cf. chapitre 2 §4.1.1.2), les différents types de modélisation appliquées au prototypage virtuel des systèmes intégrés de puissance. Sur la base de cette différentiation entre ces modèles, nous allons appliquer ces trois approches de modélisation sur la diode PIN de puissance.

2.1.1.1. Modélisation fonctionnelle :

La modélisation fonctionnelle n'est pas spécifique à une technologie particulière. Elle correspond en quelque sorte à une fonction mathématique, valable pour toute technologie. C'est l'équivalent au schéma bloc de l'automaticien.

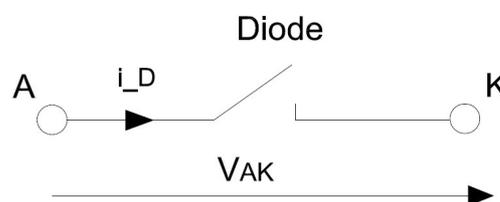


Figure 4.4. Modèle fonctionnel de la diode.

Ces modèles peuvent être considérés comme des utilitaires, mais nous verrons également qu'ils peuvent servir de base à la spécification fonctionnelle [87]. La netlist 4.1 représente le code

VHDL-AMS de la diode comment étant un interrupteur parfait (figure 4.4). Ce modèle ne spécifie pas la différence entre une diode PIN et une autre diode.

```

ENTITY Diode IS
END;
ARCHITECTURE behavioral OF Diode_Functional IS
TERMINAL n1, n2:ELECTRICAL;

    QUANTITY u_D ACROSS i_D THROUGH n1 TO n2; --Connexion de la diode

BEGIN

    IF vak > 0.00 use -- Modèle de la diode
        u_D == 0.0;
    ELSE
        i_D == 0.0;
    END USE;
END;

```

Netlist 4.1. Code VHDL-AMS d'une diode PIN décrit par un modèle fonctionnel.

2.1.1.2. Modélisation comportementale :

Ces modèles décrivent le comportement de la diode PIN par son comportement (netlist 4.2).

C'est en effet dans un modèle comportemental que seront décrit les phénomènes de nature diverses et qui peuvent avoir de fortes interactions multidisciplinaires:

- l'échange thermique avec l'environnement du composant, [87].
- Les perturbations générées par "di/dt" et "dv/dt" suite aux commutations.

Le modèle de la diode est représenté dans cette approche par un circuit équivalent constitué d'une source de tension V_t , une résistance linéaire en série r_s et un interrupteur idéal.

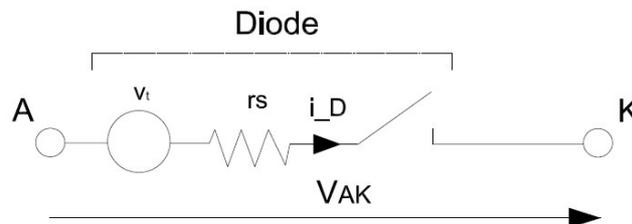


Figure 4.5. Modèle fonctionnel de la diode.

La netlist 4.2 représente le code VHDL-AMS de la diode PIN modélisée par leur comportement.

```

ENTITY Diode_behav IS
END;
ARCHITECTURE Diode_behav IS
    CONSTANT iss : REAL := 192.1e-12; --Paramètres de la doide
    CONSTANT rs : REAL := 0.1;
    CONSTANT n : REAL := 1.0;
    CONSTANT vt : REAL := 0.0258;
    TERMINAL n1,n2 :Electrical;

    QUANTITY VAK_D across i_D THROUGH n1 TO n2; --Connexion de la diode

BEGIN

    i_D == iss*(exp((u_D - rs*i_D)/(n * vt)) - 1.0); -- Equation diode

END;

```

Netlist 4.2. Code VHDL-AMS d'une diode PIN décrit par un modèle comportemental.

Les deux types de modèle qui sont décrits par les netlist 4.1 et 4.2 sous le logiciel hAMSter Version 2 permettant de relever les caractéristiques représentées sur la figure 4.6.

Le solveur utilise la méthode de Newton Raphson comme méthode numérique de résolution et la méthode d'Eluer comme méthode d'intégration numérique.

La figure 4.6 montre les tensions V_{AK} des deux modèles de la diode sur une durée de 5ms.

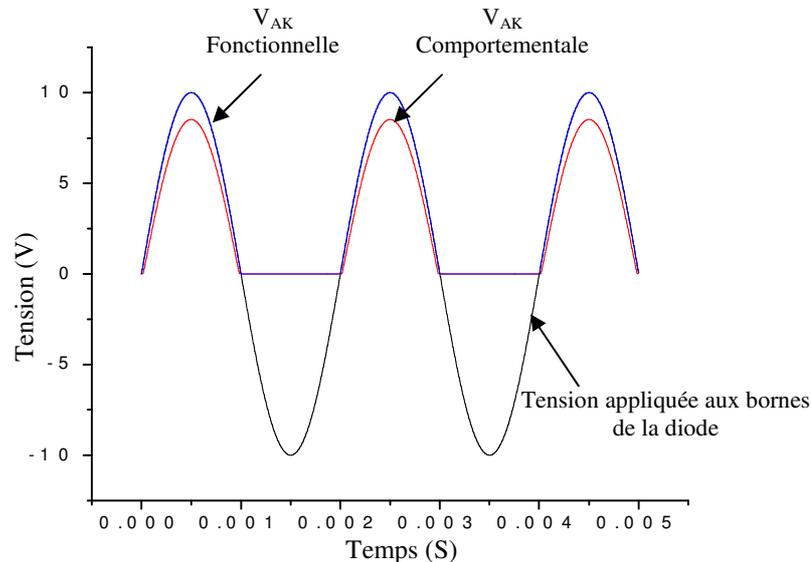


Figure 4.6. Simulation comportementale et fonctionnelle de la diode PIN.

Nous remarquons que l'amplitude du signal dans le cas de la modélisation comportementale est inférieure à celui obtenue par la modélisation fonctionnelle. Cette différence est due à la chute de tension qui existe aux bornes de la résistance interne de la diode.

2.1.1.3. Modélisation physique :

La modélisation du comportement dynamique de la diode PIN est extrêmement importante pour la simulation des circuits de puissance. Des modèles de diodes de puissance existent dans les simulateurs type SPICE mais ils présentent une certaine limitation vis-à-vis de l'implémentation des équations de recouvrement inverse et direct. L'introduction de ces phénomènes est importante pour la simulation des pertes en commutation de puissance, et l'effet des ondes électromagnétiques qui influent sur le fonctionnement de la diode.

Plusieurs modèles de diode de puissance existent dans la littérature et qui sont classés soit comme des macro-modèles ou des modèles physiques détaillés [88]. Les macro-modèles en général sont composés des circuits électriques équivalents et ne prennent pas en compte, d'une

manière exacte, les processus physiques internes du composant. Ainsi, ils sont normalement valides pour une gamme étroite de conditions de fonctionnement du circuit. En revanche, les modèles physiques correspondent à la résolution des équations différentielles qui régissent le transport électrique des électrons et des trous. Dans le cas de la gamme de fonctionnement que nous considérons les équations préconisées sont celles de "Derive-Diffusion".

Le modèle de la diode présenté dans cette partie, est un modèle physique simplifié de la structure PIN utilisé pour des applications de haute tension, et qui fonctionne à un niveau élevé d'injection des porteurs en excès.

Le modèle *Lauritzen* de la diode PIN est un modèle qui traite le fonctionnement en forte injection. Ceci rend crucial la prise en compte des phénomènes de recouvrement inverse. La charge stockée dans ces cas est le facteur principal influant sur les performances dynamiques de la diode [89].

a. Recouvrement direct :

Le recouvrement direct se produit lorsque la diode commute rapidement de l'état bloqué à l'état passant. Durant cette phase transitoire, une tension élevée directe s'applique aux bornes de la diode en raison de la faible conductivité initiale dans la région intrinsèque. Lorsque l'injection des porteurs en excès s'accroît, la tension aux bornes de la région intrinsèque diminue rapidement jusqu'au niveau de la chute de tension à l'état passant (la tension aux bornes de la diode est alors égale à la tension aux bornes de la résistance interne de la diode). La charge correspondant aux porteurs injectés est déterminée alors par q_2 suivant l'équation 4.1.

Le profil de la charge distribuée est représenté sur la figure 4.7.

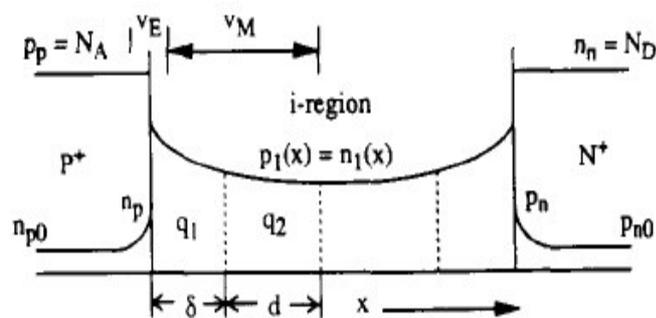


Figure 4.7. Profil de la charge distribuée durant la conduction directe de la diode [89].

i : Le courant total dans la région intrinsèque,

v_m : La tension aux bornes de la demie région i ,

δ, d : Le largeur des régions correspondant aux concentration p_1 et p_2 ,

p_1, p_2 : sont respectivement les concentrations moyennes des trous correspondant aux charges q_1 et q_2 ,

μ : La mobilité,

τ : La durée de la vie des porteurs,

T_{12} : Le temps de la transition par diffusion (valeur approximée),

V_T : La tension thermique,

D_a : La constante de diffusion,

R_{M0} : La résistance initiale dans la région intrinsèque.

$q_{M0} = q \cdot d \cdot A$. p_{M0} : représente la charge de conduction dans la région intrinsèque dont elle est dopée p_{M0} .

L'équation de la continuité des charges est donnée par [88]:

$$i = q \cdot A \cdot \mu \cdot (p_2 + p_{M0}) \cdot \frac{\vartheta_m}{d} = \mu \cdot (q_2 + q_{M0}) \cdot \frac{\vartheta_m}{d^2} \quad (4.1)$$

A partir de l'équation (4.1) nous pouvons obtenir (4.2) sachant que $T_{12} = \frac{d^2}{4 \cdot D_a}$:

$$i = \frac{(q_2 + q_{M0}) \cdot \vartheta_m}{4 \cdot T_{12} \cdot V_T} \quad (4.2)$$

Finalement, on peut en déduire la valeur de la tension ϑ_m :

$$\vartheta_M = \frac{2 \cdot V_T \cdot T_{12} \cdot R_{M0} \cdot i}{q_2 \cdot R_{M0} + 2 \cdot V_T \cdot T_{12}} \quad (4.3)$$

D'où :

$$q_{M0} = \frac{2 \cdot V_T \cdot T_{12}}{R_{M0}}$$

b. Le recouvrement inverse :

Le recouvrement inverse apparaît lorsque la diode passe à l'état bloqué rapidement. Les charges stockées provoquent alors un courant inverse et la tension inverse atteint sa valeur maximale.

Le courant i_M dans la région intrinsèque est donné par [89].

$$i_M = -2 \cdot q \cdot A \cdot D_a \cdot \frac{dp}{dx} = \frac{2 \cdot q \cdot A \cdot D_a \cdot (p_1 - p_2)}{\frac{\delta}{2} + \frac{d}{2}} \quad (4.4)$$

Lors du recouvrement inverse $\delta \rightarrow 0$ et la charge q_1 tend vers zéro et $q_0 = q \cdot A \cdot d \cdot p_1$

Un courant inverse instantané est représenté par :

$$i_M = \frac{q_0 - q_2}{T_{12}} \quad (4.5)$$

L'équation de contrôle de la continuité de charge pour q_2 est donnée par :

$$\frac{dq_2}{dt} + \frac{q_2}{\tau} - \frac{q_0 - q_2}{2 \cdot T_{12}} = 0 \quad (4.6)$$

D'où q_0 est la charge injectée par la jonction :

$$q_0 = I_{s0} \cdot \tau \cdot \left[\exp\left(\frac{\vartheta_E}{V_T}\right) - 1 \right] \quad (4.7)$$

I_{s0} : Constant qui représente le courant de saturation.

ϑ_E : La tension de jonction.

c. La recombinaison dans les régions émettrices :

Le phénomène de recombinaison de charges s'établit suite à l'injection des charges en excès dans les régions émettrices fortement dopée P^+ et N^+ . Le courant d'émetteur recombinaison est alors donné par [89] :

$$i_E = \frac{(n_p - n_{p0}) \cdot q \cdot A \cdot L_p}{\tau_p} = I_{SE} \cdot \left[\exp\left(\frac{2 \cdot \vartheta_E}{V_T}\right) - 1 \right] \quad (4.8)$$

i_E : Le courant de recombinaison dans la région intrinsèque,

n_p : La concentration des électrons injectés dans la région P^+ ,

n_{p0} : La concentration initiale des électrons dans la région P^+ ,

L_p : La longueur de la diffusion des électrons,

τ_p : La durée de vie des porteurs dans la région émettrice,

I_{SE} : Constant.

Dans le cas de forte injection, la concentration de trous et de électrons dans la région intrinsèque est donnée par ($n_1 = p_1$).

Les concentrations des porteurs (électrons n_p et trous p_p) au niveau de la région P^+ sont données par [89]:

$$n_p = n_1 \cdot \exp\left(-\frac{\varphi_B - \vartheta_E}{V_T}\right) \quad (4.9)$$

$$p_p = p_1 \cdot \exp\left(\frac{\varphi_B - \vartheta_E}{V_T}\right) = N_A \quad (4.10)$$

Où : φ_B est le potentiel intrinsèque,

N_A : La concentration d'atome accepteurs dans la région P⁺.

En remplaçant n_p par sa valeur dans l'équation (4.8), nous en déduisons l'expression du courant de saturation I_{SE} (4.12).

$$n_p = N_A \cdot \exp\left(-\frac{2 \cdot (\varphi_B - \varphi_E)}{V_T}\right) \implies n_p = N_A \cdot \exp\left(-\frac{2 \cdot \varphi_B}{V_T}\right) \cdot \exp\left(\frac{2 \cdot \varphi_E}{V_T}\right) \quad (4.11)$$

$$I_{SE} = \frac{q \cdot A \cdot L_p \cdot N_A}{\tau_p} \cdot \exp\left(-\frac{2 \cdot \varphi_B}{V_T}\right) \quad (4.12)$$

d. Résistance d'accès :

Pour compléter ce modèle, la résistance des deux contacts et les capacités de jonction doivent être prises en charge. La résistance des contacts métalliques, des fils de connexion et des zones d'accès est représentée par une résistance équivalente R_s (figure 4.8).

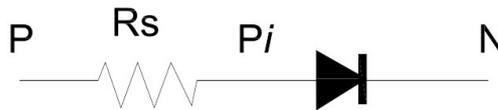


Figure 4.8. La connexion en série de la résistance R_s avec la diode.

e. Capacité de jonction :

Afin de modéliser la capacité de jonction de la diode, nous considérons le modèle SPICE de celle-ci qui rappelle par l'équation suivante [89]:

$$C_j = \frac{C_{j0}}{\left(1 - \frac{2 \cdot \varphi_E}{\varphi_B}\right)^m} \quad (4.13)$$

Où :

C_{j0} : La capacité de la jonction non polarisée.

m : Coefficient de puissance de la variation de capacité.

La charge totale stockée dans la capacité est :

$$q_j = \int C_j d(2 \cdot \varphi_E) \quad (4.14)$$

f. Implémentation des équations du modèle :

Afin d'obtenir un modèle simplifié du recouvrement direct et inverse de la diode PIN, basé sur le contrôle de charges dans la région intrinsèque. Nous avons utilisé les simplifications suivantes :

$$q_E = 2 \cdot q_0, \quad q_M = 2 \cdot q_2, \quad T_M = 2 \cdot T_{12} \text{ et } I_s = 2 \cdot I_{s0}.$$

$$i_M = \frac{q_E - q_m}{T_M} \quad (4.15)$$

$$\frac{dq_M}{dt} + \frac{q_M}{\tau} - \frac{q_E - q_m}{T_M} = 0 \quad (4.16)$$

$$q_E = I_s \cdot \tau \cdot \left[\exp\left(\frac{\vartheta_E}{T_M}\right) - 1 \right] \quad (4.17)$$

$$\vartheta_M = \frac{V_T \cdot T_{12} \cdot R_{M0} \cdot i}{q_M \cdot R_{M0} + V_T \cdot T_M} \quad (4.18)$$

$$i_E = I_{SE} \cdot \left[\exp\left(\frac{2 \cdot \vartheta_E}{V_T}\right) - 1 \right] \quad (4.19)$$

$$\vartheta = 2 \cdot \vartheta_E + 2 \cdot \vartheta_M + R_s \cdot i \quad (4.20)$$

Le courant total i qui traverse la diode est donné par :

$$i = i_E + i_M + \frac{dq_j}{dt} \quad (4.21)$$

C_j : est connectée aux bornes 2. ϑ_M

La netlist 4.3, décrit en code VHDL-AMS le modèle *Lauritzen* de la diode PIN inclus le recouvrement direct et inverse et qui utilise les équations (4.15) au (4.21).

Les paramètres de la diode considéré sont représentés sur l'annexe B.

```

LIBRARY DISCIPLINES;
LIBRARY IEEE;
USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.ALL;
USE IEEE.MATH_REAL.ALL;

ENTITY Lauritz Diode IS
  GENERIC (Is0 : REAL      := 2.68e-9;
           Cj0 : REAL      := 0.004e-9;
           mj  : REAL      := 0.5;
           Rs  : REAL      := 0.6;
           Vj  : REAL      := 0.5;
           n   : REAL      := 2.0;
           TT  : REAL      := 11.0e-9;
           Tau : REAL      := 1.0e-6);
  PORT (TERMINAL p, m : ELECTRICAL);
END ENTITY Lauritz Diode ;

ARCHITECTURE Phys OF Lauritz Diode IS

  QUANTITY vd ACROSS id THROUGH p TO m;
  QUANTITY Vd : REAL; -- voltage ACROSS diode
  QUANTITY Im : REAL; -- diffusion current in diode
  QUANTITY Qj : REAL; -- junction charge
  QUANTITY Qe : REAL; -- charge at junction edge
  QUANTITY V12 : REAL; -- internal voltage ACROSS p-n junction
  QUANTITY Qm : REAL; -- injected charge away from junction
  QUANTITY QmNew: REAL; -- Substitution

  -- Parameters common with SPICE diode model
  CONSTANT k : REAL := 1.381e-23; -- Constant de Boltzmann
  CONSTANT q : REAL := 1.602e-19; -- charge de l'électron
  CONSTANT fc : REAL := 0.5; -- point ou capacité SPICE devienne linéaire
  CONSTANT temp : REAL := 27.0; -- température du composant en degré Celcius
  CONSTANT nvt : REAL := n*k*(temp+273.0)/q;
  CONSTANT a0 : REAL := fc*Vj;
  CONSTANT b0 : REAL := mj/Vj/2.0;
  CONSTANT c0 : REAL := Cj0*Vj/(1.0-mj);
  CONSTANT d0 : REAL := 1.0-mj;
  CONSTANT f1 : REAL := Vj*(1.0-(1.0-fc)**d0)/d0;
  CONSTANT f2 : REAL := (1.0-fc)**(1.0+mj);
  CONSTANT f3 : REAL := 1.0-fc*(1.0+mj);

BEGIN
  -- capacité de la Jonction: model SPICE de la capacitance de jonction
  IF V12 < a0 USE
    qj == Cj0*(1.0-(1.0-V12/Vj)**d0);
  ELSE
    qj == Cj0*(f1+1.0/f2*(f3*(V12-a0)+b0*(V12*V12-a0*a0)));
  END USE;

  -- Calcul de charge a la limite de jonction
  Qe == Tau * Is0 *(exp(V12/nvt) -1.0);

  -- Courant de diffusion
  Im == (Qe - Qm)/TT;

  vd == V12 + Rs*Im;
  QmNew == Tau*Qm;
  Qm == Tau*Im - QmNew'dot;
  id == Im + Qj'dot;
END;

```

Netlist 4.3. Code VHDL-AMS du modèle *Lauritzen* de la diode PIN.

Pour la simulation du modèle *Lauritzen* de la diode PIN, on a utilisé un circuit électrique composé d'une source de tension sinusoïdale d'amplitude de 10V à une fréquence de 200Hz et une résistance de charge de valeur 10Ω (figure 4.9).

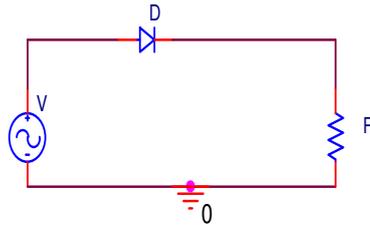


Figure 4.9. Circuit pour la simulation le modèle Lauritzen de la diode PIN.

Les simulations sont réalisés sous le logiciel hAMSter pour une durée de 25ms, avec un pas de calcul égale à $0.5\mu\text{s}$. La méthode de résolution numérique considérée est Newton Raphson et la méthode d'Euler est retenue comme méthode d'intégration.

Les résultats de simulation sont représentés sur les figures suivantes:

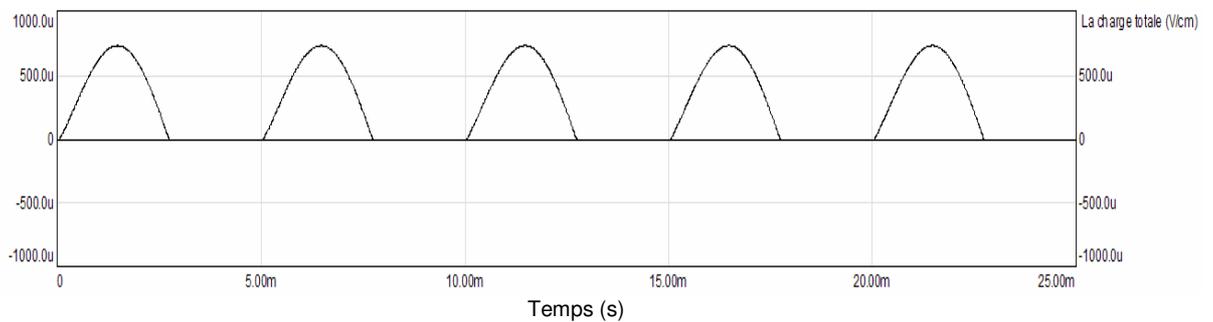


Figure 4.10. Charge total q_E dans la zone intrinsèque.

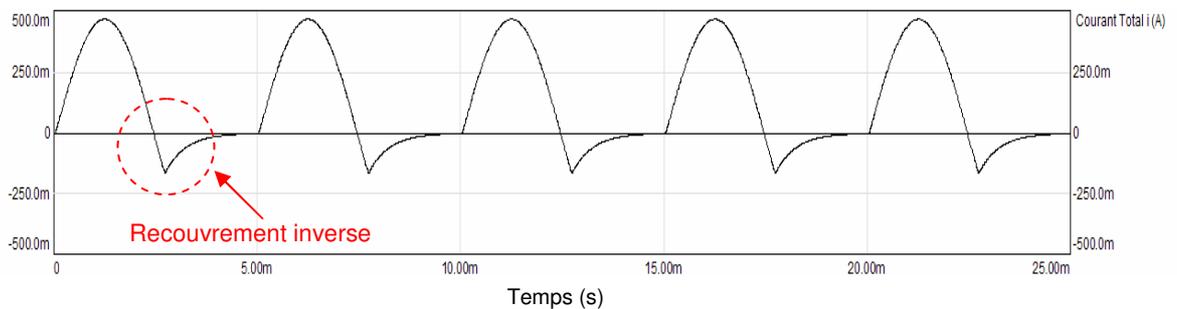


Figure 4.11. Le courant total qui traverse la diode PIN.

L'effet du recouvrement direct est remarquable sur l'amplitude de la tension aux bornes de la résistance R qui est de valeur 4.8V . Le recouvrement direct correspond à une chute tension due à la résistance interne R_s de la diode PIN.

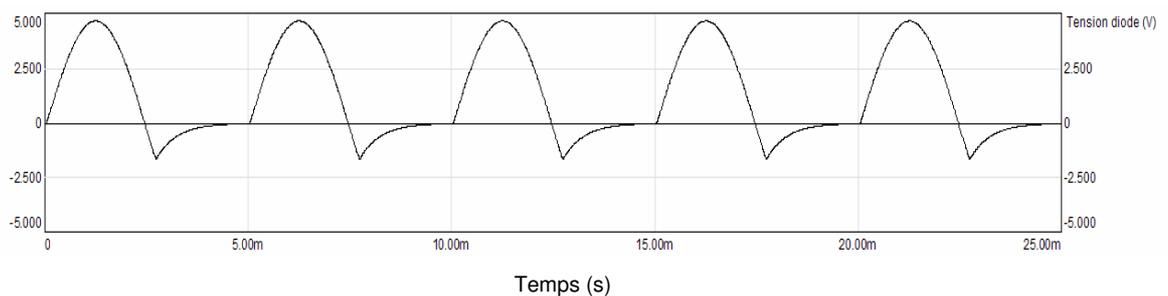


Figure 4.12. Tension aux bornes de la résistance de charge R .

2.2. Transistor MOS de puissance

L'élément central des dispositifs à effet de champ *MOS* (*Metal Oxide Semiconductor*) est un composant réalisé sur un *substrat* semiconducteur (silicium N ou P) et présentant une électrode de commande : la *grille*, réalisée avec un matériau de forte conductivité (aluminium, silicium polycristallin dopé notamment). L'isolant existant pour cette électrode est une couche de silice (SiO_2) formée par oxydation de la surface même du semi-conducteur. Deux régions de type opposé à celui du substrat, désignées comme *source* et *drain*, délimitent, sous l'électrode de *grille*, la zone active du dispositif. Les régions de source, de drain et de substrat sont munies de contacts ohmiques, ceux de source et de substrat étant le plus souvent réunis. Les figures 4.13 et 4.14 schématisent les deux types de la structure MOS.

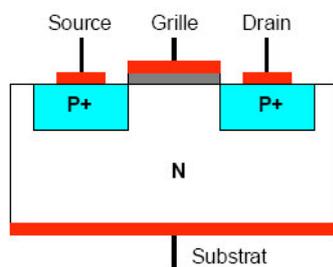


Figure 4.13. MOS à canal P (PMOS).

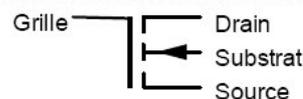
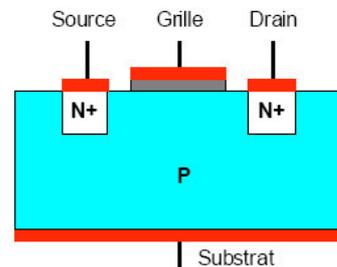


Figure 4.14. MOS à canal N (NMOS).

Les deux transistors ont des fonctionnements totalement symétriques. Les explications seront développées pour le canal N.

Le substrat est placé au potentiel le plus faible du montage de manière à bloquer les jonctions substrat-drain/source. La grille forme un condensateur avec le substrat. Elle est placée à un potentiel positif qui attire des charges négatives pour constituer un canal entre le drain et la source. La modulation de la tension v_{GS} (grille-source) agit sur les charges constituant le canal en modifiant sa résistivité : la résistance du canal est contrôlée par la tension de grille.

2.2.1. Modélisations du transistor MOS

Nous allons nous intéresser à la répartition de la charge présente à la surface du semiconducteur suivant la polarisation appliquée entre la grille (G) et le substrat (B), car c'est elle qui conditionnera le fonctionnement du transistor.

Des charges sont présentes à l'interface entre l'oxyde et le semiconducteur (Q_0^S), du fait de la rupture du réseau cristallin. D'autre part, la différence des travaux de sortie du métal et du

semiconducteur est à l'origine d'un potentiel φ_{MS} . Il en résulte que pour obtenir une densité de charges en surface du silicium égale à $q.N.A$ (la densité de charge dans le volume) et assurer ainsi la condition de bandes plates (*Flat Band*), il faut appliquer une tension telle que [86]:

$$V_{GB} = V_{FB} = \varphi_{MS} - \frac{Q_0^S}{C_{ox}^S} \quad (4.22)$$

Où Q_0^S représente la charge d'interface oxyde–semiconducteur par unité de surface et C_{ox}^S la capacité surfacique de la couche d'oxyde. La tension ainsi obtenue est nommée V_{FB} (*Flat Band*). Pour $V_{GB} > V_{FB}$, les trous sont repoussés, leur densité en surface est plus faible que dans le volume : Ce TMOS est en régime de déplétion. La charge de déplétion (par unité de surface) vaut [86]:

$$Q_B^S = \sqrt{(2 \cdot \epsilon_{si} \cdot q \cdot N_A \cdot \varphi_S)} \quad (4.23)$$

ϵ_{si} étant la permittivité du silicium et φ_S le potentiel le long de la zone de déplétion.

Si l'on augmente encore V_{GB} , la densité d'électrons n augmente à la surface du silicium, jusqu'à atteindre N_A : on passe en régime de faible inversion.

D'après la distribution de Boltzmann, on a $n = n_i \cdot \exp(\varphi_p / U_T)$, φ_p étant la valeur de φ_S pour laquelle on passe en régime d'inversion. Le régime de forte inversion est atteint lorsque l'on a $\varphi_S = 2 \cdot \varphi_p$ (c'est à dire une charge d'espace de même valeur que lors de la déplétion, mais de signe inverse) soit:

$$\varphi_S = 2 \cdot \varphi_p = 2 \cdot U_T \cdot \ln\left(\frac{N_A}{n_i}\right) \quad (4.24)$$

La tension V_{GB} lorsque $\varphi_S = 2 \cdot \varphi_p$ est appelée V_{th} . Elle représente la tension de seuil à partir de laquelle le transistor commencera à conduire, et vaut:

$$V_{th} = V_{FB} + \varphi_p - \frac{Q_B^S}{C_{ox}^S} \quad (4.25)$$

Soit, en remplaçant Q_B^S par sa valeur dans (4.23).

2.2.2. Circuit équivalent et modèle électrique du transistor MOS

Le circuit électrique équivalent du transistor MOS [88] représenté sur la figure 4.15 correspond à un modèle électrique global de celui-ci. En effet, il prend en compte aussi bien la partie active du composant que les éléments intrinsèques (zone d'accès, contacts, ..., etc).

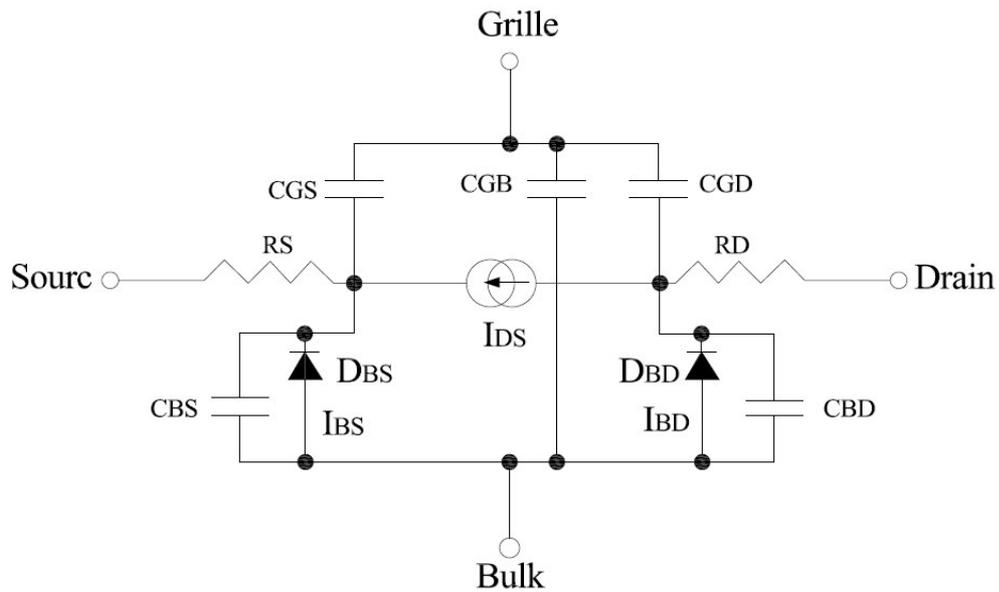


Figure 4.15. Circuit électrique équivalent du transistor MOS.

Le schéma de la figure 4.15 est valable pour les dispositifs à canal N. Pour le transistor MOS à canal P, on inverse la polarisation.

Ce modèle comprend :

- Une source de courant statique drain-source I_{DS} , qui correspond au courant circulant dans le canal de conduction et le sens des diodes source/Bulk.
- Trois capacités relatives à la grille C_{GD} , C_{GS} , C_{GB} , qui modélisent les interactions entre charge de grille/charge de canal côté drain, charge de grille/charge de canal côté source et charge de grille/charge de substrat,
- Deux capacités relatives aux jonctions de substrat C_{BS} et C_{BD} ,
- Deux résistances d'accès côté source R_S et drain R_D ,
- Pour les caractéristiques DC (en régime statique), nous considérons en plus deux jonctions de substrat forme deux diodes polarisées en inverse qui fournissent les courants I_{BS} et I_{BD} . Si la source et le substrat sont polarisés au même potentiel, il est évident que ces éléments n'interviennent pas.

2.2.3. Le modèle SPICE niveau 1 du transistor MOS

Dans tout ce qui suit, les modèles sont basés sur le schéma de la figure 4.15.

Le modèle du transistor MOS niveau 1 a été proposé sous une forme difficile à l'implémentation dans les logiciels de simulation des circuits. Les équations du modèle ont été ensuite modifiées pour être implantées dans le simulateur SPICE par Foty [90].

La caractéristique I_{DS} est modélisée dans les trois régions du domaine de fonctionnement du transistor :

- La première région de faible inversion : $V_{GS} < V_{TH}$

On suppose qu'il n'existe pas de canal de conduction, d'où : $I_{DS} = 0$

Lorsque $V_{GS} > V_{TH}$, on distingue alors deux autres régions où l'expression de la caractéristique I_{DS} est une expression linéaire (ou quadratique) de V_{GS} ; nous les appellerons donc régions linéaires (ou de saturation).

- La région linéaire : $V_{GS} \geq V_{TH}$ et $V_{DS} \leq V_{Dsat}$ avec $V_{Dsat} = V_{GS} - V_{th}$

$$I_{DS} = \left(\frac{W}{L}\right) \cdot \left(\frac{KP}{2}\right) \cdot (1 + LAMBDA \cdot V_{DS}) \cdot V_{DS} \cdot (2 \cdot (V_{GS} - V_{TH}) - V_{DS}) \quad (4.26)$$

- La région de saturation : $V_{GS} \geq V_{TH}$ et $V_{DS} \geq V_{Dsat}$

$$I_{DS} = \left(\frac{W}{L}\right) \cdot \left(\frac{KP}{2}\right) \cdot (1 + LAMBDA \cdot V_{DS}) \cdot (V_{GS} - V_{TH})^2 \quad (4.27)$$

Le modèle présenté précédemment est le plus simple. Sept paramètres suffisent pour caractériser le comportement électrique (Tableau 4.1).

Il existe d'autres modèles SPICE comme le modèle niveau 2 et 3. Le modèle niveau 2 se distingue du modèle précédent par des expressions différentes du courant I_{DS} et des capacités C_{GS} , C_{GD} et C_{GB} . Ceux-ci prennent en compte des phénomènes plus fins (effet du canal étroit, canal court, limitation de vitesse des porteurs,...etc). Le modèle niveau 3 a par contre, des expressions des paramètres technologiques plus complexes par rapport au modèle niveau 1 et niveau 2.

Pour notre part, le modèle MOS niveau 1 est valable pour notre cas d'application de prototypage virtuel d'une intégration de puissance [91].

<i>Symbole du paramètre</i>	<i>Définition du paramètre</i>	<i>Unité</i>
Paramètres du Processus de fabrication		
L	Longueur de canal	m
W	Largeur de canal	m
T_{OX}	Épaisseur de l'oxyde sous la grille	m
L_D	Réduction de longueur de canal par rapport à la valeur dessinée	m
N_{SUB}	Dopage du substrat	At/cm ³
Paramètres électriques		
μ_o	Mobilité des porteurs	cm ² /(V.s)
V_{TO}	Tension de seuil à polarisation de substrat nulle	Volts
LAMBDA	Modulation de la longueur de canal	Volts ⁻¹
KP	La transconductance	A/Volts ²
C_{GSO}	Capacité grille source à polarisation nulle	F/m ²
C_{GDO}	Capacité grille drain à polarisation nulle	F/m
C_{GBO}	Capacité grille substrat à polarisation nulle	F/m

Tableau 4.1. Les paramètres MOS du SPICE niveau 1 [90].

La simulation envisagée consiste à décrire le comportement d'un transistor MOS par l'utilisation d'un composant qui existe sur la bibliothèque SPICE. Pour cela nous avons choisi comme exemple le transistor de puissance l'**IRF150** [92] dont les paramètres sont regroupés dans l'annexe B.

La netlist 4.4 représente le code VHDL-AMS du modèle transistor MOS niveau 1.

Le transistor de puissance **IRF150** a été polarisé par deux sources de tension DC (continues) V_{GS} et V_{DS} pour la détermination de ses caractéristiques statiques.

```

LIBRARY DISCIPLINES;
LIBRARY IEEE;
USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.ALL;
USE IEEE.MATH_REAL.ALL;

ENTITY MOS_n1 IS
END;

ARCHITECTURE behavioral of MOS_n1 IS
  CONSTANT cgd:REAL := 0.5037e-9;
  CONSTANT cgs:REAL := 2.7081e-9;
  CONSTANT rd:REAL := 1.031e-3;
  CONSTANT rs:REAL := 1.624e-3;
  CONSTANT W:REAL := 0.3;
  CONSTANT L:REAL := 2.0e-6;
  CONSTANT kp:REAL := 20.53e-6;
  CONSTANT lamda:REAL := 0.0;

  TERMINAL g,d,n1,n2,n3,n4 : ELECTRICAL;
  QUANTITY vds across ids THROUGH electrical_ground to n3;
  QUANTITY vgs ACROSS igs THROUGH g to electrical_ground;
  QUANTITY id THROUGH n1 to n2;
  QUANTITY urd ACROSS ird THROUGH n1 to d;
  QUANTITY urs ACROSS irs THROUGH electrical_ground to n2;
  QUANTITY urds ACROSS irds THROUGH n1 to n2;
  QUANTITY ur_ds ACROSS ir_ds THROUGH n3 to d;
  QUANTITY urg ACROSS irg THROUGH g to n4;
  QUANTITY ucgd ACROSS icgd THROUGH n1 to n4;
  QUANTITY ucgs ACROSS icgs THROUGH n2 to n4;

BEGIN
  urd == rd*ird;
  urs == rs*irs;
  ucgd == icgd'integ/cgd;
  ucgs == icgs'integ/cgs;

  IF (vgs-vt)<0.0 USE
    id == 0.0;
  ELSIF (vds >= 0.0)and( vds <= (vgs-vt))USE
    id == (W/L)*(Kp/2.0)*(1.0+(lamda*vds))*vds*(2.0*(vgs-vt)-vds);
  ELSIF (vds >(vgs-vt))USE
    id == (W/L)*(Kp/2.0)*(1.0+(lamda*vds))*((vgs-vt)*(vgs-vt));
  END USE;

END;

```

Netlist 4.4. Code VHDL-AMS du Transistor MOS niveau 1.

Les résultats de simulation du code de la netlist 4.4 sont présentés sur la figure 4.16 et 4.17.

La figure 4.16, représente les caractéristiques I_{DS} en fonction de V_{DS} pour différentes polarisations V_{GS} . La figure 4.17, montre la caractéristique I_{DS} en fonction de V_{GS} avec V_{DS} constante.

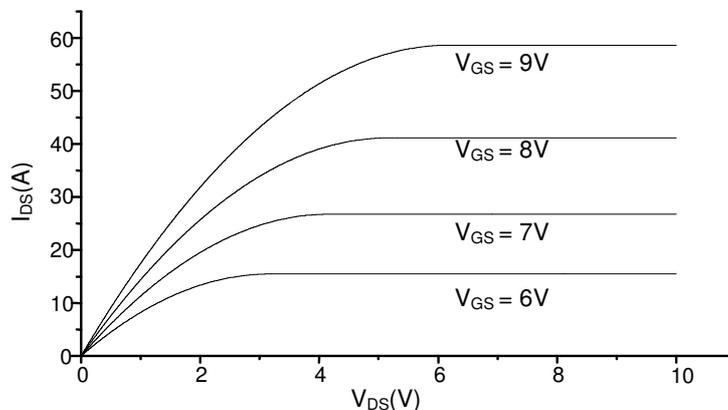


Figure 4.16. Caractéristiques $I_{DS} = f(V_{DS}, V_{GS}=\text{constant})$.

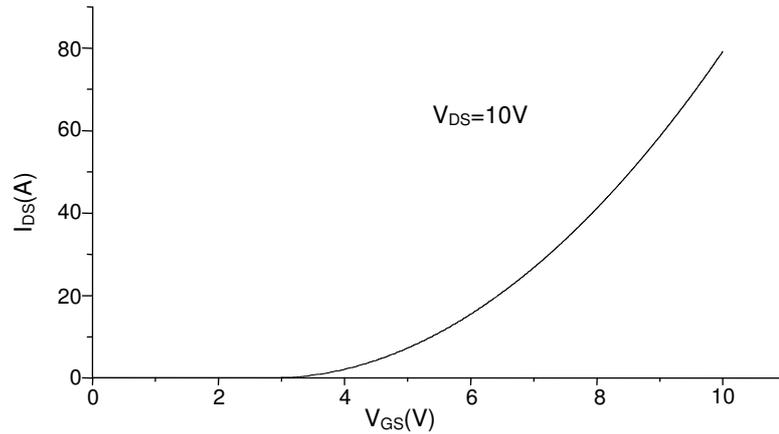


Figure 4.17. Caractéristique $I_{DS} = f(V_{GS}, V_{DS} = \text{constant})$.

Pour comparer ces deux caractéristiques, nous avons effectué une simulation du même transistor **IRF150** sous SPICE et nous avons obtenu les mêmes caractéristiques et qui sont représentés sur les figures 4.18 et 4.19.

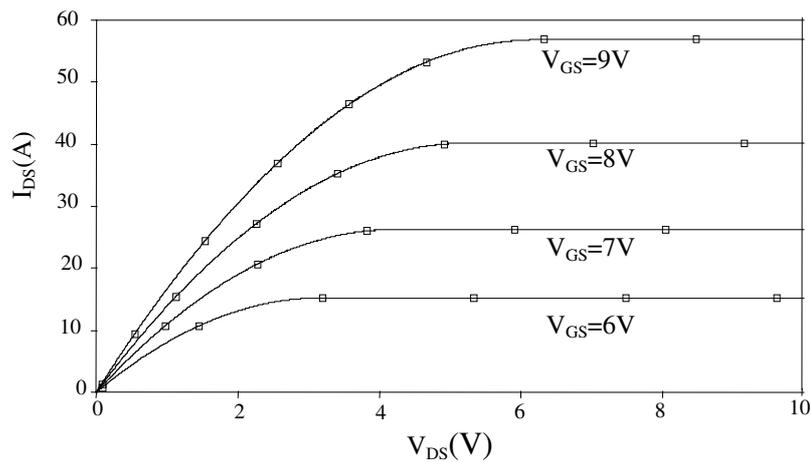


Figure 4.18. Caractéristique $I_{DS} = f(V_{DS}, V_{GS} = \text{constant})$.

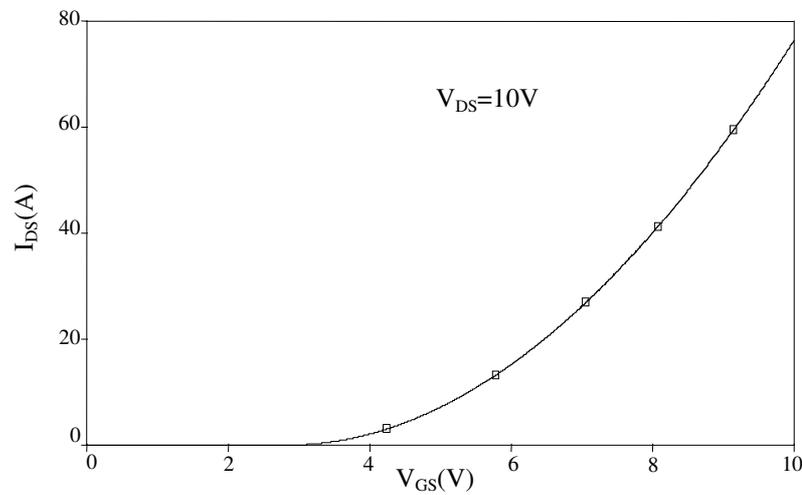


Figure 4.19. Caractéristique $I_{DS} = f(V_{GS}, V_{DS} = \text{constant})$.

2.3. L'IGBT (Insulated Gate Bipolar Transistor)

Les transistors IGBT sont des dispositifs mixtes dont la structure résulte d'une synergie entre celles d'un transistor à effet de champ (MOSFET) et d'un transistor bipolaire (BJT).

De façon plus rigoureuse, il serait plus approprié de parler d'une utilisation mixte de l'effet bipolaire (BJT) et de l'effet unipolaire (MOSFET) [93] et [94].

Les deux composants électroniques les plus utilisés pour la fonction interrupteur sont: le transistor bipolaire et le transistor MOS. Le premier présente comme avantages une faible chute de tension à l'état passant et le pouvoir de commuter de forts courants, mais nécessite une puissance de commande non négligeable et sa fréquence de travail est relativement basse. Le MOS quant à lui, connu pour des fréquences de travail plus élevées et une puissance de commande presque nulle, est limité par sa chute de tension qui est importante pour des dispositifs mettant en jeu des hautes tensions (quelques centaines de Volts).

2.3.1. Modélisations analytiques de l'IGBT

Plusieurs travaux basés sur les modèles analytiques ont été développés pour simuler le fonctionnement de l'IGBT [95], [96] et [97]. Les deux premiers modèles ont été surtout développés pour les IGBTs latéraux alors que le dernier, développé par Hefner [98], et est destiné à l'IGBT vertical.

Cette section du chapitre porte particulièrement sur la modélisation analytique simplifiée d'un IGBT vertical.

2.3.2. Circuit équivalent de l'IGBT

La figure 4.20 représente le circuit équivalent du transistor IGBT [97]. La grille de la structure MOS permet de créer un canal en surface entre la couche n^{++} et la couche N^- . La présence de la couche P^+ (anode) implique l'existence d'un transistor PNP ayant pour base la couche N épaisse et peu dopée et pour jonction collecteur-base la jonction N^-P^+ normalement polarisée en inverse. Les trois couches $n^{++}P^+N^-$ constituent une structure de transistor bipolaire NPN provoquant avec le PN^-P^+ un effet thyristor parasite. Afin d'éliminer les effets de cet élément parasite, un contact en surface est réalisé technologiquement entre les couches n^{++} et P par la cathode, court-circuitant ainsi la jonction émetteur-base du transistor NPN.

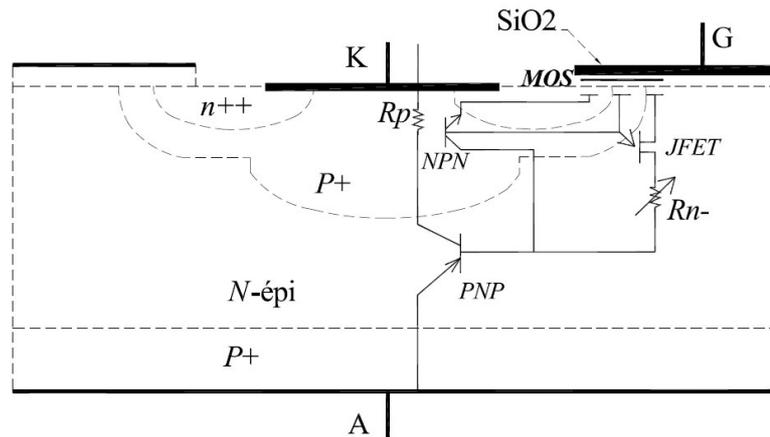


Figure 4.20. Structure de l'IGBT avec son circuit équivalent déduit d'une demi-cellule.

La jonction PN étant normalement polarisée en inverse, du fait de l'effet JFET apparaît une zone de charge d'espace. Par la suite, nous négligerons cet effet qui est minime [99] et nous ne le représenterons plus dans le circuit équivalent.

La résistance R_p correspond au puits P situé en dessous de la couche n^{++} . Sa valeur doit être rendue la plus faible possible afin d'éviter le déclenchement du thyristor parasite. La résistance R_n^- , symbolisant la couche épitaxie N^- , est modulée par l'injection de porteurs minoritaires (trous) depuis la couche P^+ (Anode). Sa valeur est alors rendue très faible comparée à celle d'un MOS de puissance d'un calibre équivalent. R_n^- ne constitue plus qu'une résistance d'accès à la base du transistor PNP.

En tenant compte des simplifications technologiques précisées ci-dessus, le circuit équivalent d'un IGBT se réduit alors à celui de la figure 4.21 [100]. L'effet thyristor apparaît quand la tension aux bornes de R_p atteint la tension V_{bi} (seuil de la jonction base émetteur du NPN). Dans ce cas, cette jonction est polarisée en direct et le transistor NPN est conducteur, ce qui entraîne le déclenchement de l'effet thyristor. Dans les IGBTs modernes, cette résistance est rendue suffisamment faible pour que le thyristor ne soit plus déclenché dans le domaine de fonctionnement garanti par le constructeur. Le transistor NPN n'a alors plus d'influence sur le fonctionnement de l'IGBT dans ce domaine et le circuit équivalent se réduit alors à un transistor bipolaire PNP commandé par un MOSFET dans une configuration "pseudo-darlington". La figure 4.22 symbolise alors le fonctionnement normal de l'IGBT.

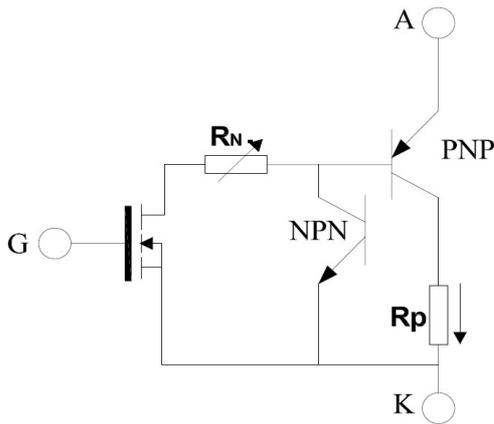


Figure 4.21. Circuit équivalent d'un IGBT incluant le transistor bipolaire NPN parasite.

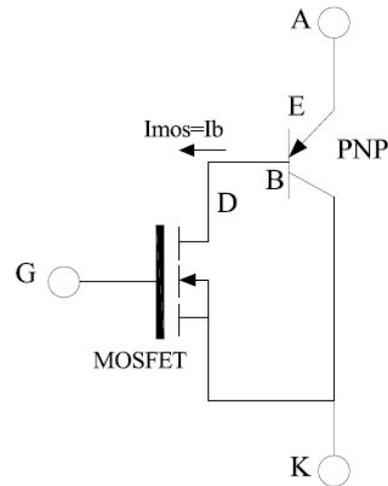


Figure 4.22. Circuit équivalent simplifié.

En fonctionnement normal, la cathode d'un IGBT à canal N (figure 4.20) est reliée à la masse et une tension positive est appliquée sur la grille pour créer une couche d'inversion dans le puits P sous l'électrode de la grille formant ainsi un canal type N.

Pour une tension d'anode suffisamment grande, des électrons sont injectés depuis la source n^{++} vers la région N^- à travers le canal créé, et des trous sont injectés dans la région N^- depuis le substrat P^+ (anode).

Le courant d'électrons, transitant par le canal est le courant drain-source (I_{mos}) du MOSFET, il représente également le courant de base du transistor PNP (I_b) (figure 4.22). Le courant de trous constitue le courant du collecteur du transistor PNP (I_c). Le courant total de l'IGBT (I_{AK}) est la somme des courants de trous et d'électrons.

Comme on peut le constater sur le circuit équivalent (figure 4.22), la chute de tension aux bornes de l'IGBT, V_{AK} , peut être modélisée par la somme des deux composantes. La première liée à la chute de potentiel dans la jonction P^+N^- (base-émetteur du PNP). La seconde correspond à la chute de tension dans le canal du MOSFET. Ainsi, contrairement au MOSFET de puissance, la chute de tension aux bornes d'un IGBT en polarisation directe ne peut pas descendre en dessous de la tension de seuil de la diode V_{bi} . Si cette limitation peut être un inconvénient en basse tension, elle devient vite négligeable pour des tensions élevées. La présence de la couche P^+ dans le cas de l'IGBT permet de moduler sa conductivité et ainsi réduire la chute de tension. L'absence de cette couche sur le transistor MOS de puissance amène une chute de potentiel plus importante aux bornes de la couche épitaxiée N^- . [101] et [102].

2.3.3. Modèle analytique de l'IGBT

2.3.3.1. Equations de transport:

Les courants de trous et d'électrons sont donnés par les équations de transport (4.28) et (4.29) dans lesquelles le premier terme correspond au courant de conduction et le second au courant de diffusion.

$$I_n = n \cdot q \cdot A \cdot E + q \cdot A \cdot D_n \cdot \left(\frac{\partial n}{\partial x}\right) \quad (4.28)$$

$$I_p = p \cdot q \cdot A \cdot E + q \cdot A \cdot D_p \cdot \left(\frac{\partial p}{\partial x}\right) \quad (4.29)$$

avec :

n, p : Concentration des électrons et des trous,

q : La charge électronique (1.6×10^{-19} C),

$\mu_{n,p}$: Mobilité des électrons et des trous (cm^2/Vs),

A : Surface active de l'IGBT (cm^2),

E : Champs électrique (V/cm),

$D_{n,p}$: Coefficient de diffusion pour les électrons et les trous.

Pour l'IGBT, le transistor bipolaire présente un gain faible et un niveau d'injection de porteurs minoritaire élevé. La différence entre le courant de conduction et de diffusion des électrons est significative. I_n ne peut plus être considéré comme nul.

2.3.3.2. Résolution:

Hypothèses :

Quasi-neutralité : $\delta_n \sim \delta_p$ où δ_n et δ_p représentent les concentrations des charges en excès.

Forte injection : $\delta_n \gg N_B$ (N_B dopage de la base).

En éliminant le champ E entre les équations (4.28) et (4.29) et en utilisant la relation d'Einstein

($D_{n,p} = \frac{k \cdot T}{q} \cdot \mu_{n,p}$), les courants I_n et I_p peuvent s'écrire :

$$I_n = \frac{b}{1+b} I_T + q \cdot A \cdot D_n \cdot \left(\frac{\partial n}{\partial x}\right) \quad (4.30)$$

$$I_p = \frac{b}{1+b} I_T - q \cdot A \cdot D_p \cdot \left(\frac{\partial p}{\partial x}\right) \quad (4.31)$$

avec :

$$b = \frac{\mu_n}{\mu_p}$$

$$D = 2 \cdot \frac{D_n \cdot D_p}{D_n + D_p} : \text{Coefficient de diffusion}$$

$I_T = I_n + I_p$: courant total

On remarque que les équations de transport du courant d'électrons (4.30) et du courant de trous (4.31) dépendent du courant total I_T .

L'équation de continuité appliquée aux trous s'écrit :

$$\frac{\partial \delta p}{\partial t} = -\frac{\delta p}{\tau_{HL}} - \frac{1}{q} \frac{\partial J_p}{\partial x} \quad (4.32)$$

où τ_{HL} est la durée de vie des porteurs minoritaires en excès :

A partir des équations (4.31) et (4.32) on obtient :

$$\frac{\partial^2 \delta p}{\partial x^2} = \frac{\delta p}{L^2} + \frac{1}{D} \frac{\partial J_p}{\partial t} \quad (4.33)$$

Le courant total est le même quelle que soit la position (x) considérée, $\frac{dI_T(x)}{dx} = 0$

2.3.3.3. Etude en régime permanent :

Le système des équations précédentes et les conditions aux limites permettent de donner les expressions des courants et de tension V_{EB} dans le transistor bipolaire PNP. Ces dernières combinées avec les caractéristiques du MOSFET donnent une description complète de l'IGBT en régime permanent.

a. Détermination des courants I_b et I_c :

Les coordonnées utilisées sont définies sur la figure 4.23. Les conditions aux limites en régime permanent pour les porteurs excédentaires donnent : $\delta p(W) = 0$ et $\delta p(0) = P_0$ où P_0 est un paramètre intermédiaire utilisé pour l'élaboration du modèle, il sera éliminé par la suite dans les expressions finales.

$$W = W_B - \left(\frac{2 \cdot \epsilon_{si} \cdot V_{AK}}{q \cdot N_B} \right)^{1/2} \quad (4.34)$$

W_B : Largeur de la base,

$(W - W_B)$: Extension de la zone de charge d'espace,

V_{AK} : Différence de potentiel entre l'anode et le cathode,

Dans l'expression (4.34), l'effet des porteurs mobiles sur la zone de charge d'espace n'est pas pris en compte.

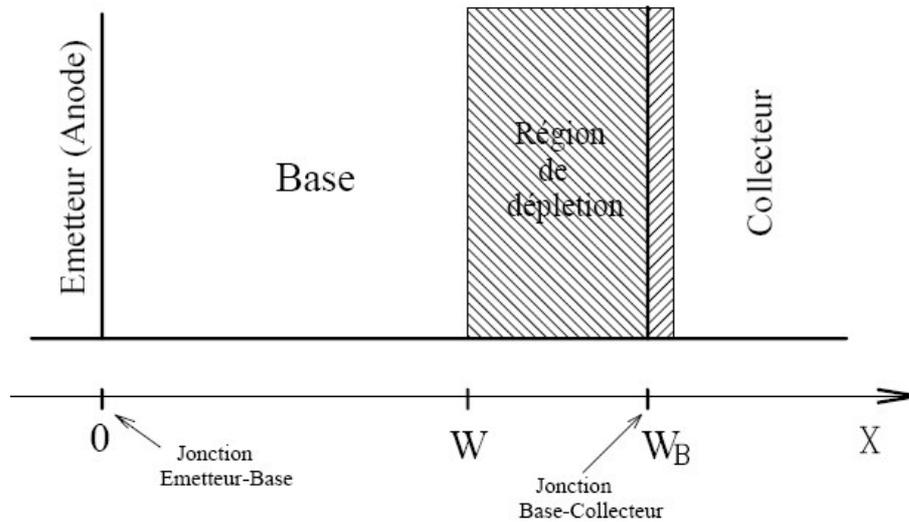


Figure. 4.23. Schéma définissant les différentes jonctions du transistor PNP et les coordonnées utilisées pour la résolution des équations.

En régime permanent, en supposant que l'on est en régime de forte injection de porteurs minoritaires dans la base, on a comme conditions aux limites $\delta p(W) = 0$ et $\delta p(0) = P_0$.

La concentration de trous en excès dans la base peut s'exprimer par l'équation (4.35).

$$\delta p(x) = P_0 \cdot \frac{\sinh\left[\frac{(W-x)}{L}\right]}{\sinh\left(\frac{W}{L}\right)} \quad (4.35)$$

Les équations de conduction pour les électrons et les trous deviennent [97] :

$$I_n(x) = \frac{P_0^2 \cdot I_{sne}}{n_i^2} + q \cdot \frac{P_0 \cdot A \cdot D}{L} \left[\coth\left(\frac{W}{L}\right) - \frac{\cosh\left[\frac{(W-x)}{L}\right]}{\sinh\left(\frac{W}{L}\right)} \right] \quad (4.36)$$

$$I_p(x) = \frac{P_0^2 \cdot I_{sne}}{b \cdot n_i^2} + q \cdot \frac{P_0 \cdot A \cdot D}{L} \left[\frac{\coth\left(\frac{W}{L}\right)}{b} + \frac{\cosh\left[\frac{(W-x)}{L}\right]}{\sinh\left(\frac{W}{L}\right)} \right] \quad (4.37)$$

Où I_{sne} est le courant de saturation des électrons dans l'émetteur.

En $x=W$ le courant de collecteur $I_p(w)$ et le courant de base $I_n(w)$ en régime permanent sont :

$$I_b = I_n(W) = \frac{P_0^2 \cdot I_{sne}}{n_i^2} + q \cdot \frac{P_0 \cdot A \cdot D}{L} \left[\coth\left(\frac{W}{L}\right) - \frac{1}{\sinh\left(\frac{W}{L}\right)} \right] \quad (4.38)$$

$$I_c = I_p(W) = \frac{P_0^2 \cdot I_{sne}}{b \cdot n_i^2} + q \cdot \frac{P_0 \cdot A \cdot D}{L} \left[\frac{\coth\left(\frac{W}{L}\right)}{b} + \frac{1}{\sinh\left(\frac{W}{L}\right)} \right] \quad (4.39)$$

b. Tension Emetteur-Base V_{EB} :

La tension V_{EB} est définie comme étant [97] :

$$V_{EB} = \frac{q}{k \cdot T} \ln\left(\frac{P_0^2}{n_i^2}\right) + \frac{I_{AK} \cdot W}{\left(1 + \frac{1}{b}\right) \cdot \mu_n \cdot A \cdot q \cdot n_{eff}} - \frac{D}{\mu_n} \ln\left(\frac{P_0 + N_B}{N_B}\right) \quad (4.40)$$

$$\text{Où } n_{eff} = \frac{\frac{W}{2L} \cdot \left(N_B^2 + P_0^2 \cdot \cosh^2\left(\frac{W}{L}\right)\right)^{1/2}}{\text{arctanh}(Y)}$$

Avec :

$$Y = \frac{\tanh\left(\frac{W}{2L}\right) \cdot \left(N_B^2 + P_0^2 \cdot \cosh^2\left(\frac{W}{L}\right)\right)^{1/2}}{\left(N_B^2 + P_0^2 \cdot \cosh^2\left(\frac{W}{L}\right) \cdot \tanh\left(\frac{W}{2L}\right)\right)}$$

c. Caractéristique $I_{AK}=f(V_{AK})$:

La chute de tension aux bornes de l'IGBT V_{AK} , peut être attribuée à trois composantes:

La tension aux bornes de la jonction émetteur-base (V_{EB}), la tension aux bornes du MOSFET (V_{DS}), et la chute de tension due à la résistance série R_s traduisant les pertes dues aux différentes résistances de contacts et à la résistance dans le silicium. On a donc :

$$V_{AK} = V_{EB} + V_{DS} + I_{AK} \cdot R_s \quad (4.41)$$

Pour une question de commodité des calculs, la caractéristique simulée $I_{AK}=f(V_{AK})$ sera calculée soit en régime linéaire soit en régime de saturation du MOSFET.

- En régime linéaire :

Pour des valeurs de tension de drain V_{DS} inférieures à $V_{DSsat} = V_{GS} - V_{th}$

Le transistor MOSFET fonctionne en régime de conduction ohmique. Pour des valeurs de tension V_{DS} proches de la tension de saturation, le MOSFET n'est plus en régime ohmique et n'est pas encore en régime saturé.

Afin de déterminer $I_{AK}=f(V_{AK})$ par l'équation (4.41) il est nécessaire d'exprimer V_{DS} et V_{EB} en fonction de I_{AK} . Le courant émetteur du transistor bipolaire est:

$$I_{AK} = I_b + I_c = I_n(W) + I_p(W) \quad (4.42)$$

En utilisant les équations (4.11) et (4.12), cette équation devient :

$$I_{AK} = \left[\frac{P_0^2 \cdot I_{sne}}{n_i^2} + q \cdot \frac{P_0 \cdot A \cdot D}{L} \coth\left(\frac{W}{L}\right) \right] \left(1 + \frac{1}{b}\right) \quad (4.43)$$

La résolution de cette équation permet de déterminer P_0 en fonction de I_{AK} soit:

A partir de l'équation simplifiée du courant de drain du MOSFET :

$$I_{mos} = \frac{Z \cdot \mu_{si} \cdot C_{ox}}{L} \left(V_{GK} - V_{th} - \frac{V_{DS}}{2} \right) V_{DS} \quad (4.44)$$

Dans laquelle Z et L sont respectivement la largeur et la longueur de la grille et μ_{si} la mobilité des électrons dans le canal, on en déduit:

$$V_{DS} = (V_{GK} - V_{th}) + \left((V_{GS} - V_{th})^2 - 2 \cdot \frac{I_{mos}}{K_p} \right)^{1/2} \quad (4.45)$$

Avec

$$K_p = \frac{Z \cdot \mu_{si} \cdot C_{ox}}{L}$$

Le courant de base du bipolaire étant le courant de drain du MOSFET, on obtient I_{mos} en fonction de I_{AK} . Et ainsi à partir de (4.45) on en déduit V_{DS} en fonction de I_{AK} .

$$I_{AK} = I_{mos} + I_c = I_b + I_c \quad (4.46)$$

L'équation (4.46) peut se réécrire en introduisant le gain en courant, $\beta = I_c/I_b$, du transistor bipolaire PNP:

$$I_{AK} = (\beta + 1) I_b = (\beta + 1) I_{mos} \quad (4.47)$$

- Régime de saturation du MOSFET :

La saturation de l'IGBT est atteinte quand le courant de drain du MOSFET commence à saturer.

L'équation simplifiée du courant de saturation du MOSFET est donnée par l'expression:

$$I_{mos_{sat}} = \frac{K_p}{2} (V_{GS} - V_{th})^2 \quad (4.48)$$

La netlist 4.5 représente le code VHDL-AMS du modèle simplifié de l'IGBT.

```

LIBRARY DISCIPLINES;
LIBRARY IEEE;
USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.ALL;
USE IEEE.MATH_REAL.ALL;

ENTITY igbt IS
port (terminal p, m: electrical);
END;

ARCHITECTURE behavioral OF igbt IS
    CONSTANT w      : real:= 100.0e-6;
    CONSTANT l      : real:= 100.0e-6;
    CONSTANT kp     : real:= 0.580427;
    CONSTANT lamda  : real:= 0.0;
    CONSTANT vbe    : real:= 0.6;
    CONSTANT beta   : real:= 7.20054;

    QUANTITY vak    : real;
    QUANTITY ids    : real;
    QUANTITY vgk    : real;

BEGIN

vak==1000.0*now;
vgk==15.0;

IF vak < vbe USE
ids == 0.0;
ELSIF (vak >= vbe)AND( vak <= (vgk-6.5))USE
ids == (beta+1.0)*(w/l)*(kp/2.0)*(1.0+(lamda*(vak-vbe)))*(vak-vbe)*(2.0*(vgk-6.5)-(vak-vbe));
ELSIF (vak > (vgk-6.5))USE
ids == (beta+1.0)*(w/l)*(kp/2.0)*(1.0+(lamda*(vak-vbe)))*((vgk-6.5)*(vgk-6.5));
ELSE
ids == 0.0;
END USE;

END;

```

Netlist 4.5. Code VHDL-AMS d'un modèle analytique simplifié de l'IGBT.

La figure 4.24 montre un réseau de caractéristiques courant-tension $I_{AK}=f(V_{AK}, V_{GK})$ obtenu pour l'IGBT **IRG4RC10K** [103] (les paramètres de ce composant figurent dans l'annexe B).

On peut noter, que le courant dans l'IGBT reste pratiquement nul tant que la tension V_{AK} est inférieure à V_{bi} . En effet, d'après les équations (4.44) et (4.46) le courant I_{AK} n'apparaît que si $V_{DS} > 0$, ce qui correspond à l'équation 4.30 pour des tensions $V_{AK} > V_{EB}$.

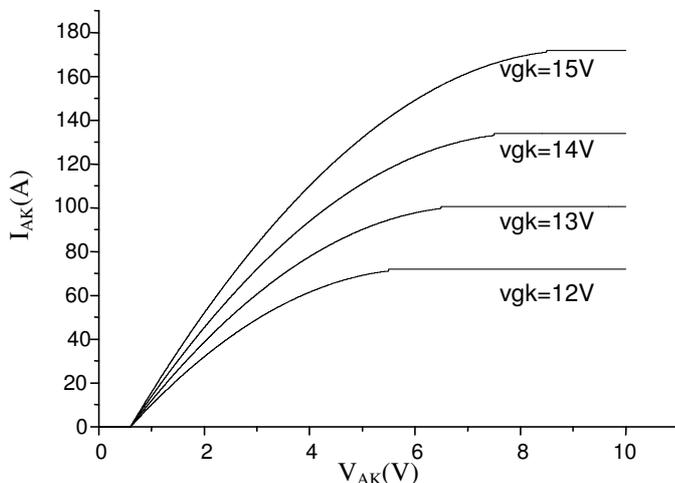


Figure 4.24. Caractéristique $I_{AK}=f(V_{AK})$ sous VHDL-AMS.

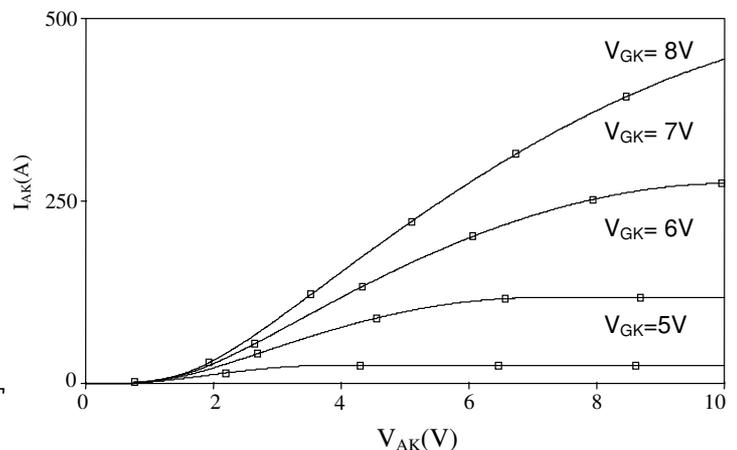


Figure 4.25. Caractéristique $I_{AK}=f(V_{AK})$ sous SPICE.

Une autre simulation effectuée sous SPICE pour le transistor **IXGH40N60 NIGBT** [104] (les paramètres de ce composant figurent dans l'annexe B). Nous avons obtenu le réseau de caractéristiques $I_{AK}=f(V_{AK}, V_{GK})$ qui sont représentés sur la figure 4.25.

3. Prototypage virtuel d'un onduleur de tension par le modèle moyen non linéaire

En général, le prototypage virtuel d'un circuit électronique de puissance consiste à remplacer les objets réels existants par des objets informatiques capables de reconstituer fidèlement le comportement global du circuit. L'utilisation de modèles moyens pour modéliser des circuits électroniques n'est pas nouvelle, mais l'utilisation de ce type de modèle comme outil pour le prototypage virtuel représente l'originalité de notre travail de recherche [105].

3.1. Modèle moyen non linéaire appliqué à un onduleur de tension triphasé

Les modèles moyens sont utilisés depuis fort longtemps et l'on peut distinguer deux principales approches.

La première est basée sur l'utilisation d'un circuit équivalent moyen composé d'éléments passifs tels que les résistances, les condensateurs et les inductances. Une difficulté de cette approche est la caractérisation avec pertinence, pour une structure de convertisseur donnée, la partie du circuit et les variables à moyenner [106].

La seconde, plus récente, repose sur une modélisation à moyenne d'état [107]. Le fait de moyenner l'état ne permet pas de distinguer les variables lentes des variables rapides.

Cette méthodologie repose sur une approche mathématique et fait appel aux représentations par les graphes de liens et les réseaux de *Petri* [108] qui prennent facilement en compte le changement de topologies liées aux commutations.

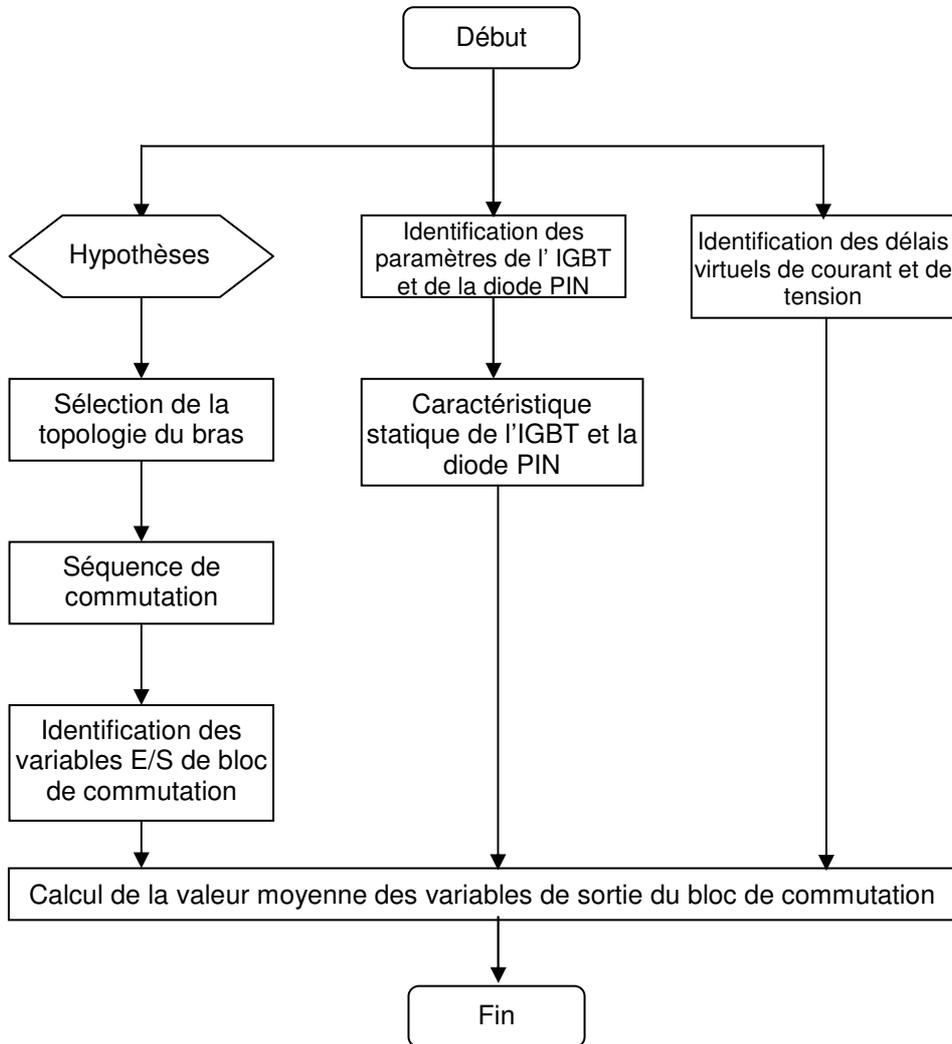
En plus, l'avantage de cette méthode est de lever toute ambiguïté quant aux causalités des divers sous-systèmes. En outre, le modèle moyen obtenu permet de prendre en compte les non linéarités des composants de puissance, la dynamique du courant (lié aux effets des éléments de câblage).

Notre travail sera basé sur la seconde approche.

Ce modèle doit être suffisamment précis sans pénaliser le temps de calcul et de plus, il doit posséder des paramètres facilement identifiables. Dans cette approche de modèle moyen, il est impératif que la période de commutation soit faible par rapport aux constantes de temps du système. Cette condition est généralement remplie lors des convertisseurs statiques de puissance pilotés par des commandes numériques.

3.2. Construction du modèle moyen non linéaire

L'algorithme de construction du modèle moyen non linéaire pour un onduleur de tension triphasé est donné sur l'organigramme 4.1.



Organigramme 4.1. Algorithme de construction d'un modèle moyen non linéaire.

3.2.1. Caractéristique statique de la diode PIN

Le modèle analytique non linéaire de la tension aux bornes de la diode PIN à l'état passant en fonction de son courant direct est donné par l'expression logarithmique selon l'équation (4.49).

$$V_d(I_d) = U_{td} \cdot \ln\left(1 + \frac{I_d}{I_{sd}}\right) + R_d \cdot I_d \quad (4.49)$$

Les paramètres de ce modèle relatif au module Mitsubishi electric CM150DY-12 sont relevés sur la référence [108] et [109].

<i>Paramètres</i>	<i>Valeurs</i>	<i>Désignations</i>
U_{td}	180.0mV	Tension de seuil du modèle logarithmique de la diode
I_{sd}	80.4mA	Courant de saturation du modèle logarithmique de la diode
R_d	4192 $\mu\Omega$	Résistance série du modèle logarithmique de la diode

Tableau 4.2. Les paramètres de la diode PIN du module CM150DY-12H a 25°C [108].

3.2.2. Caractéristique statique de l'IGBT

Le modèle analytique non linéaire de la tension aux bornes de l'IGBT à l'état passant en fonction de son courant direct est donné par l'expression logarithmique suivante :

$$V_{ce}(I_c) = U_{tt} \cdot \ln\left(1 + \frac{I_c}{I_{st}}\right) + R_t \cdot I_c \quad (4.50)$$

Les paramètres de ce modèle relatif au module Mitsubishi electric CM150DY-12 sont relevés sur la référence [108] et [109].

<i>Paramètres</i>	<i>Valeurs</i>	<i>Désignations</i>
U_{tt}	139.1mV	Tension de seuil du modèle logarithmique de la diode
I_{st}	353.2 μ A	Courant de saturation du modèle logarithmique de la diode
R_t	4768 $\mu\Omega$	Résistance série du modèle logarithmique de la diode

Tableau 4.3. Les paramètres de l'IGBT du module CM150DY-12H a 25°C [108].

3.2.3. Notion du délai virtuel

Les retards virtuels permettent de prendre en compte la dynamique de la tension et du courant, celles-ci dépendent des caractéristiques des composants semiconducteurs et des impédances de câblage de l'onduleur.

Considérons (figure 4.26) la forme de la tension $S(t)$ pour un signal de commande actif entre les instant t_{on} et t_{off} . Pour prendre en compte l'évolution des grandeurs commutées, les délais virtuels δ_{on} et δ_{off} définissent un signal idéal $S'(t)$ dont la valeur moyenne est identique au signal réel $S(t)$. Le signal de commande est appliqué entre les temps t_{on} et t_{off} et les états d'équilibre statique sont atteints aux temps t_{son} et t_{soff} .

Les délais virtuels sont donnés par les relations suivantes [108]:

$$\delta_{on} = \frac{S_1 \cdot (t_{son} - t_{on}) - \int_{t_{on}}^{t_{son}} S(t) \cdot dt}{S_1 - S_0} \quad (4.51)$$

$$\delta_{off} = \frac{S_0 \cdot (t_{soff} - t_{off}) - \int_{t_{off}}^{t_{soff}} S(t) \cdot dt}{S_0 - S_1} \quad (4.52)$$

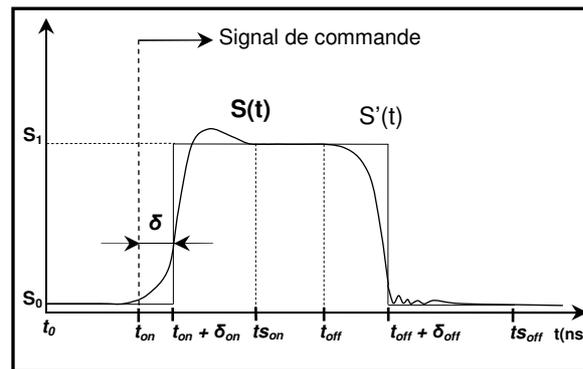


Figure 4.26. Le principe du délai virtuel.

Afin de prendre en compte la réalité de la dynamique d'un signal en commutation, nous avons défini des délais virtuels $\delta_{V_{on}}$ et $\delta_{V_{off}}$.

Le délai virtuel relatif à la tension sera défini par :

$$\delta_{TV} = \delta_{V_{off}} - \delta_{V_{on}} \quad (4.53)$$

De la même manière, il est possible de définir un délais virtuel pour le courant tel que :

$$\delta_{TI} = \delta_{I_{off}} - \delta_{I_{on}} \quad (4.54)$$

Pour obtenir les délais virtuels des grandeurs de tension δ_{TV} et de courant δ_{TI} il est possible de les déterminer à partir de la simulation d'un modèle fin du comportement du convertisseur, comprenant les éléments actifs, passifs et les inductances de liaison, ou par la mesure du courant et de la tension propre à chaque composant en commutation.

3.2.4. Modèle moyen non linéaire d'un bras d'onduleur

Avant de concevoir le modèle moyen de notre onduleur, Il convient d'analyser le montage de l'onduleur de manière à aboutir à un modèle de cellules élémentaires (figure 4.27).

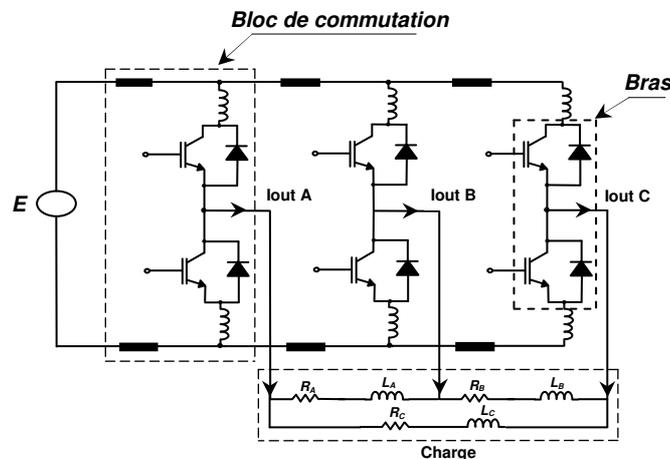


Figure 4.27. Circuit simplifié de l'onduleur et de sa charge.

Pour simplifier le travail et aboutir à un modèle modulaire, nous utilisons les deux principales hypothèses :

Hypothèse 1 : les condensateurs de découplage sont suffisamment efficaces pour fournir la totalité de l'énergie pendant les phases de commutation sans que la tension à leur borne ne varie de manière significative.

Hypothèse 2 : le courant dans la charge varie très lentement par rapport à la fréquence de commutation. Il peut être considéré constant durant ces phases.

Nous pouvons conclure qu'aucun des bras de l'onduleur n'est influencé par les commutations des deux autres.

Nous allons donc établir le modèle moyen du bras onduleur de la figure 4.28.

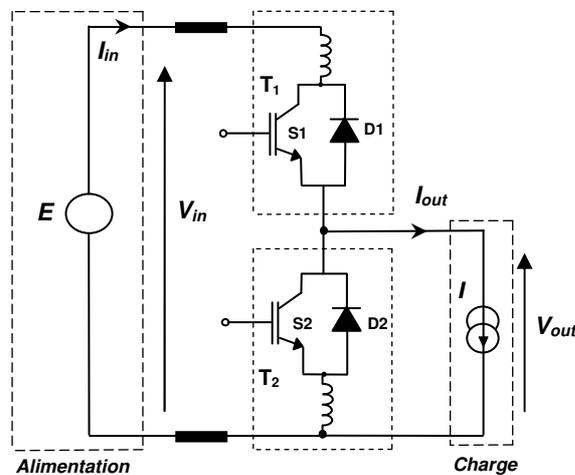


Figure 4.28. Bras d'onduleur à modéliser.

3.2.5. Identification des variables d'entrée et de sortie du bloc de commutation (bras)

Le bloc de commutation correspond à tous les composants compris entre les deux sources idéales V_{in} I_{out} (figure 4.28).

La source de tension E : impose la tension V_{in} .

La source de courant I : impose le courant I_{out} .

Ce sont nos deux variables d'entrées. Le modèle doit donc fournir la valeur de I_{in} et V_{out} (figure 4.29).

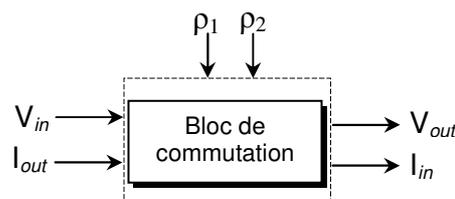


Figure 4.29. Bloc de commutation.

3.2.6. Séquences de commutation

En fait, dans ce cas, le bloc de commutation correspond à tous les composants actifs et passifs situés entre les deux sources idéales V_{in} et I_{out} .

La séquence de commande S des interrupteurs est la suivante (notation binaire) [107].

$$S = \{ \overline{T_1 T_2}, T_1 \overline{T_2}, \overline{T_1 T_2}, T_1 T_2 \} \quad (4.55)$$

T_1 : L'IGBT du haut,

T_2 : L'IGBT du bas.

3.2.7. Calcul de la valeur moyenne des variables de sortie du bloc de commutation

Il nous faut maintenant calculer l'intégrale de chaque variable de sortie sur une période de découpage, en utilisant la notion de retard virtuel.

Nous pouvons nous ramener à une formulation explicite de ces intégrales [107]:

Pour I_{out} positif :

$$\frac{1}{T} \int_{T_{sw}} V_{out} dt = \left(\rho_1 + \frac{\delta_{TV}}{T} \right) \cdot [V_{in} - V_{ce}(I_{out})] + \left[1 - \left(\rho_1 + \frac{\delta_{TV}}{T} \right) \right] \cdot [-V_d(I_{out})] \quad (4.56)$$

$$\frac{1}{T} \int_{T_{sw}} I_{in} dt = \left(\rho_1 + \frac{\delta_{Ti}}{T} \right) \cdot I_{out} \quad (4.57)$$

Pour I_{out} négatif :

$$\frac{1}{T} \int_{T_{sw}} V_{out} dt = \left[1 - \left(\rho_2 + \frac{\delta_{TV}}{T} \right) \right] \cdot [V_{in} + V_d(I_{out})] + \left(\rho_2 + \frac{\delta_{TV}}{T} \right) \cdot [V_{ce}(I_{out})] \quad (4.58)$$

$$\frac{1}{T} \int_{T_{sw}} I_{in} dt = \left[1 - \left(\rho_2 + \frac{\delta_{Ti}}{T} \right) \right] \cdot I_{out} \quad (4.59)$$

ρ_1 et ρ_2 représentent les rapports cycliques de la commande rapprochée appliqué sur les IGBT 1 et 2. Ils s'expriment par rapport au temps mort ρ_m et la commande de bras ρ par :

$$\rho_1 = \rho - \rho_m \quad (4.60)$$

$$\rho_2 = 1 - \rho - \rho_m \quad (4.61)$$

$$\text{avec :} \quad T \cdot \rho_1 + T \cdot \rho_2 + 2 \cdot T \cdot \rho_m = T \quad (4.62)$$

Où T : la période de commutation.

3.3. Implémentation VHDL-AMS

La netlist 4.6 représente le code VHDL-AMS du modèle moyen non linéaire appliqué un seule bras d'un onduleur de tension.

```

LIBRARY DISCIPLINES;
LIBRARY IEEE;
USE DISCIPLINES.ELECTROMAGNETIC_SYSTEM.ALL;
USE IEEE.MATH_REAL.ALL;

ENTITY LEG IS
    PORT (TERMINAL N1,N2, N : ELECTRICAL);
END ENTITY LEG;

ARCHITECTURE AVERAGE_MODEL OF LEG IS
    -- IGBT PARAMETERS
    CONSTANT UTT : REAL:= 139.1E-3; --V--
    CONSTANT IST : REAL:= 353.2E-6; --A--
    CONSTANT RT  : REAL:= 4768.0E-6; --OHM--

    --PIN DIODE PARAMETERS
    CONSTANT UTD : REAL:= 180.0E-3; --V--
    CONSTANT ISD : REAL:= 80.4E-6; --A--
    CONSTANT RD  : REAL:= 4192.0E-6; --OHM--

    -- INVERTER PARAMETERS
    CONSTANT T   : REAL:= 1.00E-4; --S--
    CONSTANT E   : REAL:= 355.00; --V--
    CONSTANT DELAV: REAL:= 3.00E-6; --S--
    CONSTANT DELAC: REAL:= 0.40E-6; --S--

    QUANTITY vd: real;
    QUANTITY vce: real;
    SIGNAL clk : bit;
    SIGNAL rho1:real;
    SIGNAL rho2:real;

    QUANTITY vin ACROSS Iin THROUGH n1 to n;
    QUANTITY vout ACROSS Iout THROUGH n2 to n;

BEGIN

    rho1 <=clk<=not clk AFTER 100.0 us;
    rho2 <= 1.0-rho1;

    IF (rho1 = 1.0) USE --IGBT
        vce == 0.0;
    ELSE
        vce == utt*Log2(1.0+(abs(Iout)/ist))+rt*abs(Iout);
    END USE;

    IF vce'above(1.0) USE --DIODE PIN
        vd == utd*Log2(1.0+(abs(Iout)/isd))+rd*abs(Iout);
    ELSE
        vd == 0.0;
    END USE;

    IF Iout >0.0 USE
        vout == (rho1+(delaiv/T))*(E-vce)+(1.00 -(rho1-(delaiv/T)))*(-vd);
        Iin == (rho1+(delaic/T))*Iout;
    ELSE
        vout == -(1.00-(rho2+(delaiv/T)))*(E+vd)+(rho2+(delaiv/T))*(vce);
        Iin == (1.00-(rho2+(delaic/T)))*Iout;
    END USE;
END;

```

Netlist 4.6. Code VHDL-AMS du modèle moyen non linéaire d'un bras d'onduleur de tension.

3.4. Application du modèle moyen non linéaire d'un seul bras à une charge inductive RL

Nous réalisons la co-simulation du modèle moyen non linéaire d'un bras d'onduleur transcrit par le code VHDL-AMS (netlist 4.6) connecté à une charge inductive RL ($R= 2.5750\Omega$, $L= 9.99\text{mH}$).

La tension d'alimentation considéré vaut $E= 300\text{VDC}$ et la fréquence de commutation est égale à 4kHz .

Nous obtenons les résultats suivants :

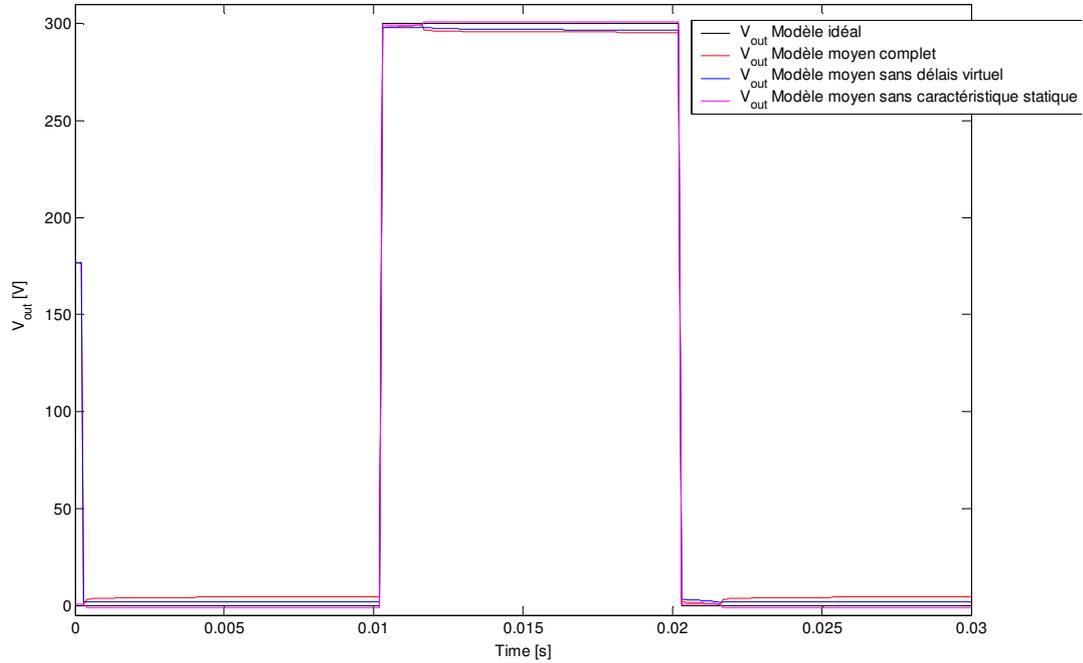


Figure 4.30. Relevé de la tension de sortie appliquée à la charge RL.

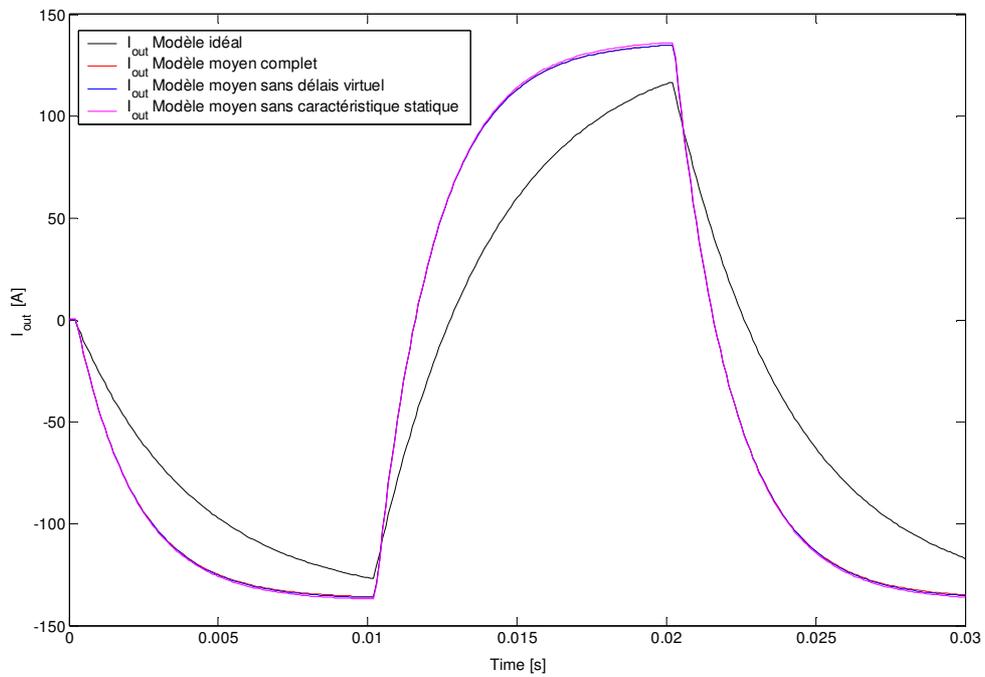


Figure 4.31. Le courant dans la charge inductive RL.

La figure 4.30, représente la tension aux bornes de la charge RL. Cette tension est fournie par le modèle moyen complet non linéaire (rouge) du bras d'onduleur comparé à la tension générée par le modèle idéal (noir) du bras d'onduleur. Les différents niveaux de simplification du modèle moyen sont aussi présentés ; le modèle moyen sans les délais virtuels (bleu) et le même modèle sans les caractéristiques statiques (Magenta).

La figure 4.31, montre une comparaison des courant des deux modèles à travers la charge RL. Le premier courant est fourni par le modèle idéal du bras d'onduleur et le deuxième courant fourni par le modèle moyen non linéaire. Les mêmes simplifications du modèle moyen sont étudiées également.

On peut constater la différence en amplitude et en déphasage. Le décalage dans le temps entre le courant calculé par le modèle moyen non linéaire et le modèle idéal est dû à l'effet du câblage qui été défini par le concept de délais virtuels.

3.5. Application du modèle moyen non linéaire dans le système de commande DTC

Dans cette partie, nous allons appliquer le modèle moyen non linéaire à l'onduleur de tension triphasé [110]. Ce dernier est piloté par la DTC pour alimenter une machine asynchrone triphasée.

Nous reprenons le schéma de la figure 3.11 du chapitre 3 (avec les mêmes paramètres), et nous remplaçons le modèle idéal de l'onduleur de tension par le modèle moyen non linéaire (figure 4.32).

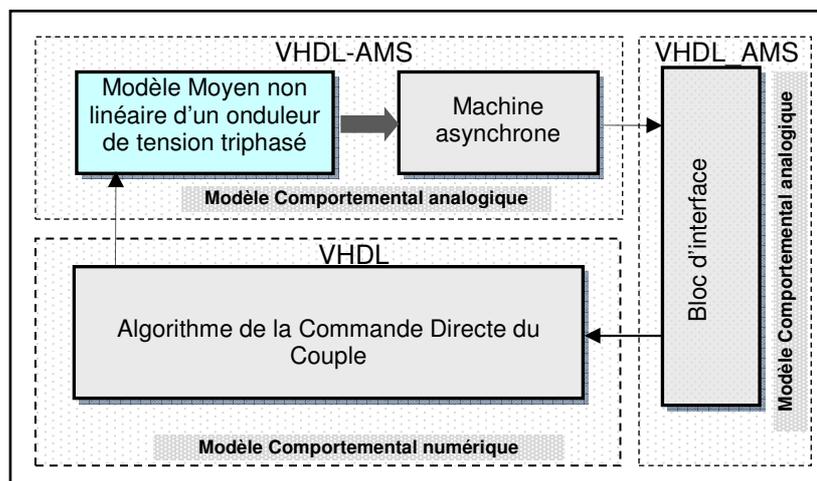


Figure 4.32. Co-simulation du système de commande inclus un modèle moyen non linéaire appliqué à l'onduleur de tension triphasé.

La co-simulation du système de commande de la machine asynchrone avec l'utilisation du modèle moyen non linéaire d'un onduleur de tension triphasé nous a conduit aux résultats suivants :

La figure 4.33, représente une comparaison entre les courants calculés par les différents niveaux du modèle moyen non linéaire. Cette comparaison focalise seulement sur le courant statorique de la phase "a" I_{sa} .

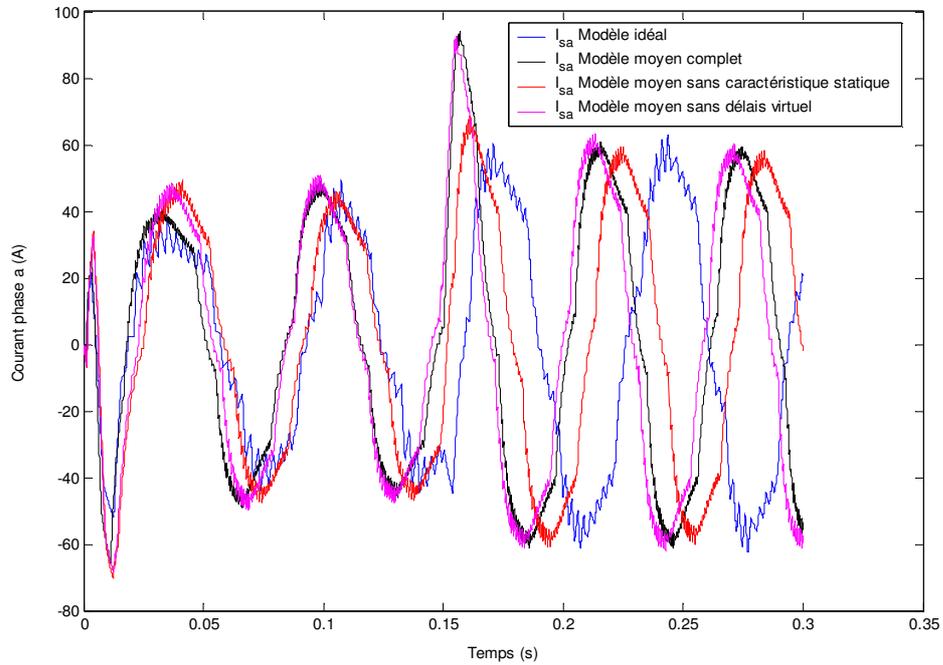


Figure 4.33. Comparaison entre les différents courants calculés par les différents niveaux du modèle moyen non linéaire.

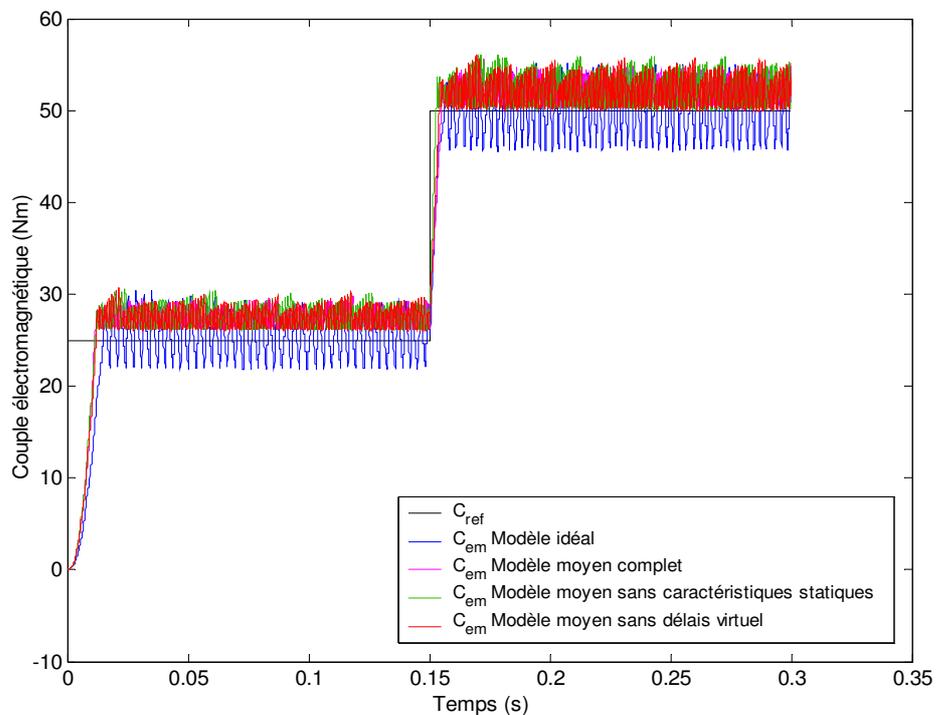


Figure 4.34. Comparaison entre les différents couples électromagnétiques calculés par les différents niveaux de simplification du modèle moyen non linéaire.

On peut distinguer clairement l'effet du câblage sur le courant (rouge) ainsi que l'effet de la non linéarité des composants de puissances (IGBT et diode) sur le même courant (Magenta). La figure 4.34, montre une comparaison entre les couples électromagnétiques C_{em} calculés par les différents niveaux du modèle moyen non linéaire. L'effet du câblage et des composants de puissance (IGBT et diode PIN) sur la réponse du couple électromagnétique est visible. En effet, on observe un décalage du couple C_{em} vers le haut par rapport au couple de référence C_{ref} [111].

3.6. Application du modèle moyen non linéaire pour le calcul des pertes par commutation

Nous nous intéressons maintenant à l'élaboration d'un modèle de pertes basé sur le modèle moyen non linéaire du convertisseur statique de puissance, s'intégrant dans une approche de prototypage virtuel d'un onduleur de tension [112], [113].

Après une présentation du fonctionnement d'une cellule de commutation (cf. chapitre 4 § 3.1), la partie suivante décrit un modèle de pertes simplifié d'onduleur de tension.

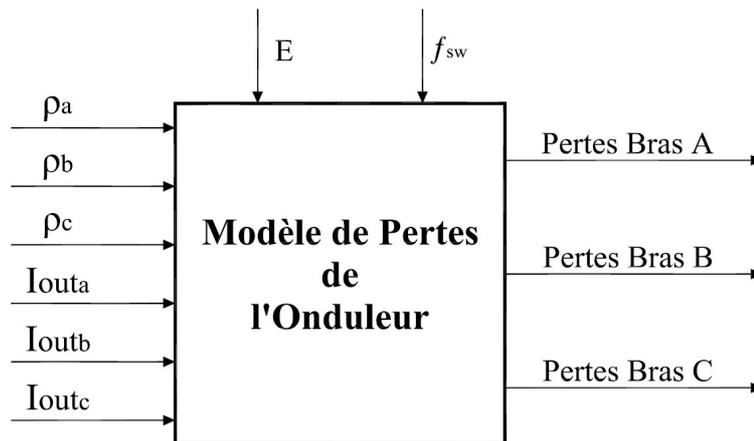


Figure 4.35. Modèle moyen de pertes de l'onduleur

ρ_a, ρ_b, ρ_c : Rapports cycliques des bras A, B, C.

$I_{outa}, I_{outb}, I_{outc}$: Courants dans les bras A, B, C (A).

E : Tension continue d'alimentant le convertisseur (V)

f_{sw} : Fréquence de découpage du convertisseur (Hz).

3.6.1. Modèle moyen non linéaire de pertes

Dans un convertisseur statique d'énergie électrique fonctionnant en commutation forcée, les pertes peuvent se décomposer en deux parties :

- les pertes en conduction,
- les pertes en commutation.

Les pertes en conduction seront sensibles aux chutes de tension aux bornes des composants et aux courants les traversant pendant une certaine durée dépendante du rapport cyclique

On considère que :

- Les pertes en commutation des diodes ont été négligées (tenir compte de la physique de la diode).
- Les caractéristiques représentant l'énergie dissipée en commutation des IGBT à l'ouverture E_{off} et à la fermeture E_{on} et sont données pour une tension continue bien précise E_w .

E_w : Tensions continues issues des essais constructeurs lors de la détermination de l'énergie dissipée à la fermeture et ou blocage de l'IGBT,

f_{sw} : Fréquence de commutation,

E : tension continue,

$$\text{Avec } k_e = \frac{E}{E_w} \quad \text{et} \quad T_{sw} = \frac{1}{f_{sw}}$$

Les pertes en commutation dépendent de l'énergie dissipée au niveau du convertisseur.

Pour un bras d'onduleur, les équations du modèle de pertes incluant les différentes pertes précitées sont les suivantes [112]:

Pour I_{out} positif :

$$P_{IGBT1} = \rho \cdot V_{ce}(I_{out}) \cdot I_{out} + k_e \cdot [E_{on}(I_{out}) + E_{off}(I_{out})] \cdot f_{sw} \quad (4.63)$$

$$P_{diode1} = (1 - \rho) \cdot V_d(I_{out}) \cdot I_{out} \quad (4.64)$$

Pour I_{out} négatif :

$$P_{IGBT2} = (1 - \rho) \cdot V_{ce}(|I_{out}|) \cdot |I_{out}| + k_e \cdot [E_{on}(|I_{out}|) + E_{off}(|I_{out}|)] \cdot f_{sw} \quad (4.65)$$

$$P_{diode2} = \rho \cdot V_d(|I_{out}|) \cdot |I_{out}| \quad (4.66)$$

Ce modèle utilise les caractéristiques statiques des composants telles que la chute de tension de la diode (4.49) et la tension collecteur-émetteur de l'IGBT (4.50).

D'autres lois peuvent être utilisées, notamment en approximant par des parties linéaires les caractéristiques statiques.

L'énergie dissipée de l'IGBT à l'état bloqué (*Switching turn-Off*) est définie par:

$$E_{off}(I_{out}) = E_{offk1} \cdot \ln\left(1 + \frac{I_{out}}{E_{offk2}}\right) + E_{offk3} \cdot I_{out} + E_{offk4} \cdot I_{out}^2 \quad (4.67)$$

Les paramètres expérimentaux de l'équation (4.67) sont donnés par le tableau 4.4:

E_{offk1}	E_{offk2}	E_{offk3}	E_{offk4}
3.5	18.8	0.116	-0.000023

Tableau 4.4. Les paramètres expérimentaux de l'IGBT à l'état bloqué du module CM150DY-12H a 25°C [112].

Les pertes d'énergie de l'IGBT à la fermeture (*Switching turn-On*) sont données par l'équation algébrique suivante :

$$E_{on}(I_{out}) = E_{onk1} \cdot \ln\left(1 + \frac{I_{out}}{E_{onk2}}\right) + E_{onk3} \cdot I_{out} + E_{onk4} \cdot I_{out}^2 \quad (4.68)$$

Les paramètres expérimentaux de l'équation (4.68) sont donnés par le tableau 4.5:

E_{offk1}	E_{offk2}	E_{offk3}	E_{offk4}
3.5	18.8	0.116	-0.000023

Tableau 4.5. Les paramètres expérimentaux de l'IGBT à l'état passant du module CM150DY-12H a 25°C [112].

Les dissipations en puissance par un bras d'onduleur de tension sont données par :

$$P_{leg} = (P_{IGBT1} + P_{diode2}) + (P_{IGBT2} + P_{diode1}) \quad (4.69)$$

3.6.2. Co-simulations

Nous réalisons les co-simulations du modèle moyen de pertes sous le logiciel hAMSter version 2. Les résultats de co-simulations représentés sur les figures 4.36 à 4.38.

La figure 4.36 représente la variation de la puissance dissipée par un bras d'onduleur en fonction du courant de charge. A une tension et une fréquence constante, les pertes sont fortement dépendantes du courant dans la charge. En effet, les pertes par conduction dépendent directement de ce paramètre dont la variation à une forme pseudo parabolique.

La figure 4.37 montre l'évaluation de la puissance dissipée en fonction de la fréquence de commutation et qui est une forme linéaire. Nous constatons que les pertes sont dépendantes de la fréquence de commutation.

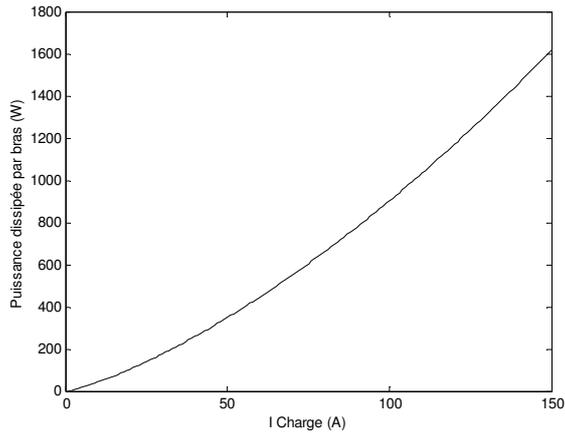


Figure 4.36. Puissance dissipée par bras d'onduleur en fonction du courant de charge.

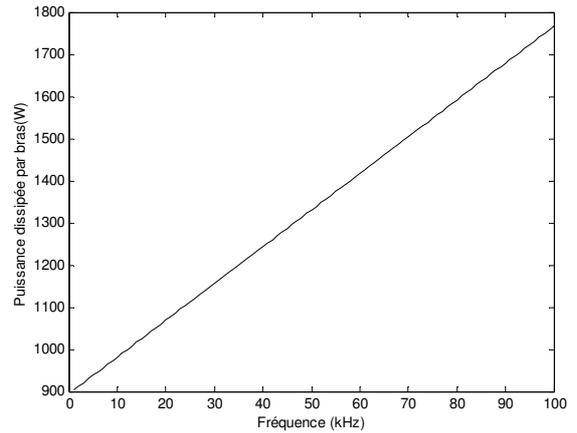


Figure 4.37. Puissance dissipée par bras d'onduleur en fonction de la fréquence de commutation.

La figure 4.38 représente une variation en 3D de la puissance dissipée par un bras en fonction de la fréquence de commutation et le courant de charge. Cette figure nous permet d'estimer la dissipation en puissance dans le bras d'onduleur pour une charge RL donné et une fréquence de commutation choisie.

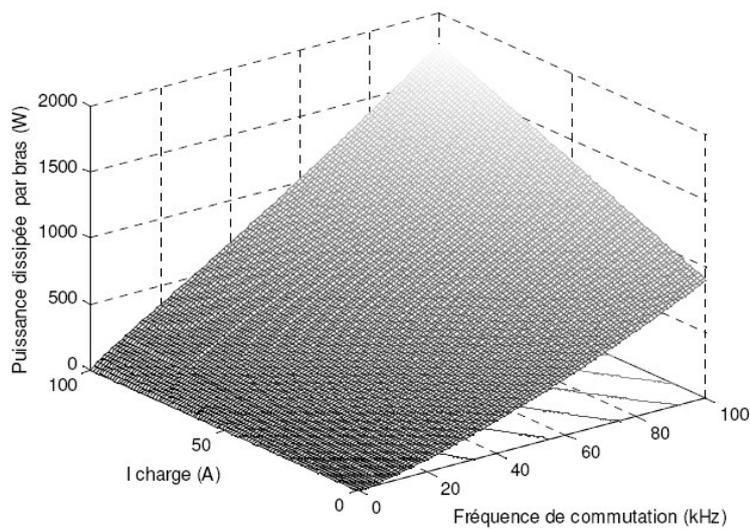


Figure 4.38. Puissance dissipée par bras d'onduleur en fonction de la fréquence de commutation et le courant de charge.

4. Introduction aux aspects thermiques et CEM en vu de l'intégration de puissance

4.1. Aspect thermique

Sous la pression des industriels qui doivent concevoir des dispositifs de puissance poussés aux limites de leurs capacités (haute température, forte densité de puissance,..) et qui visent l'allègement et la forte intégration de leurs composants, plusieurs méthodes sont explorées pour réaliser le couplage électrothermique. Elles peuvent être classées en deux principaux types.

- Méthode de relaxation : où les problèmes thermiques et électriques sont traités séparément par deux simulateurs. La méthode de relaxation peut être aussi précise que souhaitée. Cependant, l'augmentation de la précision rend le temps de calcul très long puisqu'elle contraint à des pas de temps de simulation très courts.
- Méthode directe : où le problème électrique et le problème thermique sont traités par un simulateur unique. Pour cela, il faut extraire un modèle thermique sous forme compatible avec les simulateurs de type circuit. Dans ce cas, le modèle thermique doit être traduit en langage de modélisation tel que le VHDL-AMS.

Nos orientations futures seront basées sur deux approches:

La première approche concerne la modélisation électrothermique directe des composants de puissance. Les étapes nécessaires à la réalisation de ce modèle sont :

- En premier lieu, définir et choisir le ou les modèles électriques des composants de puissance qui tiennent compte de tous les paramètres sensibles à la variation thermique (mobilité, concentrateur des porteurs, durée de vie, ..,etc), puis transcrire ce modèle en VHDL-AMS.
- En deuxième lieu, développer un modèle thermique en VHDL-AMS de toute la structure qui constitue le composant, puis établir le couplage énergétique entre ces deux modèles.

La deuxième approche est orientée vers l'utilisation de modèle moyen non linéaire qui tient compte à la fois de l'aspect électrique et de l'aspect thermique. Il est évident de transcrire le modèle obtenu en langage VHDL-AMS.

4.2. Aspect CEM

Jusqu'à présent et comme dans beaucoup d'autres domaines, la conception d'un dispositif d'électronique de puissance se fait au mieux mais sans moyen véritable de prédiction des perturbations électromagnétiques au cours de la phase de conception du composant [114].

Ce n'est qu'une fois le prototype réel achevé que les tests est réalisé que l'on calcule réellement le filtre dédié à la réduction des perturbations conduites. Quant au bruit en mode rayonné, encore

plus difficile à appréhender, on s'en remet au blindage pour respecter les gabarits normatifs. La compatibilité électromagnétique, qu'elle soit conduite ou rayonnée, n'est pas gérée comme une contrainte au moment de la conception, mais seulement comme une épreuve que l'on fait subir au prototype réel avant la fabrication en série.

Il devient donc indispensable de prédire le comportement électromagnétique directement au niveau silicium. Pour ce faire, un modèle de circuit intégré orienté CEM appelé *ICEM* (*Integrated Circuit Electromagnetic Model*) est en cours de définition par les organismes spécialisés. Il doit permettre à terme aux concepteurs de circuit intégré de fournir une boîte noire représentant les perturbations générées par le circuit ainsi que son comportement en susceptibilité.

Notre objectif futur est d'étudier le modèle ICEM de circuit intégré de puissance dans son environnement en utilisant VHDL-AMS comme un outils de modélisation en vu du prototypage virtuel de l'aspect électromagnétique.

5. Conclusion

Le travail présenté dans ce chapitre découle l'un double intérêt et qui est subdivisé en trois parties.

La première partie de ce chapitre a été consacrée à une contribution de conception d'une bibliothèque de modèle en VHDL-AMS pour la conception des convertisseurs statiques de puissance. Nous avons, pour cela, décrit les trois approches de modélisation ; fonctionnelle, comportemental et physique appliqué sur la diode PIN en suite des modèles comportementaux des composants de puissance tel que le transistor MOS et IGBT.

La deuxième partie de ce chapitre, à été consacré à une nouvelle approche de modélisation des convertisseurs statiques qui a été proposée dans le cadre du prototypage virtuel du circuit de puissance. Cette approche basée sur un modèle moyen non linéaire est appliquée à un onduleur de tension triphasé. Ce modèle nous a permis également de prendre en compte l'effet du câblage au lieu de modéliser le câblage lui-même. Un calcul des pertes par commutation à été effectué par le même modèle.

Dans une troisième partie les objectifs futurs de l'étude des aspects thermique et électromagnétique en vue du prototypage virtuel appliqué à la conception de l'intégration de puissance ont été cernés.

Conclusion générale

CONCLUSION GENERALE

L'intégration complète du système de commande des machines alternatives s'avère particulièrement intéressante pour des applications industrielles, cependant elle présente assez de contraintes quand aux exigences en robustesse de contrôle et de performances. Par ailleurs, force est de constater que les chaînes d'entraînements électriques, à base de machines alternatives, sont de plus en plus impliquées dans des systèmes embarqués (avions, véhicules électriques, etc.).

Par ailleurs, l'intégration complète du système de commande, plus particulièrement son intégration sur les modules de puissance intelligents à application spécifique *ASIPM* (*Application Specific Intelligent Power Module*), s'avère très complexe en vu des éléments le constituant. Nous avons ainsi été amenés à dissocier le "bloc de commande", de nature numérique, du "bloc d'interface", de nature analogique et le "bloc de puissance" dans le but de spécifier et de concevoir chaque bloc séparément.

Dans ce travail de recherche multidisciplinaire, nous étudierons le prototypage virtuel de chaque élément constituant l'ASIPM et qui est une étape incontournable de la conception moderne des circuits intégrés spécifiques.

L'importance des travaux de recherches sur l'intégration du système de commande nous a ensuite conduit à étudier les deux solutions technologiques envisageables pour son intégration sur un circuit intégré de puissance. La première, l'intégration monolithique, utilisée pour les applications faibles et moyennes puissance, subdivise en deux familles en fonction de la gamme de puissance à convertir; la Smart Power et l'intégration fonctionnelle. La deuxième, l'intégration hybride, plutôt adaptée aux fortes puissances, voit associés au sein d'un même substrat et par un montage adapté en surface, les éléments de puissance aux éléments de commandes. Pour ce mode, deux types d'intégration apparaissent; les modules standard et les modules de puissance intelligents IPM ou ASIPM. Suite à cette étude et avec une analyse fonctionnelle du besoin, nous avons été conduit à l'établissement du cahier des charges qui va nous guider par la suite.

L'intégration en électronique de puissance apporte une contrainte supplémentaire à la conception des systèmes électroniques standard qui est celle de la pluridisciplinarité, la méthodologie de conception en *V* est la base de toutes méthodologies de conception en intégration de puissance. A partir de cette méthodologie découle la méthode de conception

descendante "*Top down*" pour l'intégration en électronique de puissance des différents blocs décrits auparavant. Le prototypage virtuel et la méthode descendante représentent la clé dans la conception moderne des circuits intégrés multidisciplinaire.

Les différents travaux de recherches sur l'intégration du "bloc de commande" nous ont ensuite conduit à étudier les solutions technologiques envisageables pour son intégration sur circuits intégrés numériques. Deux familles de circuits intégrés numériques sont généralement utilisées. Les processeurs standard ou dédiés et les circuits intégrés à application spécifique ASICs. La commande algorithmique, ou une partie de celle-ci, est transformée en architecture matérielle sur silicium. Des techniques d'intégration du "bloc de commande" ont par la suite été présentées. Nous avons alors abordé deux types d'implantation de commande. La première solution, nommée "l'intégration partagée" et la seconde solution, nommée "l'intégration unique"; cette dernière a été retenue.

La commande directe du couple DTC a ainsi été choisie pour sa faible complexité algorithmique et sa forte potentialité d'intégration dans un système de commande. Par la suite, une méthodologie d'étude et de conception descendante, adaptée à nos objectifs d'intégration de commande, a été définie.

En ce qui concerne le "bloc d'interface", les techniques actuelles disponibles pour la conception des circuits analogiques et mixtes nous ont orienté vers le choix d'une méthodologie de conception adéquate avec notre objectif de la conception de l'intégration globale du système de commande. Des transitions des outils et méthodologies de la conception des circuits numériques qui ont fait le succès du digital vers la conception des circuits analogiques et mixtes ont été prises en charge dans notre travail. En particulier, un des points clés majeurs de cette transition concerne le prototypage virtuel des circuits analogiques et mixtes utilisant la modélisation comportementale. La conception du circuit intégré de faible puissance HVIC de nature analogique et mixte, nous a conduit à garder la même méthodologie de conception utilisée dans la conception numérique.

Avant de développer le prototypage virtuel des éléments de l'ASIPM, une conception en amont a été effectuée par la simulation d'une décomposition hiérarchique du système de commande à intégrer sous l'environnement de conception HiLeS Designer Version 0.9 du LAAS. Sur la base de ce résultat, nous avons pu déterminer les éléments génériques de notre conception.

Une modélisation de la chaîne d'entraînement électrique utilisée par le modèle système, traduisant les principes de la DTC, a été validé grâce aux outils *Matlab/Simulink* et aux modèles

des blocs de puissance, machine asynchrone et onduleur de tension triphasé. Le modèle comportemental de haut niveau en code VHDL-AMS a été établi sous le logiciel hAMster Ver. 2 et après avoir déterminé les séquences de l'algorithme de commande, nous avons simulé les grandeurs de contrôle flux statorique et couple électromagnétique. Nous les avons ensuite comparées à celles issues du modèle système.

Une décomposition descendante et fonctionnelle du HVIC a été faite. Cette décomposition met en évidence trois principales fonctionnalités; la fonction contrôle, qui englobe les capteurs de courants ainsi que les capteurs de températures. La fonction protection réunit les protections contre les courts-circuits, les surintensités ainsi que la protection contre les sous-tensions de l'alimentation de la commande d'IGBT. La fonction de la commande de l'IGBT qui rassemble l'auto-alimentation type *Bootstrap* ainsi que le circuit de la commande de grille en tension. Pour chaque élément des fonctions citées auparavant, un modèle comportemental de haut niveau a été développé et simulé, afin de concevoir le HVIC à partir de neuf netlists du code VHDL-AMS.

Le travail mené dans la dernière partie de la thèse a étudié les trois différentes approches de modélisation qui sont appliquées à une diode PIN; modélisation comportemental, fonctionnel et physique. Dans un premier temps, nous avons procédé à la construction d'une bibliothèque réutilisable non exhaustive de modèles comportementaux des composants de puissance tel que, Diode PIN, transistor MOS et IGBT le but étant de les utiliser pour des applications futures. Dans un second temps, une nouvelle approche de modélisation des circuits de puissance a été proposée dans le cadre du prototypage virtuel du circuit de puissance, cette approche est basée sur un modèle moyen non linéaire d'un onduleur de tension. Ce modèle nous a permis également de décrire certains effets au lieu de modéliser leur cause comme l'effet du câblage et les pertes par commutation.

Les perspectives pour ce travail sont nombreuses et portent sur plusieurs axes, le premier axe réside dans la constitution d'une bibliothèque générique réutilisable de composants de puissance analogique et numérique basée sur des modèles à différents niveaux d'abstraction (fonctionnel, comportemental et physique). Le deuxième axe doit être basé sur le développement du modèle moyen non linéaire vers l'aspect CEM et thermique. Quant au troisième axe c'est l'automatisation de l'exploitation de la bibliothèque générique et le développement du modèle moyen non linéaire au sein d'une plate forme de prototypage virtuel des ASIPM.

Bibliographie

Bibliographie

- [1] J. Bocker et S. Mathapati, "State of the art of induction motor control", *IEMDC '07, IEEE International Electric Machines & Drives Conference*, pp. 1459-1464, Antalya, May 2007.
- [2] A. Vikram et V. Agarwal, "ASIC based single-phase to six-phase conversion", *ICPCES2010 International Conference on Power, Control and Embedded Systems*, pp. 1-4, Allahabad-India, December 2010.
- [3] T. Tomofumi et S. Takuya, "Development of 1200V large DIIPM TM Ver. 4", Mitsubishi electric, *Advance Power Semiconductors Contribute to a Low Carbon Society, Technical Report*, Vol 135, pp. 15-18, Jun 2011.
- [4] D. Cottet, "Industry perspective on multi domain simulations and virtual prototyping", *11th Workshop on Control and Modeling for Power Electronic, Compel*, pp.1-6, 2008.
- [5] M. Breil et F. Morancho, "Évolution de l'intégration en électronique de puissance", *Journal sur l'enseignement des sciences et technologies de l'information et des systèmes*, J3eA, Vol. 2, HS 2, n° 9, 2003.
- [6] J.C. Crebier, "Intégration monolithique et composants de puissance", *Habilitation à diriger des recherches, Institut National Polytechnique de Grenoble*, 2006.
- [7] B. Murari, C. Contiero, R. Gariboldi, S. Sueri et A. Russo, "Smart Power Technologies Evolution", *IEEE Industry Application Conference*, 2000.
- [8] V. Rumennik, "Power devices are in the chip", *IEEE Spectrum*, Vol.1, n°1, pp.42-48, 1985.
- [9] S. Roux, "SOI technology applied to an advanced Smart Power structure", *International Semiconductor Device Research Symposium*, pp.433-436, 1999.
- [10] M. Bafleur, "Intégration des Systèmes de Puissance", *Présentation d'un travail de recherche, Institut Carnot, LAAS*, 2008.
- [11] E. Motto, J. Donlon, M. Iwasaki, K. Kuriaki, H. Yoshida et K. Hatade, "A 1200V Transfer Molded DIP-IPM", *Power Device Division, Mitsubishi Electric Corp. Fukuoka Japan*, 2004.
- [12] T. Terashima, F. Yamamoto et K. Hatasako, " Multi-voltage device integration technique for 0.5 μ m BiCMOS & DMOS Process", *IEEE-ISPDS*, Vol.2, n° 4, pp.331-334, 2000.
- [13] P. Austin, "Contribution du développement de l'intégration fonctionnelle", *Habilitation à diriger des recherches, Laboratoire d'analyse et architecture des systèmes du CNRS, France*, 2003.
- [14] F. Capy, "Etude et conception d'un interrupteur de puissance monolithique à auto-commutation: le thyristor dual disjoncteur", *Thèse de doctorat, Université Toulouse III - Paul Sabatier, France*, 2009.
- [15] J.L. Sanchez, "State of the art and trends in power integration", *Conference MSM, Puert Rico*, pp. 20-90, USA, 1999.
- [16] R. Maurice, "Contribution a la méthodologie de conception système : Application a la réalisation d'un microsystème multicapteurs communicant pour le génie civil", *Thèse de doctorat, Institut National Polytechnique de Toulouse, France*, 2005.

- [17] T. Nishimara, H. Kakiki et T. Kobayashi, "High-power IGBT modules for Industrial use", Fuji electric, 2006.
- [18] E. R. Motto, "Power module for appliance motor control", *IEEE Industry Applications Magazine*, 2002.
- [19] E. R. Motto, "New Intelligent Power Modules (IPMs) for Motor Drive Applications", *Powerex, Inc, Power Device Division, Mitsubishi Electric Corp. Fukuoka Japan*, 2003
- [20] E. Motto, J. Achhammer, M. Yamamoto, T. Marumo et T. Igarashi, "MAXISS: A New Servo Duty IPMW with On-Chip Temperature Sensing", *Powerex, Inc, Power Device Division, Mitsubishi Electric Corp. Fukuoka Japan*, 2001.
- [21] E. R. Motto, "Application Specific Intelligent Power Modules - A Novel Approach to System Integration in Low Power Drives", *Powerex, Inc, Power Device Division, Mitsubishi Electric Corp. Fukuoka Japan*, 2002.
- [22] "Industrial illustrators", *Powerex, Inc, Power Device Division, Mitsubishi Electric Corp. Fukuoka Japan*, 2002.
- [23] L. Donlon, J. Achhammer, H. Iwamoto et M. iwaski, "Appliance motor control using new intelligent power modules in injection modeled packages", *Powerex, Inc, Power Device Division, Mitsubishi Electric Corp. Fukuoka Japan.*, 2001.
- [24] C. Fred, J. D.van Wyk, D. Boroyevich, G. Quan Lu, Z. Liang and P. Barbosa, "Technology Trends toward a System-in-a-Module in Power Electronics", *IEEE Trabsaction on Power Electronic*, April 2010.
- [25] Evans Data Corporation "Embedded Systems Development Survey, Vol 1, 2003".
http://www.evansdata.com/n2c/surveys/embedded_toc_03_2.shtml,2003.
- [26] K. Kundert, "Top-Down Design of Mixed-Signal Circuits, Advances in Analog Circuits Design", April 2000.
- [27] M.S. Corquodale, F.H. Gebara, K.L. Kraver, D.M. Marsman, R.M. Senger et R.B. Brown, "A Top Down Microsystems Design Methodology and Associated Challenges", *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition, IEEE Computer Society*, 2003.
- [28] W. Yingxiang. "Describing Integrated Power Electronics Modules using STEP AP210", *Thesis submitted to the Faculty of the Virginia Polytechnic Institute*, 2003.
- [29] J.Z. Chen, Y. Wu, C. Genc, D. Boroyevich et J.H. Bohn, "Integrated Electrical and Thermal Analysis of Integrated Power electronics Modules Using ISIGHT," in *Pmc. IEEE APEC*, pp.1002-1006, 2001.
- [30] D. Borojevich et J.Z. Chen, "Integrated Multidisciplinary Modeling, Analysis and Design in Power Electronics", *Proc., 2003 CPES Power Electronics Seminar*, Blacksburg, VA, pp.25-31, April 2003.
- [31] F. Boattini, R.Galli, A. Monti, et G. Secondo, "Integrated design methodology for electrical drives: a marine application experience", *Proc., IEEE IECON*, pp.591-595, 1998.
- [32] D.W. Jacobus, C.L. Fred, B. Dushan, L. Zhenxian. et Y. Kaiwei, "A future approach to integration in power electronics systems", *29th Annual Conference of the IEEE Industrial Electronics Society*, pp.1008-1019, 2003.

- [33] P. Esteban, A. Ouardani, M. Paludetto et J.C. Pascal, "A Component Based Approach for System Design and Virtual Prototyping", *12th Annual European Concurrent Engineering Conference*, pp.85-90, Toulouse-France, April 2005.
- [34] C.A. Valderrama, "Prototype virtuel pour la génération des architectures mixtes logicielles/matérielles", *Thèse de doctorat de l'institut national polytechnique de grenoble, France*, 1998.
- [35] R. Maurice, D. Bouchet, E. Campo et D. Esteve, "From requirements analysis to virtual prototyping: top-down design methodology for a reusable industrial microsystem", *18th International Conference on Software and Systems Engineering and their Applications*, Paris-France, December 2005.
- [36] D. Gaski, N. Dutt, C. Wu et Y. Lin, "High-level Synthesis, Introduction to Chip and System Design", *Kluwer Academic Publishers*, 1992.
- [37] F. Lémery, "Modélisation Comportementale des circuits analogiques et mixtes", *Thèse de doctorat, Institut National de Grenoble, France*, 1995.
- [38] T. Riesgo, Y. Torrojaad et E. Torre, "Design Methodologies Based on Hardware Description Languages", *IEEE Transaction on Power Electronic*, pp.3-11, vol. 46,n°1, February 1999.
- [39] U. heinkel, M. Padeffke et W. Haas, "The VHDL Reference: a practical guide to computer-aided integrated circuit design including VHDL-AMS", *Wiley*, pp.420, *Chichester-New York-USA*, 2000.
- [40] IEEE Computer Society, "IEEE Standard for Verilog[®] Hardware Description Language", *IEEE std 1364TM-2005*, pp. 90, *New York- USA*, 2006.
- [41] Synopsys, "Saber, MAST Language, Book 2, user guide", *version X-2005.09*, pp.249, *USA*, September 2005.
- [42] P. Fritzson et P. Bunus, "Modelica- A general object-oriented language for continuous and discrete-event system modeling and simulation", *Proceedings of the 35th Annual Simulation symposium, IEEE Transaction on Power Electronic*, 2002.
- [43] B. O. Bouamama, G. Dauphin-Tanguy, "Modélisation par bond de graph, éléments de base pour l'énergétique", *Technique de l'ingénieur*, BE 8 280, pp.12, Paris 2006.
- [44] H. M. Paynter, "Analysis and design of engineering systems", *Technical report, the Massachusetts Institute of Technology, Cambridge, USA*, 1961.
- [45] D. Karnopp et R. C. Rosenberg, "Status and Trends of power semiconductor device models for circuit simulation", *IEEE Transaction on Power Electronics*, Vol.13, n°3, pp.452-466, May 1998.
- [46] VLADIMIRESCU. The Spice Book. *J.Wiley&Sons, Inc,New York*, 1994.
- [47] ANACAD, HDL-A Language Reference Manual, July 1994.
- [48] P. Foussier, "Intégration des système de commande des machines à courant alternatif", *Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, France*, 1998.
- [49] F. Aubépart, "Contribution a l'intégration de systèmes de commande de machines électriques : Intégration sur ASIC numérique de la Commande Directe du Couple d'une machine asynchrone", *Thèse de doctorat, Université Louis Pasteur Strasbourg I*, 1999.

- [50] H. Lehuy, "Microprocessors and Digital ICs for Motion Control", *Proceeding of the IEEE*, vol.82, n°8, pp.1140-1163, August 1997.
- [51] J.L. Hennessy et D.A. Pattreson, "Architecture des ordinateurs: une approche quantitative", *Edition Ediscience International*, 1994.
- [52] M. Sprague et R. Krishan, "A high performance DSP Based System Architecture for Motor Drive Control", *25th Annual IEEE Power Electronics Specialists Conference*, pp.1257-1262, June 1994.
- [53] J.M. Retif, B. Allard, X. Jord et al., "Use of ASIC's in PWM Techniques for Power Converter", *International Conference on Industrial Electronics, Control and Instrumentation*, Vol.2, pp. 683-688, 1993.
- [54] K. Tazi et E. Monmasson, "Contribution to MultiMachine Speed Control Device Architecture. Preliminary DSP Based Control Realization with View of FPGA Architecture Design", *Conference on Power Conversion and Intelligent Motion*, pp. 243-249, June 1997.
- [55] Y. Kebbati, "Modélisation VHDL de blocs fonctionnels pour l'intégration sur cible FPGA/ASIC d'algorithmes de commande : Application au développement d'une architecture modulaire évolutive d'actionneur asynchrone", *rapport de stage DEA Instrumentation et Microélectronique, Université Louis Pasteur, LPSI, Strasbourg*, 1999.
- [56] F. Aubépart, C. Girerd, Y. A. Chapuis, P. Poure et F. Braun, "Design and simulation of ASIC-based system control: application to Direct Torque Control of induction machine", *ISIE'99, IEEE International Symposium on Industrial Electronics, Beld-Slovinie*, July 1999.
- [57] C. Girerd, F. Aubépart, P. Poure, J.P. Blondé et Y. A. Chapuis, F. Braun, "Modélisation VHDL/SpectreHDL et simulation mixte sous Cadence : conception d'un ASIC de commande de moteur asynchrone", *journées thématiques université/industries sur l'adéquation algorithmique-architecture pour les applications temps réel industrielles complexe, Lille, Mars* 1999.
- [58] L. W. Nagel, "SPICE2: A Computer program to simulate circuits", *Memorandum No. ERL-M520, Electronics Research Laboratory, University of California, Berkeley*, 1975.
- [59] G. Gielen, H. Walscharts et W. Sansen, "ISAAC: A Symbolic Simulator for Analog Integrated Circuits", *IEEE Journal of Solid-State Circuits*, Vol. 24, n°6, December 1989.
- [60] F. V. Fernandez, A. Rodriguez-Vazquez et J. L. Huertas, "Interactive AC Modeling and Characterization of Analog Circuits via Symbolic Analysis, Analog Integrated Circuits and Signal Processing", *Kluwer Academic Publishers*, Vol. 1, pp.183-208, 1991.
- [61] S.Manetti, M.C.Piccirilli, "Symbolic Simulators for the Fault Diagnosis of Nonlinear Circuits", *Analog Integrated Circuits & Signal Processing, Kluwer Academic Publishers, Boston*, 1993.
- [62] F. Dorel et M. Declerq, "A Prototype for the Design Oriented Symbolic Analysis of Analog Circuits", *Proc. IEEE Custom Integrated Circuits Conference*, pp.12.5.1-12.5.4, 1992.
- [63] E. Liu, A. Sangiovanni-Vincentelli, G. Gielen et P.R. Gray, "A Behavioral Representation for Nyquist Rate A/D Converters", *Proc. IEEE ICCAD*, pp.386-389, 1991.
- [64] J.P. Morin, F. Lémery, E. Nercessian, V. Sharma, J. Benkoski et D. Samani, "A practical approach to Top/Down analog circuit design", *Proc. ESSCIRC'93*, pp.49-52, 1993.
- [65] P. E. Allen, "A tutorial - Computer Aided Design of Analog Integrated Circuits", *Proc. IEEE Custom Integrated Circuits Conference*, pp.608-616, 1986.

- [66] R.E. Motto, J.F. Donlon, G. Maumdar et S. Hatse, "A new intelligent power module with microprocessor compatible analog current feedback control input and status output signals", *IEEE Industry Applications Conference*, pp.1287-1291, 1996.
- [67] E. Liu, A. Sangiovanni-Vincentelli, "Behavioral Representations for VCO and Detectors in Phase-Lock Systems", *Proc. IEEE Custom Integrated Circuits Conference*, pp.12, 1992.
- [68] E. Liu, H.C. Chang et A. Sangiovanni-Vincentelli, "Analog System Verification in the Presence of Parasitics using Behavioral Simulation", *Proc. 30th ACM/IEEE Design Automation Conference*, pp.159-163, 1993.
- [69] J.C. Hamon, "Méthodes et Outils de la Conception Amont pour les systèmes et les Microsystèmes", Thèse de doctorat, Institut National Polytechnique de Toulouse, 2005.
- [70] J.P. Caron et J.P. Hautier, "Electrotechnique : modélisation et commande de la machine asynchrone", *Editions Technip, Paris*, 1995.
- [71] R. Benachour, "Contrôle vectoriel de la machine asynchrone ", *Mémoire de fin d'étude, Faculté des sciences de l'ingénieur, Institut de l'électronique, Université de Constantine, Alegria*, 2000.
- [72] I. Takahashi et T. Noguchi, "A new quick-response and high-efficiency control strategy of an induction motor", *IEEE Transaction on industry application*, vol. 22 n°5, pp.820-827, 1986
- [73] Y.A. Chapuis, "Contrôle directe du couple d'une machine asynchrone par l'orientation de son flux statorique", *Thèse de doctorat, Institut National Polytechnique de Grenoble, France*, 1996.
- [74] M. Mokhtari, A. Mesbah, "Apprendre et maîtriser Matlab", 2^e édition, *Editions Springer*, 2000.
- [75] R. Benachour, S. Latreche et M.E.H. Latreche, "Digital implementation control algorithm : Comparison between system model and behavioral model", *Mediterranean Conference on Innovation Materials and Applications, Beirut-Lebanon*, March 2011.
- [76] A. Fakhfakh, S. Feki, Y. Herve, A. Walha, N. Masmoudi, "Virtual prototyping in power electronics using VHDL-AMS application to the direct torque control optimization", *Journal of Applied Sciences*, Vol. 6 n°3, pp.572-579, 2006.
- [77] A. Ammous, "Modélisation électrothermique de l'IGBT en phase de destruction", *Thèse de doctorat Institut National des sciences appliquées INSA de Lyon, France*, 1998.
- [78] P. Lefrank, "Etude, conception et réalisation de circuits de commande d'IGBT de fort puissance", *Thèse de doctorat Institut National des sciences appliquées INSA de Lyon, France*, 2005.
- [79] Powerex Data sheet, "Industrial illustrators ASIPM apps", inc. - ix3.com.
- [80] G. Asch, "Les capteurs en instrumentation industrielle", 7^{ème} édition *Dunod*, Décembre 2010.
- [81] C. Roux, "Etude et conception d'une commande rapprochée auto-alimentée", DEA INPG, 2001.
- [82] R. Mitova, "Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant", *Thèse de doctorat de l'institut polytechnique de Grenoble, France*, 2005.
- [83] S. Lefebvre et B. Multon "MOSFET et IGBT: circuit de commande", *Technique de l'ingénieur*, 2000.

- [84] I. Zverrev et al, "Comparison of state of the art gate drive techniques for high side switch", *Trondheim*, pp.250-255, 1997.
- [85] O. Bernal, "Conception de convertisseurs analogique- numérique en technologie CMOS basse tension pour chaîne video CCD spatiales". *Thèse de doctorat de Institut National Polytechnique de Toulouse, France*, 2006.
- [86] P. Leturcq, "Physiques des semi-conducteurs de puissance", *Technique de l'ingénieur, Traité génie électrique, D3 102*, Paris, 2000.
- [87] O. Alali, "Modélisation VHDL-AMS Analogique et Simulation SPICE", *Thèse de doctorat, Ecole Nationale Supérieure des Télécommunications de Paris*, Novembre 1998.
- [88] A. Castellazzi, "Comprehensive Compact Models for the Circuit Simulation of Multichip Power Modules", *IEEE Transactions on Power Electronics*, Vol.25, n°5, pp.1251-1264, May 2010.
- [89] P. O. Lauritzen et Maa. L. Cliff, "A simple power diode model with reserve recovery". *IEEE Transaction on power electronics*, Vol 6, n°2, April 1991.
- [90] D. P. Foty, "MOSFET modeling with SPICE, Principe and Practice", *Prentice Hall PTR*, pp.653, *New Jersey, USA*, 1997.
- [91] S. Latreche, K. Gherfi, R. Benachour, M.E.H. Latreche, M. Berrabah, "VHDL-AMS and SPICE modeling of power TMOS: Application to power radio-frequency amplifier", *Information and Communication Technologies International Symposium's Proceeding*, Maroco, Jun 2005.
- [92] Fairchild Semiconductor, "IRF 150-153 N-Channel power MOSFET, 40A, 60V/100V", *Data Sheet*, pp.2-84.
- [93] H. Shichman et D.A. Hodges, "Modeling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits", *IEEE Journal Solid-State Circuits*, Vol. 3 Issue: 3, pp.285-289. September 1968.
- [94] B.J. Baliga, M.S. Adler, R.P. Love, P.V. Gray et M.D. Zommer, "The insulated gate transistor, a new three-terminal- MOS-controlled bipolar power device", *IEEE Trans. Electron Devices*, Vol. ED-31, pp.821-828, 1984.
- [95] S. Kuang, W.W. Barry, et J.F. Stephen, "A Review of IGBT models", *IEEE Transactions On Power Electronics*, Vol. 15, n°6, pp.1250-1266, 2000.
- [96] J.L. Debrie, "Modèle distribué de transistor IGBT pour la simulation de circuits en électronique de puissance", *Thèse de doctorat Institut National des sciences appliquées INSA de Toulouse, France*, 1996.
- [97] A.R. Hefner, "Analytical modeling of device-circuit interactions for the power insulated gate bipolar transistor (IGBT)", *Conf. Rec.IAS Annu. Meeting IEEE Ind. Appl. Soc.*, Vol. 35, n°6, pp.606-614, 1988.
- [98] A.R. Hefner et D.M. Diebolt, "Experimentally verified IGBT model implemented in the Saber circuit simulator", *IEEE Trans. Power Electron*, Vol. 9, pp.532-542, September 1994.
- [99] H. Yilmaz, K. Omyang, M. Chang, J. Benjamin et R. Van Dell "Recent Advances in Insulated Gate Bipolar Transistor Technology", *IEEE Trans on Industry Applications*, Vol 26, n°5, pp.831-834, Sep/Oct 1990.

- [100] J.P. Charte, "Eléments de Physique sur le Composant de Puissance IGBT", *Séminaire technique SEE sur le composant IGBT*, September 1989.
- [101] B.K. BOSE, "Evaluation of Modern Power Semiconductor Devices and Future Trends of Converters", *IEEE Trans on Industry Application*, Vol. 28, n°2, pp.403-414, April 1992.
- [102] O. Elmazria, "Caractérisation et Simulation de l'IGBT dans le but d'optimiser ses Performances au Moyen d'irradiation par Electrons", *Thèse de doctorat, Ecole Doctorale: Promen, Université de Metz et Supelec, Académie de Nancy-Metz*, November 1996.
- [103] International Rectifier" IRG4RC10K insulated gate bipolar transistor", *Data Sheet*, pp.1-8, 2000.
- [104] IXYS," HiPer fast IXGH40N60B2D1- IXGT40N60B2D1", *Data Sheet*, pp.1-6, 2003.
- [105] R. Benachour, M.E.H. Latreche, S. Latreche, C. Gontron, "An average model for power integration design", *The 16th IEEE International Conference on Micro-Electronics*, pp.526-530, Tunis- Tunisia, December 2004.
- [106] V. Vorperian, R. Tymerski, et Y.F. Lee, "Equivalent circuit models for resonant and PWM switches", *IEEE Transactions on Power Electronics*, Vol. 4,n°2, pp.205-214, 1989.
- [107] S.R. Sanders, J.M. Noworopski, X.Z. Liu et C.V. Verghese, "Generalized averaging method for power conversion circuit", *IEEE Transactions on Power Electronics*, Vol. 6 n°2, pp.251-259, 1999.
- [108] P. Lautier, "Modélisation des Convertisseurs à Découpage pour la Conception et la Commande : Application à l'Onduleur", *Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, France*, 1998.
- [109] Mitsubishi Electric,"CM150DY-12H high power switching use insulated type", *Data Sheet*, pp.1-4. 1998.
- [110] R. Benachour, S. Lasouad, M.E.L Latreche, "A new approach of power electronic design using a non linear average model", *Accepté pour une publication dans le journal Compel (in press)*, November 2011.
- [111] R. Benachour, S. Latreche et M.E.H. Latreche, "VHDL-AMS Modeling of current Distortions Compensator for ASIC Implementation Design", *International Reviewer Modelling and Simulations*, vol. 4, n°1, pp.35-40, April 2011.
- [112] P. Bastiani, "Stratégies de commande minimisant les pertes d'un ensemble convertisseur-machine alternative : Application à la traction électrique", *Thèse de doctorat Institut National des sciences appliquées INSA de Lyon*, 2001.
- [113] R. Benachour, S. Latreche, M.E.H. Latreche et C. Gontrand, "Non linear Average Model of switching loss in virtual prototyping", *International Reviewer Modelling and Simulations*. Vol. 3, n°5, pp.759-765, October 2010.
- [114] J. Ben Hadj Salam, "Modélisation du rayonnement électromagnétique des circuits d'électronique de puissance : application a un hacheur", *Thèse doctorat de l'Institut National de Lyon, France*, 1997.

Abréviation

Abréviation

ASIC	: Application Specific Intergrted Circuit
ASIPM	: Application Specific Intelligent Power Module
CAN	: Convertisseur Analogique-Numérique
CEM	: Compatibilité Electromagnétique
CISC	: Complex Instruction Set Computing-Microprocesseur à jeu d'instructions complexe
CMOS	: Complementary Metal-Oxide Semicondeur
CAN	: Convertisseur Numérique-Analogique
DSP	: Digital Signal Processor- Processeur de signaux numériques
DTC	: Direct Torque Control- Contrôle direct du couple
EEPLD	: Electrically Erasable Programmable Logic Device
EEPROM	: Electrically Erasable Programmable Read-Only-Memory
EPLD	: Erasable Programmable Logic Device
EPROM	: Erasable Programmable Logic Device
FIFO	: First In First Out
FPGA	: Field Programmable Gate Array
HDL	: Hardware Description Language
HVIC	: High Voltage Integrated Circuit
IGBT	: Insulated Gate Bipolar Transistor
IPC	: Interprocess Protocol Communication
MCA	: Machine à courant alternatif
MAS	: Machine asynchrone
MLI	: Modulation à largeur d'impulsion
MOS	: Metal-Oxide Semicondeur
µP	: Microprocesseur numérique
PLD	: Programmable Logic Device
RAM	: Random Access Memory
RSIC	: Reduced Instruction Set Computing
ROM	: Read Only Memory
VHDL	: Very High speed integrated circuits Hardware Description Language

Annexe A

ANNEXE. A

Machine Asynchrone

Caractéristiques du constructeur :

Constructeur : LEROY SOMER

Type : Asynchrone 3 phases – LS 132 M1

Puissance : 7.5 kW

Couple nominal : 50 N.m

Tension nominale : 380/220 V – 50 Hz

Courant nominal : 16/28 A

Vitesse nominale : 1450 tr/min

Paramètres de la machine :

Résistance statorique : R_s : 0.63 Ω

Résistance rotorique : R_r : 0.57 Ω

Inductance cyclique statorique : L_s : 0.1043 H

Inductance cyclique rotorique : L_r : 0.1043 H

Inductance magnétisante : L_m : 0.1 H

Nombre de paire de pôles : P_p : 2

Moment d'inertie : J : 0.0375 kg/m²

Frottement visqueux : f : 0.004 Nm/Rd/s

Annexe B

ANNEXE. B

DIODE PIN

$I_{s0} = 2.68E-9,$
 $C_{j0} = 0.004E-9,$
 $m_j = 0.5,$
 $R_s = 0.6,$
 $V_j = 0.5,$
 $n = 2.0,$
 $TT = 11.0E-9.$

MODEL IRF150 NMOS

(Level=3 Gamma=0 Delta=0 Eta=0 Theta=0 Kappa=0 Vmax=0 Xj=0
 $T_{ox}=100n, U_o=600, \Phi_i=.6, R_s=1.624m, K_p=20.53u, W=.3L=2um, V_{to}=2.831$
 $R_d=1.031m\Omega, R_{ds}=444.4K\Omega, C_{bd}=3.229nF, P_b=.8 M_j=.5 F_c=.5 C_{gso}=9.027nF$
 $C_{gdo}=1.679n R_g=13.89 I_s=194E-18 N=1 T_t=288n)$
 *Int'l Rectifierpid=IRFC150 case=TO3
 *88-08-25 bam creation

MODEL IGBT IRG4RC10K

$C_{gso} = 2.11227e-6,$
 $k_p = 0.580427,$
 $\lambda = 0.0,$
 $l = 100.0e-6,$
 $v_{to} = 6.5,$
 $w = 100.0e-6)$
 $bf = 7.20054,$
 $br = 0.999923,$
 $c_{jc} = 1.94801e-10,$
 $c_{je} = 3.89602e-9,$
 $eg = 0.5,$
 $ikf = 36.2174,$
 $ikr = 1000.0,$
 $irb = 1006.78,$
 $is0 = 3.03107e-16,$
 $isc = 9.99996e-12,$
 $ise = 4.051e-11,$
 $m_{jc} = 0.526487,$
 $m_{je} = 0.9,$
 $nc = 1.99997,$
 $ne = 2.12269,$
 $nf = 1.5,$
 $nr = 0.97982,$
 $rb = 0.0001,$
 $rbm = 0.0001,$
 $rc = 0.00100411,$

re = 0.000994796,
tf = 3.1632e-07,
vaf = 161.933,
var = 104.518,
vjc = 0.4,
vje = 0.4,
xtb = 0.0615215,
xti = 2.95886.

MODEL IXGH40N60 NIGBT

TAU = 287.56E-9
KP = 50.034
AREA = 37.500E-6
AGD = 18.750E-6
VT = 4.1822
KF = 0.36047
CGS = 31.942E-9
COXD = 53.188E-9
VTD= 2.6570

Travaux Scientifiques

Travaux publiés au cours de cette thèse

<p>Communications internationales</p>	<p>R. Benachour, S. Latreche et M.E.H. Latreche, "Digital implementation control algorithm: Comparison between system model and behavioral model", <i>Mediterranean Conference on Innovation Materials and Applications, Beirut-Lebanon</i>, March 2011.</p> <p>S. Latreche, K. Gherfi, R. Benachour, M.E.H. Latreche, M. Berrabah, "VHDL-AMS and SPICE modeling of power TMOS: Application to power radio-frequency amplifier", <i>Information and Communication Technologies International Symposium's Proceeding</i>, Maroco, June 2005.</p> <p>R. Benachour, M.E.H. Latreche, S. Latreche, C. Gontron, "An average model for power integration design", <i>The 16th IEEE International Conference on Micro-Electronics</i>, pp.526-530, Tunis- Tunisia, December 2004.</p> <p>R. Benachour, M.E.H. Latreche, S. Latreche, C. Gontrand, "Compensation des distorsions du modèle moyen d'onduleur de tension : Application à l'intégration de puissance", <i>Conférence maghrébine en Génie Electrique CMGE04</i>, Constantine, Jun 2004.</p> <p>R. Benachour, M.E.H. Latreche, S. Latreche, C. Gontron, "The average model of the voltage inverter application: Behavioural model for integraed design of the control system", <i>1st International Conference on Manufacturing Engineering</i>, Greece, 2002.</p>
<p>Publications</p>	<p>R. Benachour, S. Latreche et M.E.H. Latreche, "VHDL-AMS Modeling of current Distortions Compensator for ASIC Implementation Design", <i>International Reviewer Modelling and Simulations</i>, vol. 4, n°1, pp.35-40, April 2011.</p> <p>R. Benachour, S. Latreche, M.E.H. Latreche et C. Gontrand, "Non linear Average Model of switching loss in virtual prototyping", <i>International Reviewer Modelling and Simulations</i>. Vol. 3, n°5, pp.759-765, October 2010.</p> <p>R. Benachour, S. Lasouad, M.E.L Latreche, "A new approach of power electronic design using a non linear average model", <i>Accepté pour une publication dans le journal Compel (in press), COMPEL: The International Journal for Computation and Mathematics in Electrical and Electronic Engineering</i>.</p>

Résumé

Les chaînes d'entraînements électriques, à base de machines alternatives et de convertisseurs statiques de l'énergie électrique sont présents dans différents de domaines tels que la médecine, le transport, les systèmes embarqués (avions et véhicules électriques,, etc.)....

Par ailleurs, les besoins croissants en matière de fiabilité, de performance et d'optimisation en surface et en volume deviennent une exigence incontournable. À l'égard, l'intégration complète du système de commande s'avère très complexe au vu des éléments le constituant.

L'intégration en électronique de puissance des systèmes de commande sur des modules de puissance intelligents à application spécifique ASIPM est une réponse adéquate à ces problématiques tant elle vise à fiabiliser, à miniaturiser et à améliorer les performances des fonctions de conversion de l'énergie. Les travaux de recherche pluridisciplinaire présentés dans cette thèse représentent une contribution à la conception des ASIPMs. Pour mener à bien cette étude, nous considérons une méthodologie de décomposition descendante et fonctionnelle du module ASIPM. Nous avons développé un prototypage virtuel pour chaque éléments constituant l'ASIPM. Celui-ci est basé sur des modèles comportementaux de différents niveaux d'abstraction.

Une nouvelle approche de prototypage virtuel basée sur un modèle moyen non linéaire à été développée et appliquée à un onduleur de tension triphasé.

Mots clés : ASIPM, modèle comportemental, IGBT, modèle moyen non linéaire, prototypage virtuel, onduleur de tension, système de commande, HVIC, VHDL-AMS.

Abstract

The electrical drive chains are based on alternative machines and power static converters which are present in many fields such as medical equipments, transportation system and embedded systems (plane, electrical vehicles,, etc.)....

Moreover, the increasing need for the reliability, performance and optimize surface and volume becomes a requirement that cannot be ignored. In addition, the complete integration of the control system is very complex in view of the constituted elements.

The power electronics integration of the control system on the application specific intelligent power module ASIPM is an adequate answer to this requirements as it aims to ensure the reliable, to miniaturize and to improve the performance of the energy conversion functionality. The multidisciplinary research presented in this thesis deal our contribution in the ASIPM design.

To carry out this study, we consider the top down subdividing functionality methodology for the ASIPM. We have developed a virtual prototyping for each element constituting the ASIPM.

A virtual prototyping is based on behavioral model of different abstraction levels, used to design our module.

A novel approach of the virtual prototyping based on a non linear average model has been developed and applied to voltage source inverter.

Keywords: ASIPM, behavioral model, IGBT, non linear average model, virtual prototyping, voltage source inverter, control system, HVIC, VHDL-AMS.

ملخص

سلاسل الدفع الكهربائية التي تتكون من الآلات الكهربائية المتناوبة و المحولات الساكنة للطاقة تتواجد في العديد من المجالات مثل الآلات الطبية، وسائل النقل و الأنظمة المدمجة (الطائرات و السيارات الكهربائية). هذا التوجيه يدعمه التطور التكنولوجي لأنظمة التحكم و العناصر الإلكترونية الطاقوية المستخدمة في المحولات الساكنة للطاقة.

من ناحية أخرى المتطلبات المتزايدة للنجاعة النوعية و التحسن للأبعاد يعتبر ضرورة لا رجوع عنها مع العلم أن الدمج الكلي لأنظمة التحكم يعتبر معقد للغاية بالنسبة للعناصر المكون له.

الدمج بالالكترونيك الطاقة لأنظمة التحكم في المركبات الطاقوية الذكية ذات التطبيقات الخاصة ASIPM هي الحل المناسب للإشكالية و التي تعكس النجاعة، التحسن في النوعية و كذلك التصغير الحجمي للمحولات الساكنة للطاقة.

أعمال البحث المتعددة الجوانب المتمثلة في هذه المذكرة تعالج مبادرتنا في تصميم ASIPM و التي تقودنا إلى الدراسة من خلال منهجية التقسيم التنازلي و الفعلي للمركب ASIPM لقد طورنا نموذج افتراضي لكل جزئ مكون لـ ASIMP. النموذج الافتراضي يستند إلى مجموعة من النماذج السلوكية من مختلف المستويات التجريدية و المستخدمة في تصميم الـ ASIPM . في إطار هذا البحث، مقارنة جديدة لنمجه الدارات الطاقوية طورت لاستخدامها في النموذج الافتراضي لهذا المركب هاته المقاربة تستند إلى النموذج الوسطي الغير خطي.

المفاتيح: المركبات الطاقوية الذكية ذات التطبيقات الخاصة ASIPM، النموذج السلوكي، IGBI، النموذج الوسطي الغير خطي، النموذج الافتراضي نظام التحكم، الدارة المدمجة عالية التوتر، VHDL-AMS.

Résumé

Les chaînes d'entraînements électriques, à base de machines alternatives et de convertisseurs statiques de l'énergie électrique sont présents dans différents de domaines tels que la médecine, le transport, les systèmes embarqués (avions et véhicules électriques,..., etc.)....

Par ailleurs, les besoins croissants en matière de fiabilité, de performance et d'optimisation en surface et en volume deviennent une exigence incontournable. À l'égard, l'intégration complète du système de commande s'avère très complexe au vu des éléments le constituant.

L'intégration en électronique de puissance des systèmes de commande sur des modules de puissance intelligents à application spécifique ASIPM est une réponse adéquate à ces problématiques tant elle vise à fiabiliser, à miniaturiser et à améliorer les performances des fonctions de conversion de l'énergie. Les travaux de recherche pluridisciplinaire présentés dans cette thèse représentent une contribution à la conception des ASIPMs. Pour mener à bien cette étude, nous considérons une méthodologie de décomposition descendante et fonctionnelle du module ASIPM. Nous avons développé un prototypage virtuel pour chaque éléments constituant l'ASIPM. Celui-ci est basé sur des modèles comportementaux de différents niveaux d'abstraction.

Une nouvelle approche de prototypage virtuel basée sur un modèle moyen non linéaire à été développée et appliquée à un onduleur de tension triphasé.

Mots clés : ASIPM, modèle comportemental, IGBT, modèle moyen non linéaire, prototypage virtuel, onduleur de tension, système de commande, HVIC, VHDL-AMS.

Abstract

The electrical drive chains are based on alternative machines and power static converters which are present in many fields such as medical equipments, transportation system and embedded systems (plane, electrical vehicles,.., etc)....

Moreover, the increasing need for the reliability, performance and optimize surface and volume becomes a requirement that cannot be ignored. In addition, the complete integration of the control system is very complex in view of the constituted elements.

The power electronics integration of the control system on the application specific intelligent power module ASIPM is an adequate answer to this requirements as it aims to ensure the reliable, to miniaturize and to improve the performance of the energy conversion functionality. The multidisciplinary research presented in this thesis deal our contribution in the ASIPM design.

To carry out this study, we consider the top down subdividing functionality methodology for the ASIPM. We have developed a virtual prototyping for each element constituting the ASIPM.

A virtual prototyping is based on behavioral model of different abstraction levels, used to design our module.

A novel approach of the virtual prototyping based on a non linear average model has been developed and applied to voltage source inverter.

Keywords: ASIPM, behavioral model, IGBT, non linear average model, virtual prototyping, voltage source inverter, control system, HVIC, VHDL-AMS.