

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE**

**UNIVERSITE DE CONSTANTINE
FACULTE DES SCIENCES DE L'INGENIEUR
DEPARTEMENT D'ELECTRONIQUE**

THESE

Présentée pour l'obtention du diplôme

DOCTORAT EN SCIENCES EN ELECTRONIQUE

Option : Composants Electroniques

Par

TOUIDJEN Nour El Houda épouse KHENIENE

THEME

**Modélisation du Transistor à Effet de Champ (TEC) en
Couches Minces à base de Silicium Polycristallin
Si-L.P.C.V.D**

Soutenu le : 04 /07 / 2010 devant le jury

| | | | |
|------------------------|-------------------|----------------------------------|---------------------|
| Mme.S.LASSOUED | Professeur | Université de Constantine | Présidente |
| Mme.F.MANSOUR | Professeur | Université de Constantine | Rapporteur |
| Mme.T.BOUCHEMAT | Professeur | Université de Constantine | Examinatrice |
| M. A.BENHAYA | Professeur | Université de Batna | Examineur |
| M. R.MAHAMDI | Professeur | Université de Batna | Examineur |
| M.M.S. AIDA | Professeur | Université de Constantine | Invité |

Remerciements

Le travail que nous présentons dans ce mémoire a été effectué au sein du Laboratoire d'Etude des Matériaux Electroniques pour Application Médicale (LEMEA MED) du département d'Electronique de Constantine.

Nous tenons à remercier très vivement les membres qui nous ont fait l'honneur d'accepter de participer au jury de notre soutenance de thèse :

Mme S.LASSOUED, Professeur au département d'Electronique, Université de Constantine, pour avoir bien voulu juger nos travaux et l'honneur qu'elle nous a accordé en acceptant la présidence de notre commission d'examen.

Mme F.MANSOUR, Professeur au département d'Electronique, Université de Constantine, pour la confiance qu'elle m'a témoignée en acceptant la direction de ma thèse, pour avoir suivi de très près mon travail et m'avoir fait bénéficier de sa compétence et de ses connaissances multidisciplinaires.

Mme T.BOUCHEMAT, Professeur au département d'Electronique, Université de Constantine, pour l'attention qu'elle a portée à ce mémoire et l'honneur qu'elle nous a fait en siégeant au jury de soutenance.

M. A.BENHAYA, Professeur à l'Université de Batna, pour avoir accepté de participer au jury de notre thèse et pour la caution scientifique qu'il veut bien apporter à nos travaux.

M. R.MAHAMDI, Professeur à l'Université de Batna, pour l'intérêt qu'il a porté à nos travaux de thèse et pour avoir accepté de les juger en tant qu' examinateur.

Nous tenons également à exprimer notre profonde reconnaissance à M.S. AIDA, Professeur au département de physique, Université de Constantine, pour ses précieux conseils.

Gratitude et reconnaissance vont également à M.BELLEL, Professeur au département d'Electronique, Université de Constantine et M.N.MERABTINE, Professeur au département d'Electronique, Université de Constantine.

Enfin que tous ceux qui par leur enseignements, leurs encouragements et leur amitié, trouvent ici l'expression de ma profonde gratitude.

Sommaire

INTRODUCTION GENERALE 1

Chapitre I: Evolution des technologies des Ecrans plats et des TFTs en polysilicium et leurs applications

| | |
|--|----|
| INTRODUCTION..... | 5 |
| I. Techniques mises en oeuvres..... | 6 |
| II. Evolution et contexte economique | 7 |
| III. Ecrans à cristaux liquides ou LCD (liquid crystal displays) | 9 |
| III.1. Les cristaux liquides | 10 |
| III.2. Ecrans LCD et leurs technologies mises en œuvre | 12 |
| III.2.1. Ecrans LCD à nématique en hélice ou à matrice passive... .. | 13 |
| III.2.2. Ecrans LCD à matrice active ou AMLCD..... | 14 |
| III.2.3. Technologies et performances requises pour les transistors en couche Mince | 19 |
| III.2.4. Avantages des TFTs en poly-Si dans l'application AMLCD | 20 |
| IV. Descriptions physique et électrique des transistors en couche mince (TFTs) a base de polysilicium | 21 |
| IV.1. Structure des transistors en couche mince (TFT en poly-Si) | 22 |
| IV.1.1. Matériaux organique | 23 |
| IV.1.2. Matériaux inorganique | 24 |
| IV.2. Régimes de fonctionnement du TFT en poly-Si à basse température | 29 |
| IV.3. Paramètres électriques des TFTs en poly-Si | 30 |
| IV.3. 1. Courant de fuite | 30 |
| IV.3. 2. Tension de seuil | 31 |
| IV.3.3. Pente sous le seuil..... | 31 |
| IV.3.4. Mobilité des porteurs..... | 32 |

| | |
|--|----|
| IV.3.5. Influence de la taille des grains sur les paramètres électriques du TFT poly-Si..... | 32 |
| IV.4. Stabilité des paramètres électriques | 33 |
| IV.5. Effet kink | 33 |
| IV.5.1. Phénomène d'impact par ionisation | 34 |
| IV.5.2. Réduction de l'effet kink et technologie LDD..... | 35 |
| V. Technologies émergentes et concurrentes..... | 35 |
| V.1. Technologie d'écrans plats à diodes électroluminescentes organiques (OLED) | 36 |
| V.1.1. Structure d'une OLED..... | 37 |
| V.1.2. Principe de fonctionnement d'une cellule OLED..... | 38 |
| V.2. Ecran OLED à matrice passive (PMOLED)..... | 39 |
| V.3. Ecran OLED à Matrice active (AMOLED)..... | 40 |
| V.3.1. Circuits d'adressages de pixels en programmation tension..... | 42 |
| V.3.2. Circuits d'adressages de pixels en programmation courant..... | 43 |
| VI. Autres applications des TFTs en polysilicium en grande surface | 45 |
| CONCLUSION..... | 47 |

Chapitre II : Propriétés de Transport et Distribution de la densité d'Etat des Pièges dans le Polysilicium

| | |
|--|----|
| INTRODUCTION..... | 50 |
| I. Structure et propriétés électriques du film du silicium polycristallin Si-LPCVD | 50 |
| I.1. Structure..... | 50 |
| I.2. Propriétés électriques du film polysilicium Si-LPCVD..... | 51 |
| I.3. Diagramme de bandes de la structure polysilicium | 52 |
| II. Densité d'état des porteurs de charge | 54 |
| II.1. Densités des porteurs libres | 55 |
| II.1.1. Densité des porteurs localisés sur la queue de bande..... | 55 |
| II.1.2. Densité des porteurs localisés sur les centres profonds..... | 55 |
| II.2. Régime au dessous du seuil | 56 |
| II.3. Régime au dessus du seuil | 58 |
| CONCLUSION..... | 59 |

Chapitre III : Modélisation Electrique du Transistor en couche mince à base de Silicium Polycristallin

| | |
|--|----|
| INTRODUCTION..... | 62 |
| I. Présentation des principaux modèles des transistors en couche mince en polysilicium | 63 |
| II. Formulation du modèle analytique d'un TFT en poly-Si | 64 |
| II.1 Choix du modèle et hypothèses considérées..... | 64 |
| II.2 Mise en équation du modèle statique courant-tension | 66 |
| II.2.1. Expression générale du courant de drain..... | 70 |
| II.2.2. Méthode de résolution numérique du courant de drain | 71 |
| II.2.3. Modélisation analytique de l'effet kink | 73 |
| II.2.4. Analyse de la mobilité d'effet de champ d'un TFT poly-Si | 74 |
| II.3. Mise en œuvre du programme de simulation et organigramme | 76 |
| II.4. Modélisation du transistor TFT poly-Si par approximation de la feuille de charge | 79 |
| CONCLUSION..... | 80 |

Chapitre IV : Résultats de la modélisation Electrique et Discussions

| | |
|--|----|
| INTRODUCTION..... | 83 |
| I. Caractéristiques électriques de sortie courant-tension d'un TFT poly-Si à canal n sans effet kink..... | 83 |
| I.1. Caractéristiques électriques de sortie $I_D = f(V_D)$ | 83 |
| I.1.1. Influence des dimensions du canal sur la caractéristique $I_D = f(V_D)$ | 86 |
| I.1.2. Influence de la taille des grains sur la caractéristiques $I_D = f(V_D)$ | 86 |
| I.2. Caractéristiques électriques de sortie $I_D = f(V_G)$ | 88 |
| II. Caractéristiques courant-tension d'un TFT en poly-Si tenant compte de l'effet kink | 90 |
| III. Influence de la densité des pièges présente aux joints des grains sur l'évolution de la hauteur de barrière en fonction de la tension de grille | 94 |
| IV. Influence de la densité des pièges présente aux joints des grains sur l'évolution de la tension de seuil en fonction de la taille des grains | 96 |

| | |
|---|----------------|
| V. Implantation du modèle dans le simulateur TCAD-ATLAS | 97 |
| V.1. Environnement du simulateur TCAD-ATLAS | 98 |
| V.2. Résultats de simulation du modèle du TFT en poly-Si sous TCAD- ATLAS..... | 100 |
| V.2.1. Simulation de la structure bidimensionnelle du TFT en poly-Si..... | 100 |
| V.2.2. Conditions aux limites... .. | 102 |
| V.2.3. Profil du potentiel de surface... .. | 103 |
| V.2.4. Caractéristiques de sortie courant-tension du TFT en poly-Si..... | 104 |
| VI. Extraction des paramètres électriques..... | 109 |
| VI.1. Tension de seuil | 109 |
| VI.2. Rapport I_{ON} / I_{OFF} | 110 |
| VI.3. Pente sous le seuil..... | 111 |
| VI.4. Mobilité d'effet de champ du TFT en poly-Si à canal n..... | 112 |
| CONCLUSION | 114 |
| CONCLUSION GENERALE | 116 |
| BIBLIOGRAPHIE..... | 119 |

INTRODUCTION GENERALE

INTRODUCTION GENERALE

Les transistors en couches minces à base de polysilicium, connus sous leur acronyme anglais TFTs (Thin Film Transistors) en poly-Si sont de nos jours établis comme faisant partie d'un développement de technologies à coût peu élevé pour de larges applications dans le domaine de la microélectronique. Différentes applications sont apparues suite aux possibilités qu'offre la combinaison entre le savoir-faire accumulé dans la micro électronique et les nouveaux horizons ouverts par l'utilisation de substrats de dimensions élevées. L'une des principales applications qui a trouvé un grand essor se situe dans les écrans plats à cristaux liquides et à matrice active (AMLCD) (Active Matrix Liquid Crystal Displays), et il se trouve que les transistors en couche mince à base de polysilicium sont parfaitement adaptés à une telle utilisation. En effet, ces transistors sont des dispositifs de première importance, lorsqu'il s'agit de piloter des matrices des écrans plats où ils sont appelés à remplacer les TFTs en silicium amorphe, en raison d'une durée de vie des porteurs plus importante [1,2].

Or, l'intérêt de l'utilisation du Silicium polycristallin dans ce type de composants permet de fabriquer des écrans de grande taille. En plus, les divers TFTs en poly-Si peuvent être intégrés directement sur le substrat en verre grâce à la facilité de dépôt du polysilicium en donnant de meilleures performances électriques par rapport au Silicium amorphe (a-Si).

Le choix du polysilicium pour la réalisation du canal de ce type de transistors est lié de façon directe à leurs performances électriques, vu que dans la majorité des modèles de conduction, les propriétés de ce matériau tiennent compte d'une structure particulière à base de grains et de joints de grains [3, 4,5].

L'idée du sujet proposé dans le cadre de cette thèse de Doctorat, à caractère essentiellement théorique, porte sur l'étude analytique et la modélisation du comportement électrique d'un transistor en couche mince ou TFT (Thin Film Transistor) réalisé à base de polysilicium, où ce matériau joue le rôle de semi-conducteur actif. C'est donc dans du polysilicium que seront diffusés les zones de source et de drain, ainsi que le canal de conduction (de type P ou N selon le dopage).

Il est ainsi primordial de maîtriser les propriétés électriques de ce semi-conducteur, particulièrement la mobilité des porteurs du canal, avant d'entamer la phase d'étude analytique du comportement électrique du transistor en question.

Dans un premier chapitre, nous exposerons un état de l'art des diverses technologies actuelles et concurrentes du transistor en couche mince et ses multiples applications, allant de la technologie des cristaux liquides ou LCD (Liquide Crystal Display) à celle des diodes électroluminescentes organiques ou OLED (Organic Light-Emitting Diode), jusqu'à la technique des écrans systèmes SOG (System On Glass).

Nous présenterons, éventuellement une étude physique et électrique du TFT réalisé à base de polysilicium, qui constitue l'élément essentiel (ou pixel) de commutation et de commande des circuits d'adressage des matrices actives AMLCD (Active Matrix Liquid Crystal Display) et AMOLED (Active Matrix Organic Light-Emitting Diode). L'historique de ces matrices, leur principe ainsi que leur mode de fonctionnement seront étudiés en détail.

Sachant que le polysilicium est le matériau de base pour la fabrication du transistor en question, une étude descriptive de sa structure cristalline ainsi que de son mode de dépôt fera l'objet de ce chapitre introductif.

Dans le second chapitre, nous traiterons les propriétés de transport et la distribution de la densité des pièges dans le polysilicium afin de pouvoir dégager des hypothèses qui peuvent mener à un modèle analytique simplifié du transistor dans ses différents régimes de fonctionnement, plus particulièrement les régimes au dessous du seuil et au dessus du seuil. Nous présenterons, également les différents types de charges et leur contribution à la densité des porteurs localisés sur les queues de bandes et sur les centres profonds au niveau des joints de grains. Nous traiterons aussi de la variation du potentiel électrostatique dans la structure.

Le troisième chapitre sera consacré à la modélisation du comportement électrique du transistor TFT en poly-Si. Le modèle ainsi élaboré visera à relier la mobilité des porteurs et la hauteur de barrière de potentiel à la densité de pièges présente aux joints de grains et à la tension de grille appliquée.

Des démarches moyennant quelques approximations nous permettrons d'aboutir aux expressions du courant de drain, que nous comparerons avec celles déjà publiées. Ainsi, elles nous faciliteront l'introduction d'un nouvel aspect de modélisation.

Ce même modèle tiendra compte de certains effets nocifs pouvant dégrader les caractéristiques électriques du TFT poly-Si, en y apportant une amélioration.

Le quatrième chapitre englobera l'ensemble des tracés théoriques illustrant l'évolution des caractéristiques de transfert courant-tension pour diverses valeurs de tensions de sortie, en considérant l'effet de la variation des dimensions du canal, de la taille des grains, de la tension de seuil, et de la hauteur de barrière d'énergie aux joints de grains.

La validité du modèle sera montrée en confrontant les différents tracés cités auparavant avec des résultats expérimentaux et théoriques issus de la littérature.

Dans la même optique, il sera judicieux de développer, en parallèle, un savoir faire par rapport à un logiciel de simulation de composants électroniques récemment acquis par notre laboratoire, à savoir le TCAD-ATLAS (SILVACO), ce qui pourra être bénéfique, d'une part pour permettre d'affiner et préciser le modèle élaboré pour de nouvelles technologies, et d'autre part pour apporter un complément scientifique au travail consacré dans cette étude.

A la fin de ce mémoire, nous présentons une conclusion générale qui englobera l'ensemble des résultats et discussions de la modélisation électrique du TFT à base de polysilium.

Chapitre 1

*Evolution des technologies des écrans plats et
des TFTs à base de polysilicium et leurs
applications*

INTRODUCTION :

Depuis l'apparition des écrans, le marché de l'affichage a été largement dominé par les écrans à tube cathodique ou CRT (Cathode Ray Tube) souvent présents dans l'environnement informatique et grand public.

La technologie de ce type d'écran, qui avait atteint son apogée en terme de qualité et de coût, souffrait d'un certain nombre de limitations telles que l'encombrement, le poids et la consommation en terme d'énergie. Ces contraintes constituent alors un véritable obstacle à leur utilisation essentiellement pour les produits portables. Ainsi, les écrans CRT ont atteint des limites techno/économiques à partir de 35 à 40 pouces en vision directe [1].

Depuis ces dix dernières années, l'enjeu du développement technologique des écrans plats gagne de plus en plus en parts du marché au dépend des écrans à tube cathodique. Il s'agit d'offrir une solution aux applications pour lesquelles l'encombrement est déterminant, d'essayer de couvrir en vision directe des applications de grandes tailles supérieures à 40 pouces. Enfin, l'enjeu est de concurrencer inexorablement les anciens écrans et leurs applications majeures (moniteurs informatiques, télévision...).

Notons que les écrans plats connus sous leur acronyme anglais FPDs (Flat Panel Displays) sont des dispositifs de visualisation ou d'affichage à structure matricielle et de faible épaisseur par rapport à l'ancienne technologie dominante. Leur fonction essentielle est de pouvoir visualiser des données et des images de haute qualité sur un espace à faible encombrement (une épaisseur de l'écran de 10 cm), avec peu de chaleur dégagée, et une absence totale de scintillement de l'écran, comparés aux écrans classiques [2].

De ce fait, ces écrans jouent un rôle particulièrement stratégique au sein des équipements électroniques menus d'un système de visualisation car ils représentent une part importante dans le coût total. Aussi, ils sont susceptibles de créer de nouveaux marchés tels que les ordinateurs et les téléphones portables.

Si à leur première sortie les écrans plats furent beaucoup critiqués par leur qualité d'image moyenne (rémanence élevée, pauvreté des couleurs, angles de vision trop étroits etc...), ils représentent une révolution technologique tant sur le plan technique qu'esthétique. Ils ont connu leur première grande utilisation pour les cadrans des montres à affichage numérique, les calculatrices, ordinateurs portables, puis l'expansion s'est ensuite généralisée à tous les affichages miniaturisés sur de nombreux systèmes électroniques et à



mesure que la technologie évoluait, l'affichage a fait de plus en plus son apparition pour les écrans d'ordinateurs jusqu'aux téléviseurs grand écrans plats [3,4].

Ainsi, nous avons pour vocation dans ce chapitre introductif de présenter une étude exhaustive des techniques mises en œuvre pour la fabrication des écrans plats. Le sujet étant vaste et évoluant beaucoup trop rapidement, il va falloir regrouper les technologies majeures utilisées.

Or, dans un écran plat et plus particulièrement à matrice active, le transistor en couche mince joue le rôle de commutateur entre la phase d'adressage et de maintien. Notons que le silicium polycristallin constitue la couche active où seront diffusés les zones de source, de drain, et du canal de conduction (de type P ou N) du transistor. Un rappel théorique sera consacré aux propriétés physiques et électriques du polysilicium, puis une description de la structure et du fonctionnement du transistor en couche mince à base de ce matériau sera présentée où une analyse détaillée traitera l'influence de ces propriétés sur les paramètres électriques (tension de seuil, pente sous le seuil, mobilités des porteurs...). Nous examinerons également, l'évolution des principales applications de ce transistor en particulier dans les écrans plats puis dans d'autres domaines que le monde de la visualisation.

Enfin, cet état de l'art des technologies du transistor en couche mince à base de polysilicium nous permettra d'introduire la problématique et les objectifs fixés dans le cadre de cette étude.

I. Techniques de mise en œuvre :

Il existe de nombreuses technologies d'écrans plats dont les principales sont :

- Ecrans à cristaux liquides ou LCD (Liquid Crystal Display) qui permettent la réalisation non seulement des écrans plats à vision directe, mais aussi une projection d'images de grande taille. D'où des applications plus performantes des écrans à cristaux liquides et à matrice active ou TFT (Thin Film Transistors) par rapport à ceux à matrices passives de type TN (Twisted Nematic) ou STN (Super Twisted Nematic) [5] etc...
- Ecrans utilisant des technologies émissives telles que : les écrans à plasma ou PDP (Plasma Display Panel), les écrans électroluminescents OLED (Organic Light Emitting Displays) [6,7].

- Ecrans utilisant d'autres technologies tels que : Ecrans à micro-miroirs ou DMD (Digital Micromirror Device).

A ce jour, seuls les dispositifs à cristaux liquides, à plasma et électroluminescents font l'objet d'une industrialisation de masse, d'autant plus que les écrans de type LCD constituent de loin le segment le plus important de l'industrie des écrans plats (87% à 95%) [8,9].

II. Evolution et contexte économique :

Selon la société d'étude Display Search, le marché global de vente a atteint plus 10,8 millions de télévisions LCD (TV LCD) pour seulement 2,3 millions de téléviseurs à Plasma (TV à plasma) en 2006 ; soit une progression de 99% pour la technologie LCD et 45% pour celle à plasma durant la même période de production. Si l'on compare ces chiffres, on constate que la progression productive est de 15% pour les TV LCD et elle n'est que de 4% pour les TV à plasma. Au total, il se vend ainsi quatre fois plus d'écrans LCD que ceux à Plasma. La raison est que la technologie LCD équipe ses écrans de petites et de moyennes tailles d'environ 15 à 40 pouces, entre autre 33 centimètres à un mètre d'où une demande croissante de ce type d'écrans plus légers et plus ergonomiques par les consommateurs plus particulièrement en Europe [10,11].

Alors que la technologie à plasma est toujours réservée pour des écrans de grande taille (plus d'un mètre en général). En terme de chiffre d'affaires, les revenus des écrans TV LCD ont atteints les 12 milliards de dollars (84% de croissance sur un an) et plus de 4,5 milliards pour les Plasma (18% de croissance sur un an). La société Display Search tient à préciser que si la croissance du chiffre d'affaires des Plasma est plus faible, c'est en partie dû à une chute des prix par an. A titre d'exemple, le prix moyen d'un écran plasma de 50 pouces (127 cm) est passé de 2000 € en 2005 à 1500 € en 2006 soit une baisse de 30% [12].

Les prévisions pour l'année 2010 estiment une production de plus de 90 millions d'unités LCD contre 25 millions d'unités PDP par année. Ces estimations sont représentées par les figures I.1 et I.2 qui montrent les parts du marché de la télévision ainsi que le pourcentage de production d'écran par technologie dans le monde entre les années 2005 à 2010 [13].



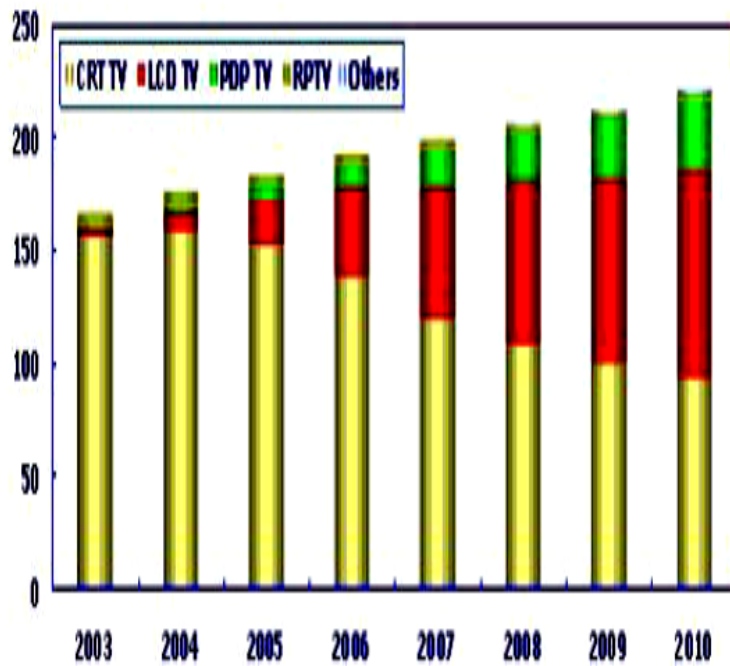


Fig.I.1 Prévisions des parts du marché de la télévision rapportées par la société Display search [12,13]

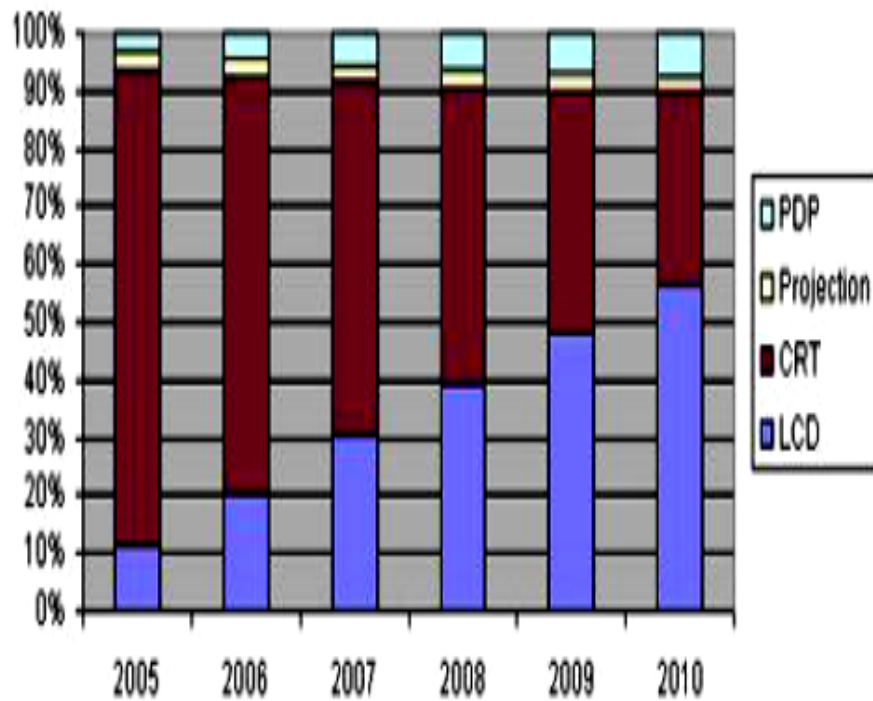


Fig.I.2 Pourcentage de production d'écran par technologie rapporté par Display search [12,13]

L'accessibilité au grand format d'image supérieure à 40pouces se fait au moyen d'un système d'imagerie par projection réservée aux manifestations médiatiques ou aux salles de super vision. Actuellement, la technique dominante en rétro-projection exploite la technologie des cristaux liquides ou LCD de type TFT en polysilicium qui fera l'objet d'une étude détaillée dans ce premier chapitre (voir Fig.I.3). Cette technologie qui prétend se positionner jusqu'à une taille de 54'', offre une industrie sur verre qui fonctionnera avec des dalles 2 m²

Afin de développer une telle technologie sur le marché mondial, de nouvelles techniques auront un rôle primordial à jouer comme le remplissage par goutte du cristal liquide. Ce qui a pour effet d'augmenter les cadences de production [14, 15]

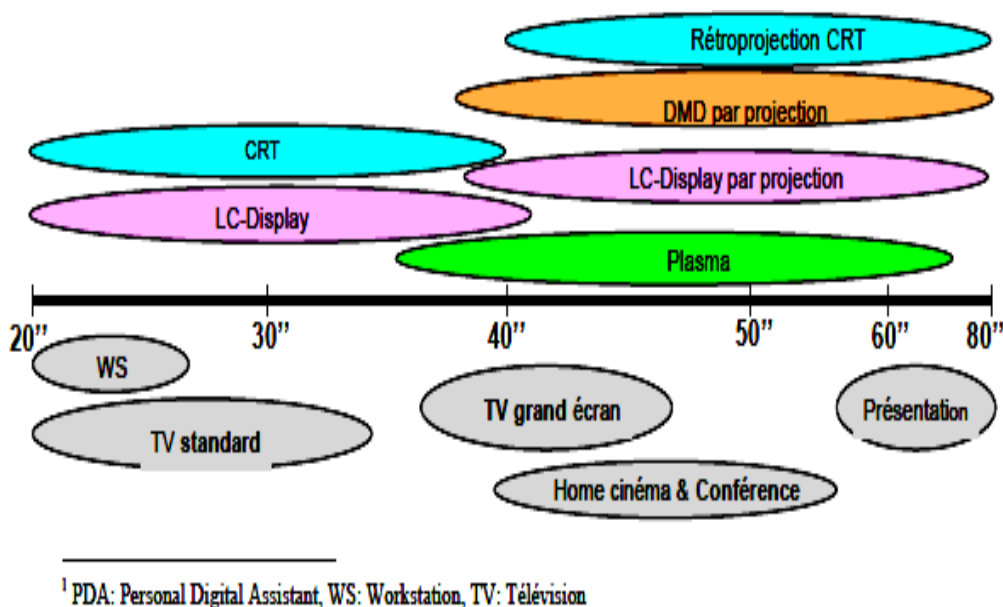


Fig.I.3. Différentes technologies couvrant un vaste domaine d'application [15]

III. Ecran à cristaux liquides ou LCD (Liquid Crystal Displays) :

Un écran à cristaux liquides ou LCD utilise la polarisation de la lumière grâce à des filtres polarisants et à la biréfringence de certains cristaux liquides en phase intermédiaire (entre solide et liquide). D'un point de vue optique, cet écran est un dispositif passif (n'émet pas de lumière) et à transparence variable qui doit être constamment éclairé.

Il assure, donc, l'affichage d'un grand nombre de dispositifs électroniques tels que les calculatrices, les montres, les moniteurs d'ordinateurs... Actuellement, il permet de visualiser en couleur dans des dimensions dépassant le mètre en diagonale (Télévision grand public).

III.1. Les cristaux liquides :

Découverts en 1877 par Otto Lehmann, les cristaux liquides sont des matières organiques à base de carbone présentant un état intermédiaire entre la phase liquide et solide ou phase nématique (voir Fig.I.4 (a)) où les molécules en forme allongée et désordonnée (comme dans un liquide), sont réparties en moyenne parallèlement les unes aux autres avec un certain ordre d'orientation (comme dans un cristal) (voir Fig.I.4 (b)).

Ces cristaux possèdent des propriétés optiques intéressantes car ils ont la possibilité de modifier la propagation (ou polarisation) de la lumière en fonction du champ électrique qu'on leur applique [16].

Un filtre polarisant, en forme de grillage dense et mince, impose aux rayons lumineux incidents de nature incohérente une direction parallèle à ses fentes [17].

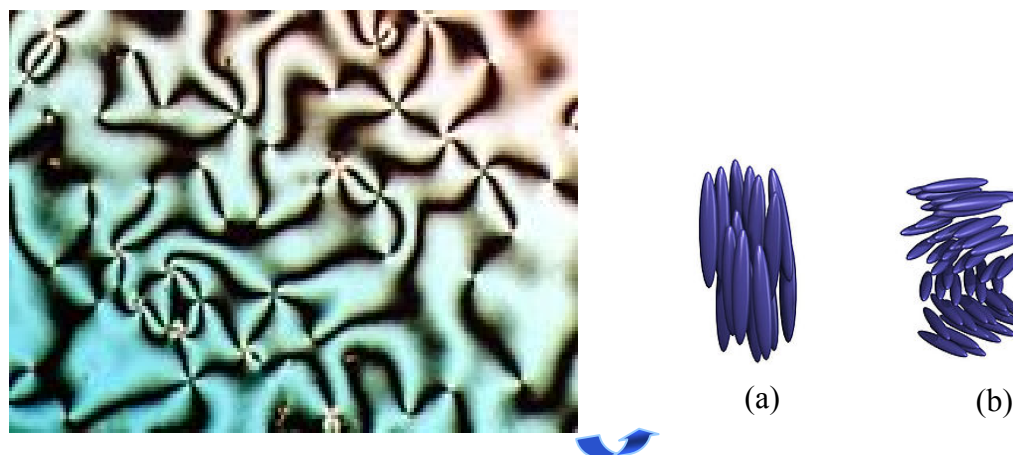


Fig.I.4. Texture de la matière en phase nématique
(a) position des molécules en phase nématique
(b) position des molécules en phase nématique hélicoïdale [17]

En général, un écran LCD est constitué d'une couche de cristal liquide comprise entre deux plaques ou dalles en verre (Fig.I.5).

Des polariseurs transparents sont placés à l'extérieur de ces dernières qui ne laissent passer que les rayons présentant une certaine orientation.

Les rayons ainsi triés en passant à travers la couche des cristaux liquides vont se voir soit inaffectés, soit orientés suivant une direction perpendiculaire (90°) si un champ électrique est appliqué aux molécules. Un surfactant est alors déposé sur la paroi intérieure des plaques afin d'orienter ces molécules suivant la direction désirée. Au repos, les cristaux liquides tendent à s'aligner les uns sur les autres, l'orientation des molécules étant de 90° . Ils adoptent ainsi une disposition en forme d'hélice.

La lumière véhiculée par ces molécules ressort de la cellule suivant la direction du polariseur (Fig.I.5 (a)). On parlera alors d'une cellule passante (présence de lumière).

Sous l'influence d'un champ électrique, les molécules abandonnent totalement leur état hélicoïdal pour s'aligner suivant la direction du champ. La lumière, qui n'est plus déviée par les molécules, est stoppée par le polariseur (Fig.I.5 (b)). Dans ce cas, la cellule est bloquée (absence de lumière). Une fois que le champ électrique s'annule, la structure en hélice des molécules se reforme et la cellule reprendra son état passant [18].

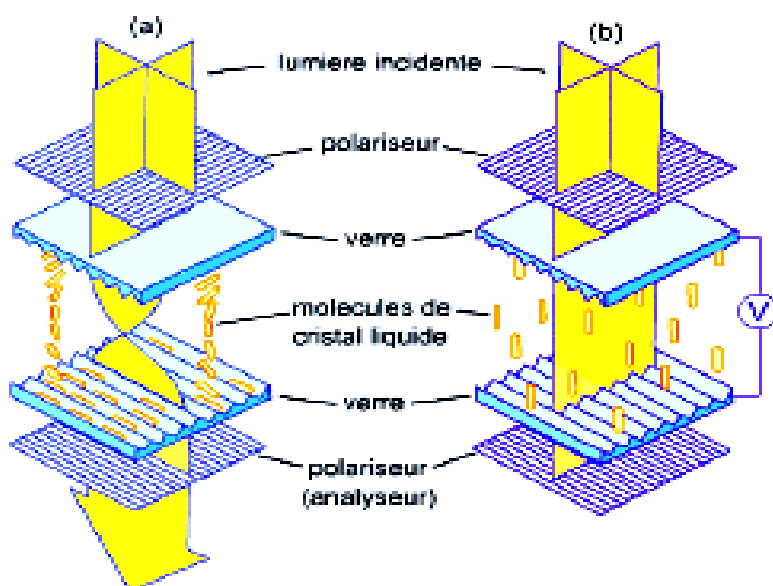


Fig.I.5.Représentation et principe de fonctionnement d'une cellule à cristaux liquides dans un écran plat ou LCD [18]

Ce changement d'orientation des molécules induit une variation du plan de polarisation et donc une variation de la transparence de l'ensemble du dispositif. Cette variation de transparence est exploitée par un rétro-éclairage, par réflexion de la lumière incidente ou par projection. Nous distinguons trois types de modes d'éclairage adaptés à chaque contexte d'utilisation :

- a- **Éclairage transmissif** : C'est le système le plus classique car l'écran fonctionne avec un rétro-éclairage utilisant des tubes fluorescent ou CCFL (Cold Cathod Fluorescent Lamp). Seulement la luminosité et la consommation électrique de la source lumineuse sont insuffisantes (images aux couleurs plus ternes et mauvaise reproduction de l'espace colorimétrique ou gamut). La durée de vie limitée des lampes influençant la durée de vie des écrans (2,4 fois plus qu'un écran cathodique avec 60 000 heures¹ soit 33 ans avec l'écran allumé 5 heures par jour) [19].
- b- **Éclairage réfléchif** : L'écran fonctionne avec la réflexion de la lumière incidente présentant une luminosité naturellement adaptée à l'éclairage ambiant d'où une réduction de consommation grâce au système de rétro-éclairage supprimé mais une illisibilité de l'écran est observée quand l'éclairage ambiant est faible [20].

Ce type d'éclairage est présent dans divers dispositifs (assistants numériques personnels ou PDA :Personal Digital Assistant, calculatrices, les baladeurs et les montres ...).

- c- **Éclairage transflectif** : c'est la combinaison des deux systèmes précédents. Disponible sur de nombreux assistants personnels (PDA) et certains appareils photo.

Une nouvelle technique d'éclairage s'est développée depuis l'année 2007 qui remplace la lampe à décharge par un ensemble de diodes électroluminescentes blanches. Celles-ci permettent à l'écran à cristaux liquides de couvrir 114 % de son espace et offrent un réglage beaucoup plus stable de l'équilibre des couleurs ainsi qu'une très bonne uniformité d'éclairage [21].

III.2. Ecrans LCD et leurs technologies mises en œuvre :

Bien que l'on connaisse l'existence des cristaux liquides depuis le début du XX^{ème} siècle, leur application aux afficheurs n'a fait son apparition qu'en 1968, suite à la découverte de l'effet de champ sur ces cristaux liquides. Une autre propriété intéressante est d'offrir une torsion ou une réorientation à l'axe des molécules d'un angle compris entre 90° et 220°. Cette torsion ou ce phénomène donne son nom au matériau d'où un écran plat à technologie TN-LCD ou Twist Nematic Liquid Crystal Display.



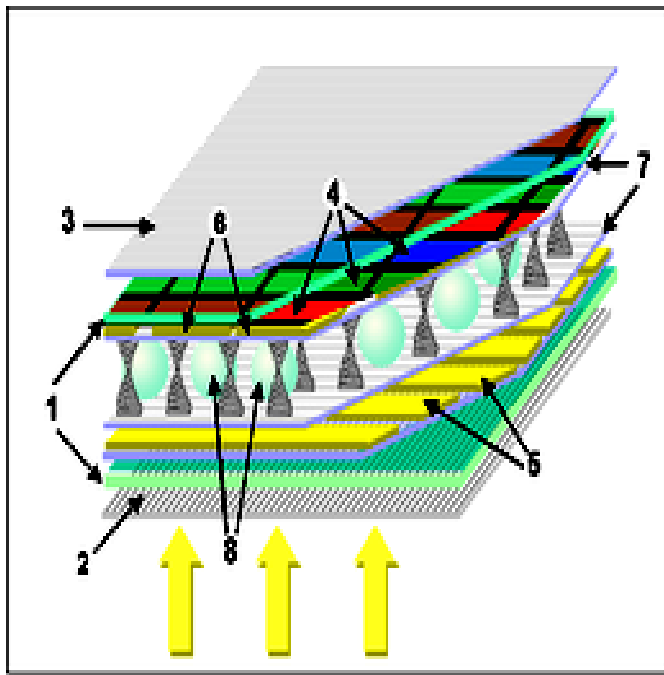
III.2.1. Ecrans LCD à nématique en hélice ou à matrice passive:

La technologie de base LCD à nématique en hélice ou TN (Twisted nematic) fût la plus répandue et la plus simple à réaliser, malgré des insuffisances dans le rendu des couleurs et du contraste ainsi qu'un fort traînage ou balayage. Elle a été améliorée par l'avènement des écrans DSTN (Dual scan twisted nematic) où une stabilité de l'image est remarquable (en procédant à sa formation par un double balayage). Malgré les multiples améliorations, ces technologies dites à « matrice passive » offrent un contraste limité à 50:1 (une qualité moyenne des noirs en général). Des écrans à double couche ou DSTN (Double Super Twisted nematic) ont également été produits pour optimiser l'équilibre chromatique de la lumière produite. Ainsi, les écrans TN et DSTN sont transparents au repos [22].

Or, la commande ou l'adressage d'un pixel (minuscule point composant l'image d'un écran) est une étape difficile à réaliser dans une matrice. Cette dernière désigne l'ensemble des lignes et de colonnes que constituent les différents pixels d'un écran.

Le système à matrice passive ou TN-LCD fût le premier à être utilisé dans l'adressage de la matrice d'écran qui se fait par balayage (voir Fig.I.6). Chaque pixel est adressé par ligne et par colonne. Pour allumer un pixel de l'écran, on doit sélectionner la ligne et la colonne puis envoyer le signal de commande. L'affichage de l'image est obtenu par un balayage total de tous les pixels un par un. Ainsi, chaque pixel devra retenir son état de telle sorte que l'image reste affichée pendant un balayage complet. Ce système est beaucoup plus lent pour convenir au flux des images vidéo. Ainsi, pour augmenter la résolution de l'écran, il faudra utiliser une autre technique d'adressage. Les matrices passives sont utilisées pour les écrans de petite taille comme ceux des montres, des téléphones et des jeux électroniques portables...





- 1 : plaque de verre
- 2, 3 : polarisants verticalet horizontal
- 4 : filtre couleur RVB
- 5, 6 : électrodes horizontales et verticales
- 7 : couches polymère d'alignement

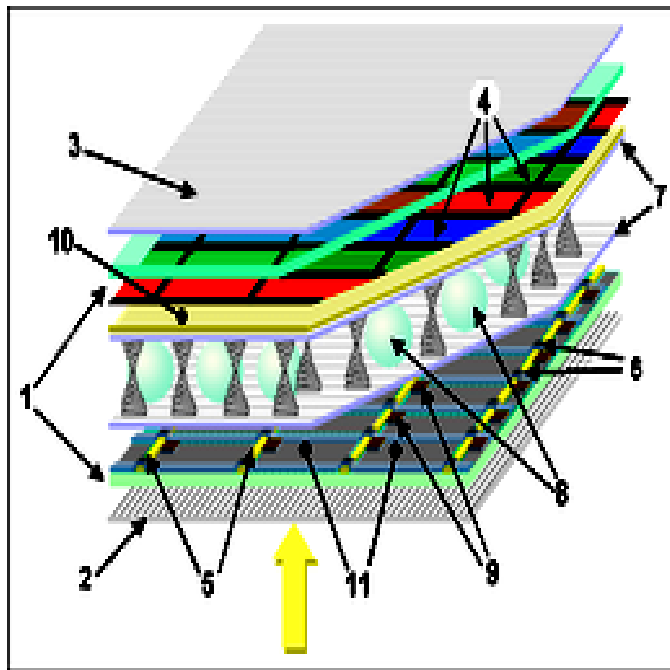
Fig.I.6. Écran à cristaux liquides à nématique en hélice ou TN-LCD [22].

III.2.2. Ecrans LCD à matrice active ou AMLCD :

A l'origine du développement technologique basé sur des matrices passives, les écrans ont rapidement évolué vers une nouvelle génération de matrices dites actives. Pour ces matrices, l'idée est de commander chaque pixel par des dispositifs électroniques de commutation. Ces éléments connus sous leur acronyme anglais TFTs (Thin Film Transistors) pour désigner des transistors en couches minces. Or, on a souvent tendance à confondre LCD et TFTs ; puisque ces derniers sont considérés couramment comme un type d'écran à technologie LCD.

i. Structure d'un écran à matrice active ou AMLCD :

Un écran de type AMLCD (Active Matrix Liquid Crystal Display) est également composé de deux plaques de verre. La dalle inférieure contient la matrice de transistors TFT et celle supérieure un filtre coloré. Les cristaux liquides sont bien évidemment placés entre ces deux dalles comme il est illustré par la figure I.7. L'ensemble de l'écran est constitué de composants optiques (analyseurs, polariseurs, lampes d'éclairage et les cristaux liquides), de dispositifs électroniques d'adressage (TFT), et d'un système mécanique de maintien de l'ensemble [22].



- 5, 6 : lignes de commande horizontales et verticales.
- 7 : polymère d'alignement.
- 9 : transistors.
- 10 : électrode frontale.
- 11 : électrodes élémentaires.

Fig.I.7. Structure d'un écran à cristaux liquides et à matrice active ou AMLCD [22]

La plaque TFT est formée d'une matrice et de commutateurs. Les transistors en couche mince ou TFT sont déposés sur une dalle en verre (boro-silicate ou aluminosilicate). Un transistor par sous-pixel (trois par pixel en couleur) commande l'inclinaison du cristal liquide selon le champ électrique appliqué, ce qui permet de mieux contrôler le maintien de tension de chaque pixel d'où une nette amélioration du temps de réponse et de la stabilité de l'affichage.

Quant à la plaque supérieure, celle-ci est représentée par une électrode en ITO (Indium Tin Oxide) ou oxyde d'indium et d'étain (voir Fig.I.8) [23]. L'ITO est un métal transparent, malléable et rare, ressemblant chimiquement à l'aluminium et au gallium. On ne le trouve qu'en quantité infime dans les mines de zinc. De plus, il assure une bonne conductivité électrique sans altérer la transparence du verre. Sa récente utilisation massive, notamment dans les écrans plats LCD a fait augmenter considérablement son coût durant ces cinq dernières années [24].

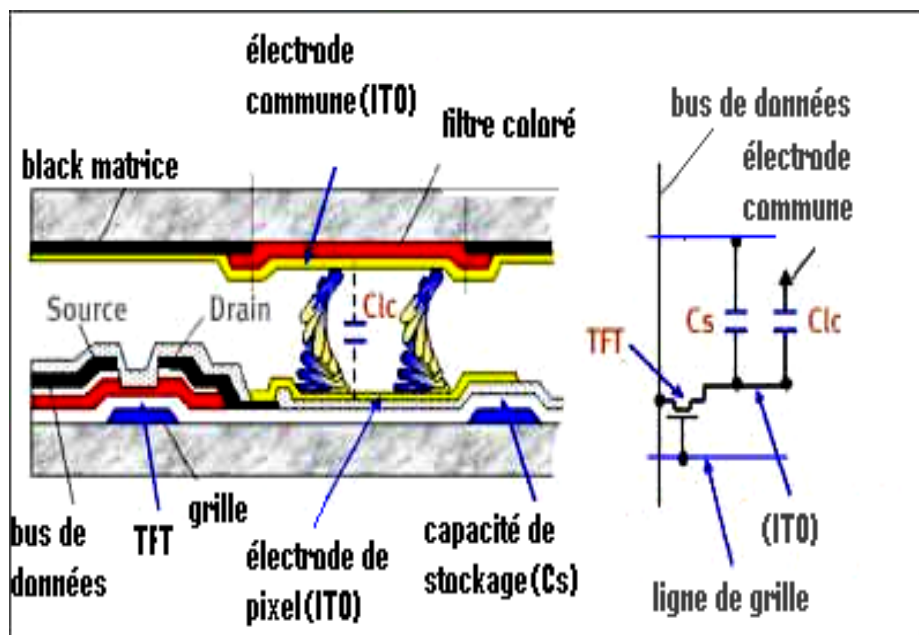


Fig.I.8. Coupe schématique d'un écran à matrice active et à cristaux liquides ou AMLCD et son circuit électrique équivalent [24]

Dans la matrice active, la grille est reliée à la ligne tandis que la source et le drain sont respectivement connectés à la colonne et au pixel en oxyde d'indium et d'étain (ITO).

ii. Procédé de fabrication d'un écran AMLCD :

C'est un processus automatisé de fabrication des dalles à cristaux liquides réalisé dans un environnement contrôlé des salles blanches. Ce processus utilise deux technologies génériques :

- Une technologie de fabrication du type semi-conducteur qui est mise en œuvre pour la réalisation de la matrice active, du filtre en couleur et leur assemblage [25].
- Une technologie d'assemblage où les diverses opérations font appel à des composants optiques (analyseurs, polariseurs, lampes d'éclairage...), à des composants électroniques d'adressage (TFT) et à un système mécanique de maintien de l'ensemble du module (écran).

La fabrication de la matrice active nécessite une juxtaposition de couches minces. La technologie mise au point est standard et identique à celle des semi-conducteurs qui utilise un certain nombre d'étapes de dépôt et de gravure de couches minces déposées sur un substrat (verre).

L'étape de départ est la mise au point d'une dalle de verre de grande dimension (1,9 m à 2,2 m pour les futures générations) de chaque face du module. Le verre déposé est d'une faible épaisseur (inférieure au millimètre), ce qui lui permet de résister aux différents traitements chimiques et thermiques sans déformation (température supérieure à 600 °C). A cet effet, on utilise des verres à forte teneur en silice. La plaque avant reçoit successivement les pigments du masque coloré (colorants en solution solide dans la résine), une couche de protection, une couche d'ITO (électrode avant) puis une couche de polyimide (un radical ammonium lié à deux carbonyles R-C=O puis à un atome d'azote). Celle-ci est légèrement rainurée par frottement avec un velour spécial. La plaque arrière suit un processus plus complexe : dépôts de plusieurs matériaux (silicium, métal pour connexion des électrodes, lignes de données pour condensateur), oxydation, photolithographie, puis dépôt des espaceurs et finalement un film en polyimide [26].

L'assemblage par collage doit être extrêmement précis (de l'ordre du micromètre) afin d'assurer une parfaite correspondance entre le masque coloré et les sous-pixels. L'ensemble est rempli avec la solution en cristal liquide. Ses spécifications font intervenir sa viscosité et sa mobilité (35 à 40 mm²/s à 20°C) qui faciliteront l'opération de remplissage de la cellule et le bon fonctionnement de l'écran.

La dernière opération est l'application d'un film polarisant (acétate de polymère) de chaque côté de l'assemblage [27].

Par conséquent, l'investissement nécessaire pour monter une chaîne de production d'écrans plats LCD est colossale devant une technologie de pointe. Cette dernière, utilisée par des équipements rénovés, contribue majoritairement à faire augmenter incessamment le coût de ces écrans.

iii. Circuit d'adressage d'une matrice active à cristaux liquides (AMLCD) :

Le principe de l'adressage d'une matrice active direct est d'introduire au niveau de chaque pixel, en série avec la capacité du cristal liquide, un élément de contrôle (TFT).

Ce dernier permet de maintenir localement la tension nécessaire au basculement du cristal liquide lorsque la ligne correspondante est désactivée.

Cependant, l'adressage est réalisé lorsque une application d'une tension sur la première ligne sélectionnée où tous les transistors de celle-ci sont en état passant. Alors que toutes les colonnes sont mises sous diverses tensions en même temps. Ainsi, chaque pixel de la ligne est activé individuellement. Ensuite, on bloque tous les transistors (état off) de cette même ligne pendant l'adressage de la ligne suivante (Fig.I.8). Une capacité de stockage maintient ainsi la charge (joue le rôle de mémoire) jusqu'au prochain balayage de sorte que le contenu du pixel reste rafraîchi. L'image est donc affichée, après balayage de l'ensemble des lignes, avec une meilleure lisibilité et une bonne stabilité (meilleur contraste avec un temps de réponse rapide).

Notons qu'un pixel est composé par un arrangement de trois sous-pixels correspondant aux trois couleurs primaires Rouge, Vert et Bleu (RVB) à 8 bits (256 niveaux de gris), ce qu'il lui permet d'afficher 1.67 millions de couleurs ($2^8 \times 2^8 \times 2^8$). Ce nombre peut augmenter mais ne présente aucun intérêt étant donné que l'œil humain ne discerne autant de couleurs [28].

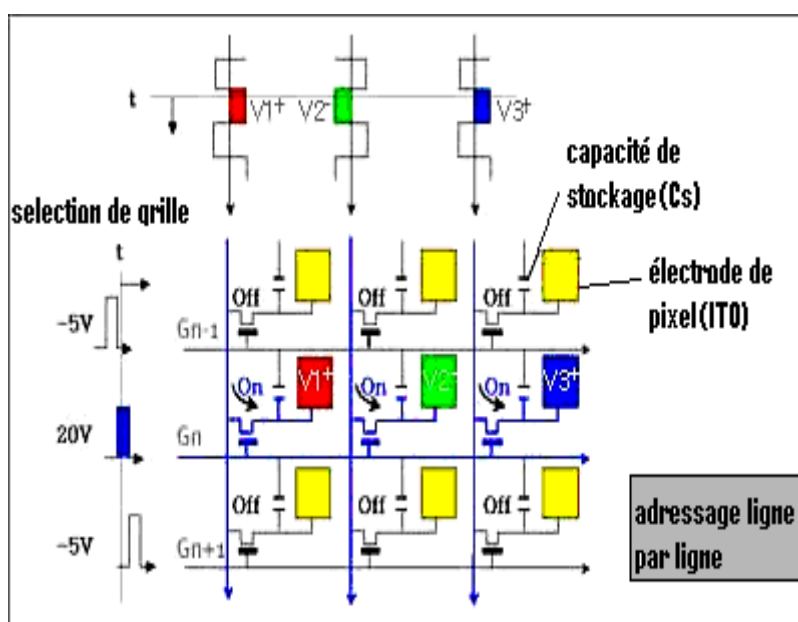


Fig.I.9. Adressage d'une matrice active à cristaux liquides AMLCD [28]

III.2.3. Technologies et performances requises pour les transistors en couche mince:

Les technologies déclinées dans de nombreuses versions (IPS, S-IPS, MVA, PVA...) sont des évolutions de la technologie TN-TFT visant à corriger les défauts de cette dernière.

La technologie IPS (In-Plane Switching) développée en 1996 perfectionne la technologie TN-TFT en utilisant des cristaux liquides dont l'axe est parallèle au plan de l'écran. L'angle de vision est très large grâce au nombre de transistors qui a doublé avec une richesse en couleur remarquable, mais la transparence de l'image est légèrement diminuée [29].

Un perfectionnement a été introduit en 1998 par la technologie MVA (Multi-domaine Vertical Alignement), en intégrant plusieurs domaines de réfraction par cellule au niveau du cristal liquide. La qualité de l'image est fortement améliorée permettant ainsi d'augmenter le contraste utile et l'angle de vision. Le dernier développement en est le PVA (Patterned Vertical Alignement) qui atteint un contraste encore meilleure (1000:1 pour un écran 15 pouces).

Rappelons que, les écrans à matrice active ont été majoritairement fabriqués à base de TFTs de pixel. Ces derniers sont des transistors à effet de champ à grille isolée (ou MOSFET) dont les caractéristiques électriques sont exigées suivant qu'ils sont utilisés dans des circuits périphériques de commande ou dans la matrice active de l'écran.

a/ Circuits périphériques de commande : Ces circuits sont destinés à fonctionner à des fréquences élevées d'environ 10Mhz ; dans ce cas la relation entre paramètres électriques du composant et la vitesse des circuits ne peut être négligée. En effet, une mobilité supérieure ou égale à $100 \text{ cm}^2/\text{V.s}$, une tension de seuil inférieure ou égale à 5V, une pente sous le seuil inférieure ou égale à 1 V/décade et un rapport de courant $I_{\text{on}}/I_{\text{off}} \approx 10^5$ sont nécessaires pour qu'un écran ait une bonne et forte résolution (applications dans le cas des projections vidéo à petit écran) [30].

b/ Eléments de la matrice active : Les TFTs employés dans l'adressage de pixels sont soumis certes à une condition sur la mobilité moins importante, mais ils doivent présenter

un rapport I_{ON}/I_{OFF} assez important d'où un courant de fuite I_{off} le plus faible possible afin de minimiser la décharge de la capacité liée au cristal liquide à travers le transistor [31].

Par conséquent, le courant de fuite prend une importance capitale dans l'application des TFTs aux écrans plats. Son augmentation excessive dans les composants à semi-conducteurs (particulièrement en polysilicium) trouve ses origines dans la structure du matériau utilisé.

Or, l'avènement spectaculaire des écrans plats LCD est associé à l'infrastructure et au développement technologique de fabrication des transistors en couche mince ou TFTs à base de silicium polycristallin. Ces derniers ont ouvert la voie d'une nouvelle discipline dans la microélectronique, et sont actuellement un sujet de recherche privilégié.

III.2.4. Avantages des TFTs en poly-Si dans l'application AMLCD :

Toutes les technologies d'écrans plats (LCD, plasma, OLED...) évoluent rapidement pour répondre aux besoins des applications auxquelles elles sont dédiées. Sauf que l'évolution technologique des écrans AMLCD a répondu aux grands nombres d'exigences :

- ☞ Temps de réponse (2 à 16 ms) et un contraste (600 :1 à 3000 :1) qui sont nettement améliorés par rapport aux écrans passifs car les TFTs en poly-Si alimentent et maintiennent le courant appliqué aux pixels d'où augmentation de la diffusion de la lumière et orientation rapide du cristal liquide [32].
- ☞ Angle de vision plus large (178°) offert par l'amélioration et le développement de la technologie TN (technologies déclinées dans de nombreuses versions S-IPS, MVA, PVA...) [32,33].
- ☞ Faible consommation d'énergie qui est inférieure de 60% à celle des écrans CRT, et absence totale de dégagement de chaleur (0.5 à 3W pour un écran de 10 pouces).
- ☞ Taille et légèreté remarquables (quelques centimètres de profondeur ce qui explique l'aspect plat sur 40 pouces de diagonale) [33].
- ☞ Robustesse et durée de vie importantes (50000 à 60000 heures soit environ 6 heures/jour un écran est allumé pendant 14 ans) [34].



- ☞ Haute définition de l'écran (un écran couleur de 1024x768 pixels contient 2 3059 296 TFTs en poly-Si).
- ☞ Absence de scintillement (rétro-éclairage fluorescent) améliore nettement la qualité de l'image [34].

En plus, les drivers TFTs en poly-Si qui sont intégrés directement sur le substrat en verre grâce à l'étendue mobilité du polysilicium ($\mu_n=150$ à $300 \text{ cm}^2/\text{V.s}$ en technologie TFT poly-Si avancée) par rapport au silicium amorphe ($\mu_n=1 \text{ cm}^2/\text{V.s}$) [18]. Cette intégration permet une augmentation du courant ON nécessaire au pilotage du pixel et donc une réduction du temps de charge plus rapide de sa capacité. Notons qu'un TFT est de dimension plus petite au sein du pixel, ce qui implique un meilleur taux de remplissage de celui-ci d'où un pixel plus lumineux offrant une meilleure lisibilité de l'image [18,35].

Malgré tous ces avantages, la technologie LCD a ses limites, particulièrement apparition de couleurs sombres qui ont un rendu moins performant (traces de lumière à l'écran parfois très gênant), même si cette technologie s'améliore de jour en jour [35].

IV. Descriptions physique et électrique des transistors en couche mince (TFTs) à base de polysilicium :

Le TFT est un transistor à effet de champ composé d'une ou plusieurs couches semiconductrices non-monocristalline déposées sur un substrat isolant (voir Fig.I.10). De part le type du substrat, il est possible d'intégrer des transistors TFTs sur des surfaces beaucoup plus grandes contrairement aux transistors MOS, ce qui explique leur utilisation pour des applications en grande surface.

La technologie TFT sur substrat en verre est différente de celle à transistor MOS en monosilicium fabriqué en volume (ou transistor bulk). De plus, elle possède certains avantages par rapport à d'autres technologies telle que la technologie SOI (Silicon On Insulator) où le phénomène de latch-up est incontournable [36].



IV.1. Structure des transistors en couche mince (TFT en poly-Si):

Les transistors en couche mince sont bidirectionnels (à structure symétrique) possédant trois terminaux source, drain et grille. Il existe deux configurations possibles de la juxtaposition des couches minces sur le substrat. La première est de type BISN (empilement Isolant Silicium Silicium), quant à la seconde configuration est du type BISI (empilement Isolant Silicium Isolant) [37]. Ces transistors unanimement utilisés par l'industrie d'écrans plats sont soit à grille en dessus (Top gate), soit dessous (Bottom gate) comme il est indiqué par la figure I.10. Chaque configuration présente ses avantages et ses inconvénients dont la différence reste minime sur le plan modélisation. Pour cela, nous ne ferons aucune distinction entre les deux représentations tout au long de notre étude.

Notons que le choix du substrat impose la température maximale utilisée lors du procédé technologique de fabrication du composant. On distingue, ainsi, deux types de transistors, ceux fabriqués à haute température couramment appelée HTPS (High Temperature Polysilicon) où le quartz est le substrat principalement utilisé. Bien qu'il présente des caractéristiques électriques peu dispersées, son coût excessivement élevé limite son utilisation qu'à des applications qui requièrent de petites surfaces [38].

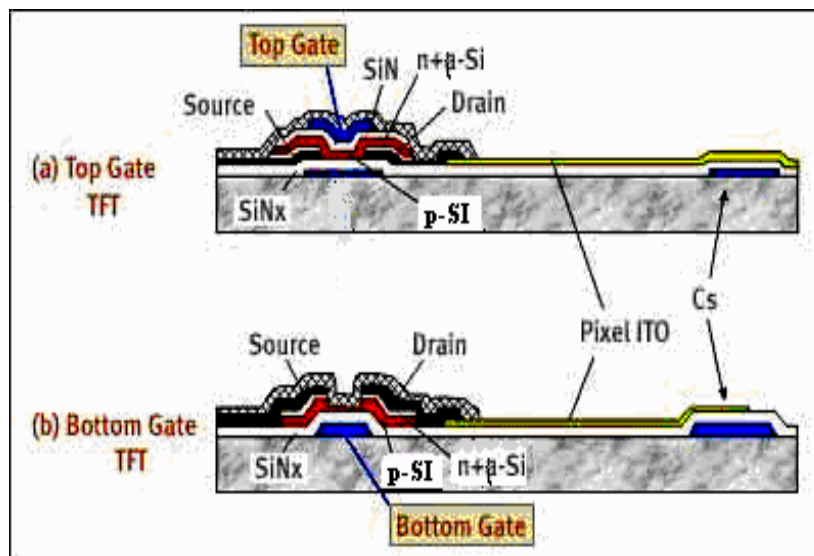


Fig I.10. Structures et configurations possibles de transistors en couche mince destinés à l'adressage d'écran LCD [37]

- (a) A grille au dessus
- (b) A grille au dessous

Quant à la filière des transistors conçus à basse température ou LTPS (Low Temperature Polysilicon). Cette dernière est la plus employée en technologie des écrans plats à cristaux liquides (LCD), vue sa parfaite compatibilité et son faible coût. Les principaux substrats utilisés sont le verre (600 °C), l'acier (600 °C) ou le plastique (200 °C) (substrats souples) [39].

Or, pour la réalisation de la couche active, deux matériaux essentiels s'imposent: Le premier étant inorganique couramment employé (Silicium amorphe ou polysilicium dans notre cas), alors que le second est de type organique actuellement en voie de développement.

IV.1.1. Matériaux organiques :

Un semi-conducteur organique ou composé organique est sous la forme d'un cristal ou d'un polymère, présentant des propriétés similaires aux semi-conducteurs inorganiques (voir Fig.I.11). Ces propriétés sont la conduction par les électrons ou par les trous, ainsi que la présence d'une bande interdite. Ces matériaux ont donné naissance à l'électronique organique, ou électronique des plastiques. On dit "organique" par opposition aux semi-conducteurs inorganiques, tel "le silicium".

Toutefois, dans les cristaux organiques formés par des molécules contenant des liens polymères, les électrons peuvent circuler librement, ce qui permet une conduction électrique comparable aux matériaux inorganiques.

De plus, comme les semi-conducteurs inorganiques, ils peuvent être dopés, c'est-à-dire qu'on peut y introduire des électrons en excès (dopage de type N) ou des trous (dopage de type P). La technique préconisée est d'exposer le film de semi-conducteur organique à une vapeur d'un oxydant ou d'un réducteur, ce qui aura comme effet d'arracher ou d'ajouter des électrons [40].

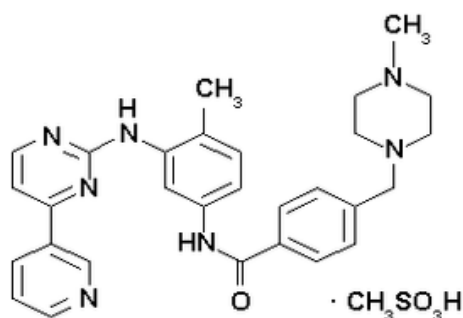


Fig.I.11. Structure d'un composé organique [40]



Par conséquent, les semi-conducteurs organiques offrent certains avantages par rapport aux matériaux à semi-conducteurs :

- Légèreté : pratique pour la portabilité
- Flexibilité : moins fragiles que les semi-conducteurs inorganiques qui doivent être déposés sur des substrats plans et rigides.
- Facilité de fabrication et auto-assemblage : les semi-conducteurs sont généralement faciles et économiques à fabriquer en laboratoire. Le génie chimique peut mettre au point des molécules qui s'auto-assemblent. Ces méthodes de fabrication tranchent avec les processus onéreux et plus difficiles des technologies inorganiques (procédés et traitements à très hautes températures par exemple).

Les semi-conducteurs organiques sont actuellement utilisés dans le domaine de l'optoélectronique pour le développement des diodes électroluminescentes organiques (OLED : Organic Light Emitting Diode) [40]. Ces dernières sont les futurs dispositifs d'affichage concurrents des écrans LCD (Liquid Crystal Display) actuels. Seulement, leurs applications présentent quelques contraintes telles que :

- Temps de vie : le temps de vie des dispositifs d'affichage organique est plus court que celui des LCD. Cela est dû à la dégradation des molécules organiques qui donne un aspect à l'écran moins lumineux et sombre.
- Jetable : l'industrie voit dans les semi-conducteurs organiques, grâce à leur faible coût et à leur facilité de fabrication, une possibilité de réaliser des dispositifs électroniques jetables. Il y a lieu de se questionner sur l'aspect écologique d'une telle conception.

IV.1.2. Matériaux inorganiques :

Trois matériaux semi-conducteurs ont émergés et offrent plus ou moins des propriétés requises pour la réalisation de la couche active du canal des TFTs : le sélénium de cadmium (CdSe), le silicium amorphe (a-Si) et le silicium polycristalin ou polysilicium (poly-Si) [23]. Si les deux premiers matériaux ont présenté des avantages majeurs, leurs inconvénients sont indéniables dans l'adressage matriciel de l'écran [41].



a/ Silicium amorphe :

L'arrangement des atomes dans le silicium amorphe est irrégulier présentant des distorsions apparentes dans le réseau comme il est montré par la figure I.12. Une distribution des états électroniques induite se traduit par l'apparition d'états localisés dans la bande interdite en haut de la bande de valence et en bas de la bande de conduction, que l'on appelle les queues de bande. Ces distorsions peuvent devenir suffisamment importantes pour empêcher une liaison de se former, et ainsi donner lieu à des liaisons pendantes.

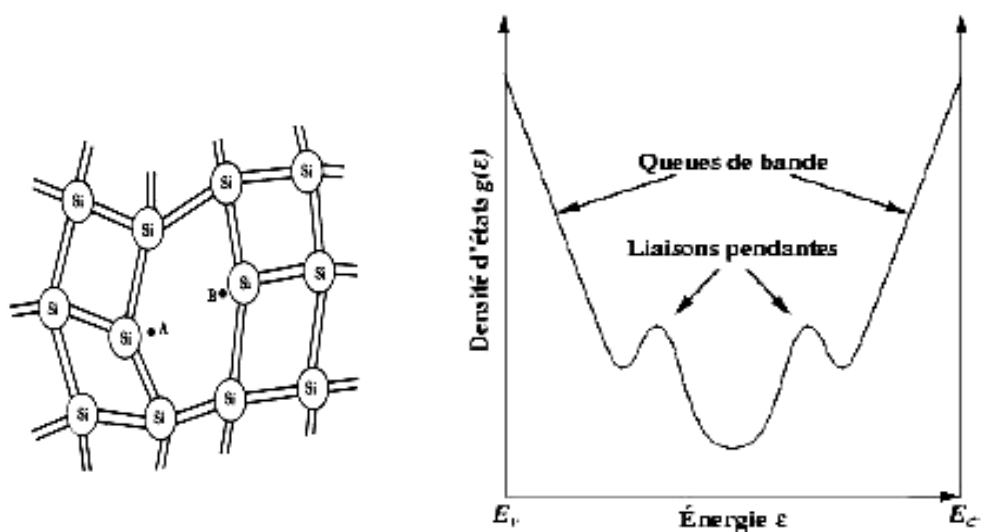


Fig.I.12. Liaisons pendantes et représentation de la densité d'états énergétique dans la bande interdite du silicium amorphe [41].

Etant donné ses performances électroniques dégradées, le silicium amorphe fût rapidement abandonné dans la technologie de l'affichage au profit du silicium polycristallin dont les avantages sont indéniables. En effet, les dispositifs à base de silicium amorphe hydrogéné (a- Si :H) dont les propriétés de transport ($\mu_n = 1 \text{ cm}^2/\text{V.s}$ et $\mu_p = 10^{-3} \text{ cm}^2/\text{V.s}$) n'offrent pas de grande vitesse nécessaires à l'adressage d' un écran LCD ou à un signal vidéo.

b/ Silicium polycristallin ou polysilicium :

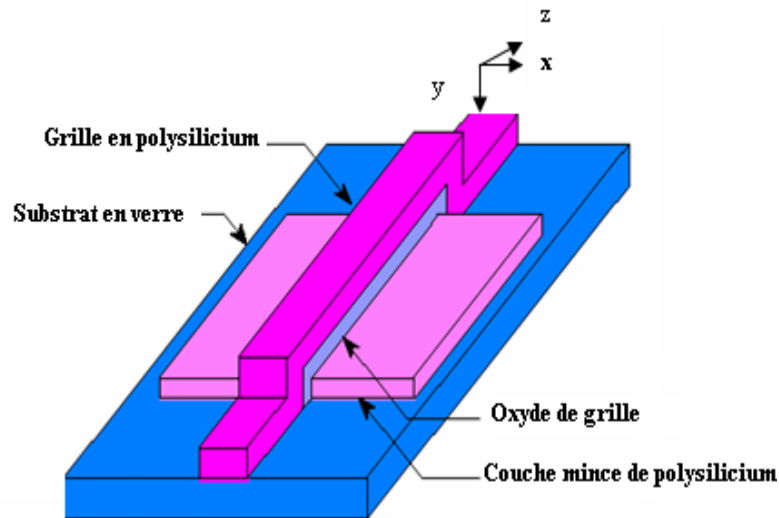
Le silicium polycristallin couramment appelé polysilicium est composé de grains monocristallins séparés les uns des autres par des régions désordonnées et riches en défauts cristallins appelées "joints de grains" (voir figureI.14).

Chacun de ces deux composants (grains et joints de grains) possède des caractéristiques propres : Le grain peut être défini par sa taille et par sa qualité cristalline, alors que les caractéristiques essentielles du joint de grain sont sa dimension, son épaisseur et plus particulièrement sa densité de défauts [42]. On peut donc distinguer plusieurs types de polysilicium qui seront classés selon deux critères :

- Texture et taille des grains.
- Densités de défauts intragranulaires et intergranulaires.

La structure du polysilicium dépend étroitement des conditions de dépôt, des méthodes de cristallisation et des post-traitements (recuit, hydrogénation...). Son mécanisme de conduction électrique est gouverné par le transport à travers le joint de grain où le phénomène de piégeage des porteurs joue un rôle prédominant. Ainsi, dans l'hypothèse d'un matériau polycristallin formé de grains de tailles identiques L_g (μm), de joints de grains d'épaisseur négligeable par rapport à l_g avec une densité de pièges N_T mono énergétique localisée par un niveau d'énergie E_t dans la bande interdite, le problème peut être ramené au modèle de barrière de potentiel qui a été développé par KAMINS puis repris par LEVINSON [43]. Ce modèle tient compte des états pièges présents aux joints de grains qui deviennent électriquement actifs, et créent une barrière de potentiel. La mobilité effective des porteurs libres se trouve alors réduite dans la couche active (en polysilicium) qui constitue le canal du TFT (Voir Fig.I.13).

Ce phénomène de piégeage des porteurs joue un rôle prépondérant dans le mécanisme de conduction du polysilicium, qui se répercute directement sur les caractéristiques électriques du transistor en couche mince à base de polysilicium ou TFT en poly-Si.



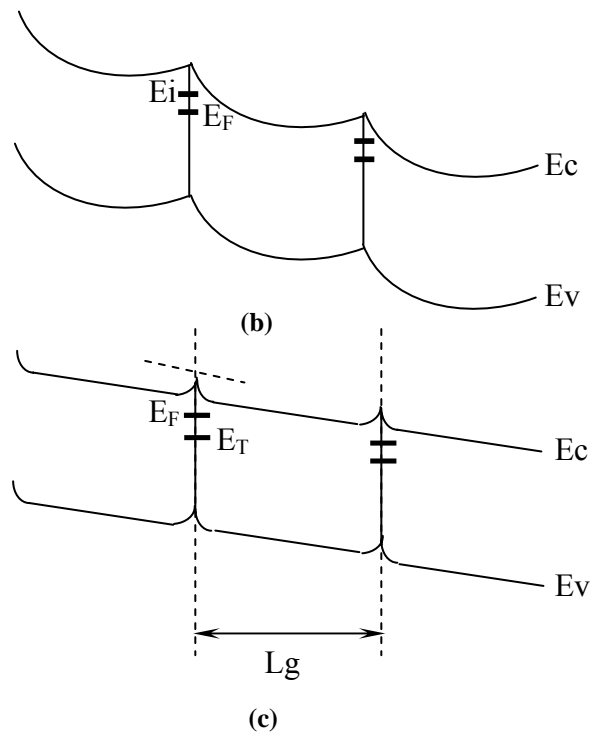


Fig.I.13. Structure d'un TFT à base de polysilicium [43]

- (a) Représentation de la structure du TFT à 3D
- (b) Distribution des bandes d'énergie dans le cas d'une déplétion complète des grains
- (c) Distribution des bandes d'énergie dans le cas d'une déplétion partielle des grains

Par ailleurs, l'élaboration du film de polysilicium est obtenue par décomposition du disilane Si_2H_6 en phase vapeur à basse pression LPCVD (Low Pressure Chemical Vapor Deposition) et à faible température ($T=480^\circ C$). Cette étape est suivie par une implantation ionique du bore à une dose de $5 \times 10^{15} cm^{-2}$ dans le cas du film polysilicium de type P. Alors que la couche polycristalline de type N a été élaborée par procédé LPCVD à $T_d=450^\circ C$ puis dopée in-situ au phosphore et recuit sous R.T.A à $1050^\circ C$ durant 30s.

L'observation du film polycristallin, par la technique de Microscopie Electronique à Balayage (MEB), nécessite une étape de préparation préliminaire. Cette dernière consiste à faire tremper le film obtenu pendant quelques secondes dans une solution SECCO qui vise à révéler les grains tout en attaquant les joints de grains qui sont des régions amorphes.

La figure I.14 représente une image MEB d'une couche de polysilicium implantée bore après recuit thermique à 850°C durant 15 minutes, où nous observons une structure typiquement polycristalline à gros grains dont la taille moyenne d'un grain est estimée à 1,5 µm d'environ (Fig. I.14 (a)). Quant à la Fig. I.14 (b) représente l'observation MEB d'un film de polysilicium dopé au phosphore (recuit sous R.T.A à 1050°C) à petits grains (0.3µm.).

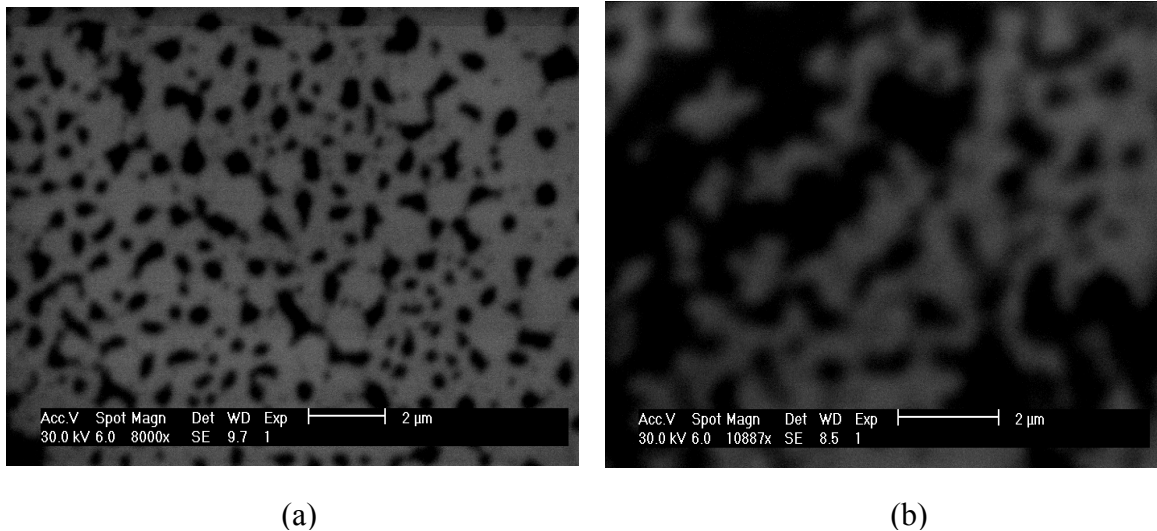


Fig. I.14. Observation MEB d'un film de polysilicium élaboré par la technique L.P.C.V.D.

- (a) Film de polysilicium à gros grains, dopé bore après recuit thermique (850 °C, 15 mn).
- (b) Film de polysilicium à petit grains, dopé phosphore après recuit thermique (1050 °C, 30s)

L'intérêt du polysilicium est encore un domaine d'actualité, pour la fabrication des TFTs qui sont de nos jours établis comme faisant partie d'un développement technologique important. Ces derniers se focalisent sur les filières TFTs en poly-Si élaborés à basse température vu qu'elles sont parfaitement compatibles et adaptées à leurs contraintes (application en grande surface, faible coût, écrans souples ...).

Par conséquent, la technologie du silicium polycristallin à basse température, qui présente des caractéristiques électriques nettement meilleures (mobilité supérieure à 200 cm²/V.s), facilite l'intégration directe de tous les dispositifs TFTs sur un substrat en verre ou plastique. Ce qui permet d'éviter nombreux problèmes de leurs connexions vers l'extérieur, tout en assurant une meilleure fiabilité (bon fonctionnement électrique) [26].

Dans le cadre de cette thèse, nous n'étudierons que les TFTs en poly-Si élaborés à basse température ou TFTs LTPS (600 °C comparé au procédé technologique du monsilicium à 1000°C), en raison de leur rôle dans le progrès spectaculaire de la technologie

d'affichage en particulier. En plus, une couche polycristalline permet de graver des circuits plus performants d'un facteur 100 par rapport au silicium amorphe et, bien sûr, d'obtenir une plus grande finesse [44].

IV.2. Régimes de fonctionnement du TFT en poly-Si à basse température :

Le principe de fonctionnement du TFT en poly-Si est similaire à un transistor MOS monocristallin fabriqué en volume (transistor bulk). Il se base sur une conduction par effet de champ dans le canal (N ou P) qui se forme entre la source et le drain. Cette conduction est modulée par la polarisation de la tension de grille qui détermine le régime de fonctionnement du dispositif. Lorsqu'une tension de drain est appliquée, le courant entre la source et le drain circule. En effet, pour un TFT en poly-Si à canal n, une tension de grille positive ($V_G \geq V_T$: tension de seuil) provoque une accumulation d'électrons où un courant de diffusion s'établit (régime linéaire). Au fur et à mesure que cette tension augmente, le nombre de charges libres s'accroît jusqu'à saturation de tous les états pièges localisés dans la bande interdite (régime de saturation). On atteint alors le régime ON du transistor ($V_G = V_{ON}$) [45].

Dans cette zone de fonctionnement, les caractéristiques électriques telles que concentration des porteurs et leur mobilité sont fortement liés à la structure du polysilicium (taille des grains, densité de pièges présente aux joints de grains).

Selon les propriétés du film de polysilicium, les états d'interface et la tension de grille, trois régimes de conduction peuvent être identifiés (zones I, II et III) : un régime de blocage ou de fuite, début de l'accumulation ou régime de diffusion, et enfin le régime de conduction d'où un courant entre la source et le drain réparti comme suit :

- Régime de fuite (zone I): Le courant de fuite I_{OFF} dans le polysilicium est élevé. Il augmente avec les tensions V_{ds} et V_{gs} même après avoir atteint le minimum, le transistor est en état bloqué comme il est clairement montré par la figure I.14. Ce courant est l'une des limitations majeures des performances des TFTs.
- Régime linéaire (zone II) : Cet intervalle de fonctionnement correspond à un début d'accumulation des porteurs dans le canal où un courant de diffusion (I_{ON}) s'établit. Notons que la concentration est moins élevée côté drain à cause du potentiel appliqué.



- Régime de conduction ou saturation (zone III) : Au fur et à mesure que la tension de grille augmente, la majorité des porteurs induits par celle-ci contribuent au courant de conduction dans le canal [45].

Dans la suite de notre étude, le courant de fuite fera l'objet d'un examen plus détaillé vu l'importance qu'il revêt d'une manière générale dans les caractéristiques électriques des TFTs

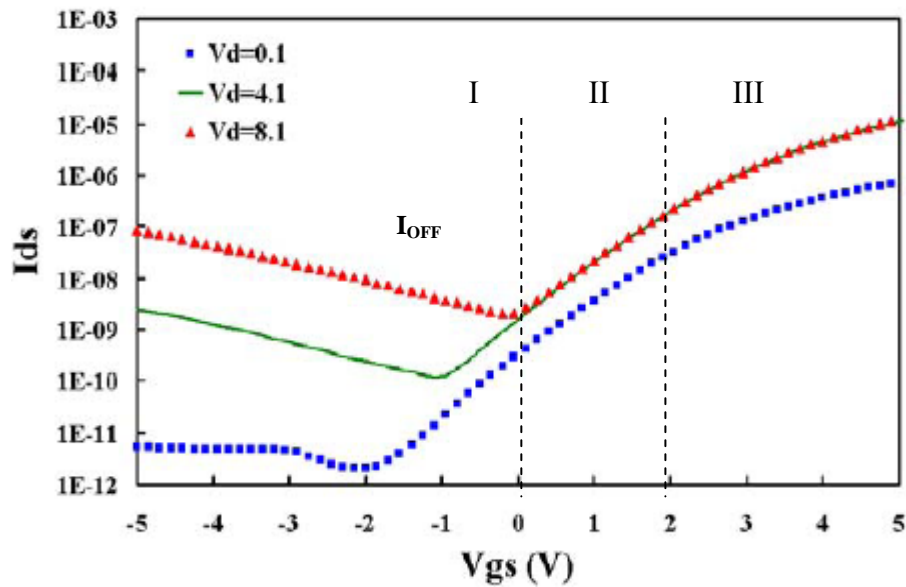


Fig.I.15. Evolution du courant de drain I_{ds} avec la tension de grille V_{gs} d'un TFT en poly-Si à canal N de dimension $50\mu\text{m} \times 50\mu\text{m}$ [45]

IV.3. Paramètres électriques des TFTs en poly-Si :

IV.3.1. Courant de fuite:

Le courant de fuite I_{OFF} est induit par la jonction inverse qui se crée entre le drain et le canal lorsque le TFT en poly-Si est à l'état bloqué. Notons que ce courant est indépendant de la tension de grille V_{gs} tant que celle-ci est faible devant la tension de drain V_{ds} . Dès que cette dernière augmente, le courant I_{OFF} prend des valeurs élevées. Plusieurs mécanismes de conduction ont été proposés afin d'élucider l'existence de ce courant et son augmentation avec la tension de grille appliquée [45,46] :

- A faible tension V_{ds} , le courant I_{OFF} est dominé par le mécanisme de génération-recombinaison dans la zone de déplétion de la jonction canal-drain (en polarisation inverse) où les centres de pièges à porteurs présents aux joints de grains agissent comme sites favorables [46].
- A forte tension V_{ds} , de nombreux mécanismes ont été fournis afin de justifier l'augmentation du courant I_{OFF} dont nous citons : émission par effet tunnel (bande à bande), émission thermique assistée par le champ électrique (Poole-Frenkel) où la génération assistée par le champ est un phénomène qui peut être à l'origine du courant de fuite dans le polysilicium

Autres que ces mécanismes, le courant de fuite et sa variation avec les tensions de grille et de drain peuvent être affectés par un effet de canal court si les dimensions du canal sont inférieures à 10 μm . Aussi, un phénomène de multiplication des porteurs par avalanche peut avoir lieu suite à un effet d'un champ électrique élevé dans la zone de charge d'espace au niveau du drain

IV.3.2. Tension de seuil :

Rappelons que la tension de seuil dans le transistor MOS est évaluée entre la source et le drain pour laquelle la zone d'inversion apparaît dans le composant. Or, la transition entre les régimes OFF à ON étant très rapide, les valeurs des tensions de seuil sont pratiquement faibles (inférieures à 1V).

Contrairement au transistor monocristallin, un TFT en poly-Si dont la commutation du régime OFF à ON se produit plus lentement, en raison de la structure granulaire de la couche active. Effectivement, les porteurs libres par la polarisation de la grille se font plus rapidement capturés par les états pièges présents aux joints de grains.

Ce qui induit à une concentration en porteurs libres de plus en plus réduite dans le canal d'où une conduction plus lente.

Dans ce cas, on définit la tension de seuil V_T par le prolongement de la pente linéaire de la caractéristique $I_{ds}(V_{gs})$ et l'axe V_{gs} qui a pour intersection la valeur $(V_T + V_{ds}/2)$ [47].

IV.3.3. Pente sous le seuil :

La pente sous le seuil est un paramètre qui définit la vitesse de commutation du régime OFF à ON du transistor.



Elle dépend de la densité d'états des pièges dans la bande interdite du polysilicium. En effet, lorsque la tension V_{gs} augmente, les états pièges continuent à se remplir, ralentissant la mise en conduction du transistor. La transition du mode OFF à ON étant beaucoup plus lente dans le TFT en poly-Si où la pente sous le seuil est estimée entre 0.1 à 1 V/décade comparée à celle du transistor en bulk (50 à 100 mV/décade) qui est 10 fois plus faible.

Par conséquent, ce paramètre doit être aussi faible que possible afin d'assurer un faible courant de fuite et une vitesse de commutation élevée [47].

On peut, ainsi, classer les pentes sous le seuil en fonction de la taille des cristaux du matériau silicium (Monsilicium, polysilicium et silicium amorphe).

IV.3.4. Mobilité des porteurs :

Rappelons que les performances des TFTs d'un écran LCD à très haute résolution, sont utilisés à la fois comme commutateur électronique pour l'élément d'image (pixel) et dans la réalisation d'un registre d'adressage (driver) pour l'intégration de l'électronique périphérique de commande. C'est la raison pour laquelle ces TFTs à couche active en polysilicium doivent avoir une mobilité suffisamment élevée pour envisager leur utilisation dans une telle application.

Dans le cadre de cette étude, nous nous intéressons qu'à la mobilité linéaire globale du composant TFT à grille au dessus, dite mobilité à effet de champ. Son extrapolation est obtenue à partir du tracé de la pente de la partie linéaire de la caractéristique $I_{ds} = f(V_{gs})$.

Toutefois, la mobilité dans un TFT est fortement liée à la structure du canal.

Elle est fortement diminuée, par la présence des joints de grains, d'un facteur 2 à 3 fois inférieur par rapport à la mobilité d'un transistor monocristallin. Ainsi, la mobilité est étroitement liée aux propriétés structurales du film de polysilicium, et aux différentes tensions appliquées [48].

IV.3.5. Influence de la taille des grains sur les paramètres électriques du TFT poly-Si :

Dans l'optique de minimiser le temps de transition des porteurs en vue d'augmenter leur mobilité, tous les travaux de recherche s'accordent à montrer que les caractéristiques électriques du TFT à base du polysilicium dépendent étroitement de sa structure (taille des



grains du polysilicium) et de ses dimensions géométriques (longueur et largeur du canal). En effet, les paramètres électriques (I_{ON} , V_T , pente sous le seuil, mobilité...) sont nettement améliorés pour des tailles des grains supérieures à 1 μm ou une réduction de la longueur du canal inférieure à 10 μm . Ce qui demeure très envisageable pour une application aux écrans plats à cristaux liquides [48,49].

Cependant, en réduisant la taille du composant, on diminue aussi bien le nombre des grains que celui des joints de grains présents dans la couche active. Ce qui a pour effet d'augmenter la mobilité et la pente sous le seuil, alors que le courant de fuite et la tension de seuil tendent vers des valeurs de plus en plus faibles.

IV.4. Stabilité des paramètres électriques :

La stabilité des paramètres électriques d'un transistor influence directement sur les performances électriques de l'application désirée. Une variation de la tension de seuil affecte directement le courant I_{ON} du transistor qui a pour effet de modifier la luminance de l'écran pour une même tension de commande V_{DATA} appliquée à titre d'exemple.

Un des principaux mécanismes de la dégradation, d'un ou de plusieurs de ces paramètres électriques, est l'injection d'électrons chauds de la source vers le canal sous l'effet d'un champ intense. L'accroissement du nombre d'électrons injectés qui devient de plus en plus cumulatif, conduit au phénomène d'avalanche. On observe, donc un phénomène qu'on appelle couramment effet kink caractérisant l'augmentation brutale du courant source-drain en fonction de la tension de drain décelé dans la caractéristique de sortie.

Dans un prochain chapitre, nous montrerons également que les états profonds et les queues de bandes contribuent d'une façon directe au bon fonctionnement du transistor (pente sous le seuil et caractéristique électrique au dessus du seuil).

IV.5. Effet kink :

La réduction constante de la dimension des transistors est le moteur de la course à la performance électronique, notamment l'amélioration de la vitesse du fonctionnement du composant. Cette dernière est nettement améliorée par la diminution de la longueur du canal mais engendre quelques effets indésirables sur le comportement électrique du transistor.



IV.5.1. Phénomène d'impact par ionisation :

Dans la jonction canal-drain polarisée en inverse du TFT en poly-Si se crée un champ électrique d'autant plus important que la longueur du canal diminue. Les porteurs accélérés (porteurs chauds) par ce champ acquièrent suffisamment d'énergie cinétique pour créer un phénomène d'ionisation par impact. L'ionisation par impact ou par choc apparaît dans un matériau pour des champs intenses, ce qui permet à certains électrons de la bande de conduction d'acquérir une énergie suffisante, de telle sorte que leur interaction sur un atome du réseau cristallin contribue à la rupture d'une liaison de valence. L'accroissement du nombre d'électrons injectés de la source vers le drain provoque une augmentation du nombre de paires d'électrons-trous et un pincement remarquable du canal côté drain (voir Fig.I.16). Ceci, entraîne un abaissement de la barrière à la jonction source-drain encore plus prononcé, et de ce fait plus d'électrons injectés de la source vers le drain [50]. Le processus qui devient de plus en plus cumulatif donne naissance au phénomène d'avalanche. Ce phénomène est couramment appelé effet kink caractérisant une augmentation brutale de la caractéristique $I_{ds}(V_{ds})$. Généralement la dégradation des propriétés électriques observée dans les composants MOS [50] induit à :

- Une tension de seuil élevée, ce qui a pour conséquence une diminution du courant I_{ON} .
- Une mobilité des porteurs libres du canal minimale
- Une variation significative de la pente sous le seuil.

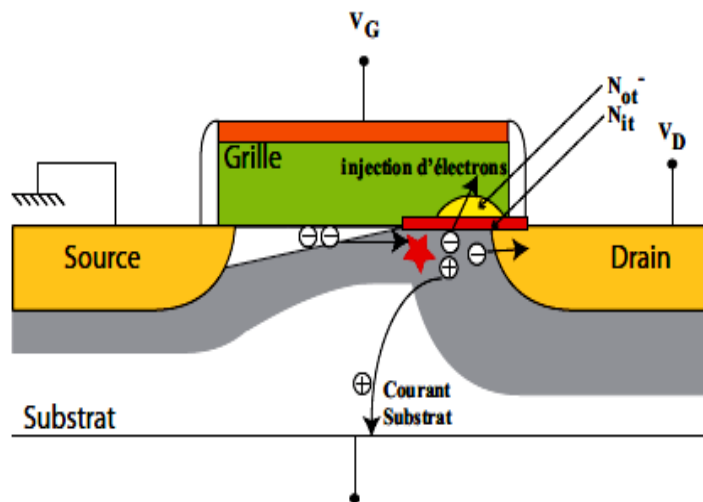


Fig.I.16. Phénomène d'impact par ionisation dans un MOSFET à canal n [50]

IV.5.2. Réduction de l'effet kink et technologie LDD :

Dans le but de minimiser les effets nocifs de l'injection des porteurs énergétiques dans les composants MOS en général. Les concepteurs ont dû modifier leur structure conventionnelle (une seule diffusion pour la source et le drain), en dopant légèrement les zones de drain et de source qui sont directement en contact avec le canal comme il est indiqué par la figure I.17. Les zones de diffusion faiblement dopées dites LDD (Lightly Doped Drain) ont pour conséquence majeure la réduction du champ électrique latéral maximal [51].

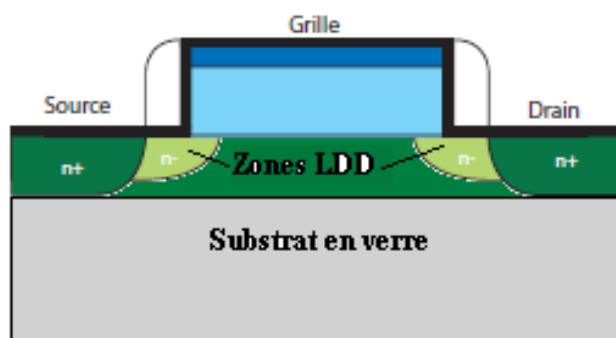


Fig.I.17. Structure d'un TFT en poly-Si comprenant des zones faiblement dopées LDD (Lightly Doped Drain) [51]

V. Technologies émergentes et concurrentes :

L'argument déterminant vers une technologie plus prometteuse apparaît aujourd'hui plus économique que technique. En effet, bien que la technologie semble encore disposer d'un réservoir d'amélioration pour la qualité de l'image d'un écran et de son coût. Elle n'adresse qu'un segment de marché particulier (taille plus large de 40'' à 60''), alors que les écrans LCD tendent à se positionner sur l'ensemble des marchés y compris celui-ci.

Par ailleurs, les énormes investissements dont se montre capable l'industrie LCD et l'ampleur des moyens économiques qui lui donne un avantage certain sur l'écran à plasma.

De plus, même si ce dernier bénéficie d'un avantage important en angle de vue par rapport à LCD en vision directe, la technologie plasma se trouvait récemment désavantagée par une limitation en luminance et un coût du produit excessif. En fait, on assiste à une course de vitesse entre les investissements LCD nécessaires pour faire face à une demande qui couvre tous les formats et les dernières étapes d'évolution technologiques des écrans plats.

La technologie émergente qui suscite le plus d'intérêt tant au niveau de la commercialisation que l'industrialisation est la technologie des diodes électroluminescentes organiques ou OLED incorporées dans la matrice à TFT en poly-Si.

V.1. Technologie d'écrans plats à diodes électroluminescentes organiques (OLED) :

La technologie OLED (Organic Light-Emitting Diode) est appelée à un développement rapide au cours des dix années à venir. Cette technique vise à remplacer les affichages à cristaux liquides LCD dont les avantages sont nombreux que nous citerons ultérieurement.

En effet, les premiers écrans OLED sont déjà en vente. Ces écrans sont très prometteurs, mais à l'heure actuelle, leur commercialisation n'est pas réaliste, en raison, d'une part, de leur prix trop élevé, et d'autre part, des limites actuelles de la technologie : écran très petit offrant une définition faible. Le plus grand écran OLED ne dépasse 27 pouces de diagonale, ce qui est nettement limité comparés aux écrans LCD (voir Fig.I.18) [52].



Fig.I.18. Modèles d'écrans OLED de taille variant de 11'' à 27'' [52]

V.1.1. Structure d'une OLED :

Les diodes électroluminescentes organiques sont réalisées à partir de polymères ou de molécules organiques qui ont des propriétés comparables aux semiconducteurs inorganiques (polysilicium, silicium monocristallin...). Cela signifie qu'on peut modéliser leur comportement électronique sous la forme d'une structure de bandes (bande de conduction et de valence séparées par un gap électronique).

. Cependant, les propriétés qui confèrent un intérêt à l'utilisation de matériaux organiques pour la réalisation de diodes électroluminescentes sont :

- ☞ le caractère mou de ces matériaux permet s'ils sont déposés sur des substrats souples, de réaliser des composants flexibles.
- ☞ un coût de fabrication inférieur aux matériaux inorganiques pour des applications à faible durée de vie.
- ☞ une consommation énergétique moindre.

La structure géométrique typique d'une OLED est représentée par la figure.I.19 où les couches ETL (Electron Transport Layer) et HTL (Hole Transport Layer) sont dopées (mobilité faible d'un matériau organique par rapport au semiconducteur) et d'épaisseur très minces (quelques centaines d'angstroms) afin que le transport des électrons et des trous soit facilité [53].

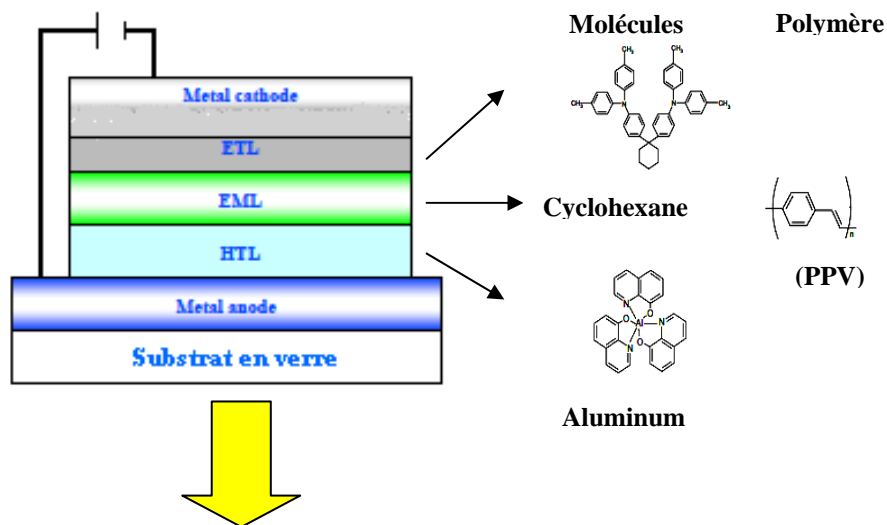


Fig.I.19. Structure en couches d'une diode électroluminescente [53]

De plus, les électrons dans les composés organiques se déplacent plus difficilement que les trous. Pour cette raison la couche HTL est conçue plus épaisse de sorte que les trous et les électrons arrivent à la couche d'émission EL (Emitting Layer) au même instant où leurs recombinaisons engendrent l'émission de la lumière [53]. L'une des électrodes est à base d'ITO (Indium Tin Oxyde) vue sa transparence aux faisceaux lumineux et sa parfaite compatibilité avec les niveaux d'énergie des matériaux organiques.

V.1.2. Principe de fonctionnement d'une cellule OLED :

Comme nous l'avons décrit précédemment, une cellule OLED de base consiste en une pile de couches organiques fines prises en sandwich entre une anode transparente (ITO) et une cathode métallique (aluminium en général)). Les couches organiques comprennent la couche d'injection, la couche de transport, une couche émettrice et une couche de transport d'électron. Quand un courant approprié est appliqué à la cellule, les charges positives et négatives se recombinent dans la couche émettrice pour produire une lumière électroluminescente dont la couleur dépendra de la composition des molécules organiques (voir Figure.I.20). Cependant, chaque pixel d'un écran OLED est constitué de trois diodes électroluminescentes juxtaposées (une rouge, une verte et une bleue), produisant leur propre lumière lorsqu'elles sont soumises à une tension électrique. L'ensemble repose sur un substrat transparent (verre, plastique...)[53].

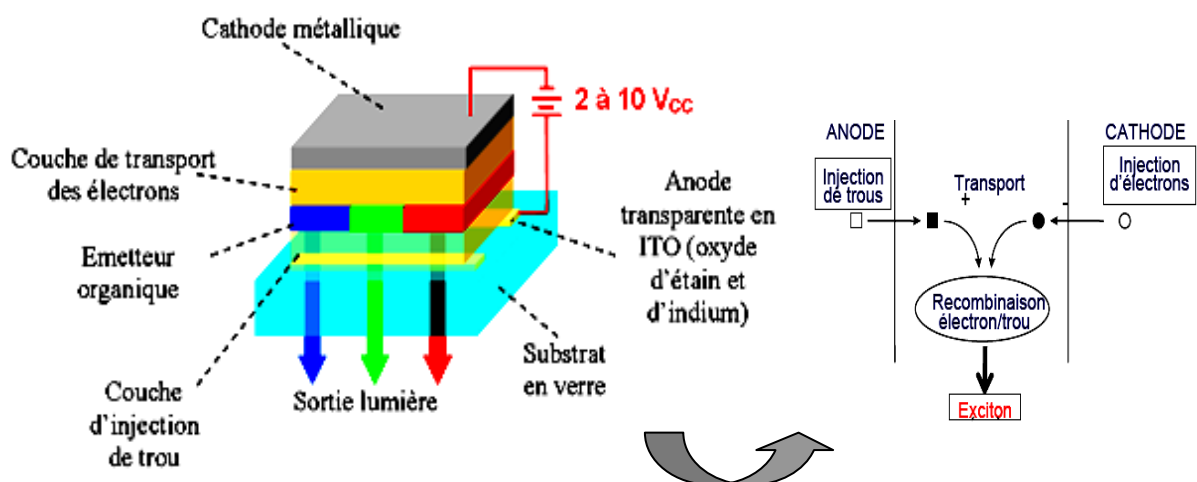


Fig.I.20. Présentation d'un pixel d'écran à base d'une OLED [53]

Comme dans le cas des écrans LCD, il existe divers types d'écrans OLD à savoir OLEDSM (Small Molecules), POLED (Polymer OLED), TOLED (Transparent OLED), PMOLED (Passive Matrix OLED), AMOLED (Active Matrix OLED)...

Seulement les deux dernières applications qui font l'objet d'une actuelle technologie, les autres sont pour la plupart encore à l'état d'étude [54].

V.2. Ecran OLED à matrice passive (PMOLED) :

Ces écrans sont formés d'une couche de pixels OLEDs connectés au croisement des segments de cathodes et d'anodes qui sont placés de façon perpendiculaire. Sur la figure.I.21 est représentée la structure d'un écran d'affichage OLED à matrice passive. Les différentes couches sont appliquées par une méthode d'évaporation, ce qui est très pratique pour une industrialisation d'écrans plats. Un circuit extérieur applique un courant électrique aux segments anodes et cathodes sélectionnés. Le signal de données est généralement transmis aux colonnes puis synchronisé en fonction du balayage des rangées. Quand une rangée particulière est choisie, les données de la colonne et de la ligne détermine quel pixel devra t-il être allumé [38].

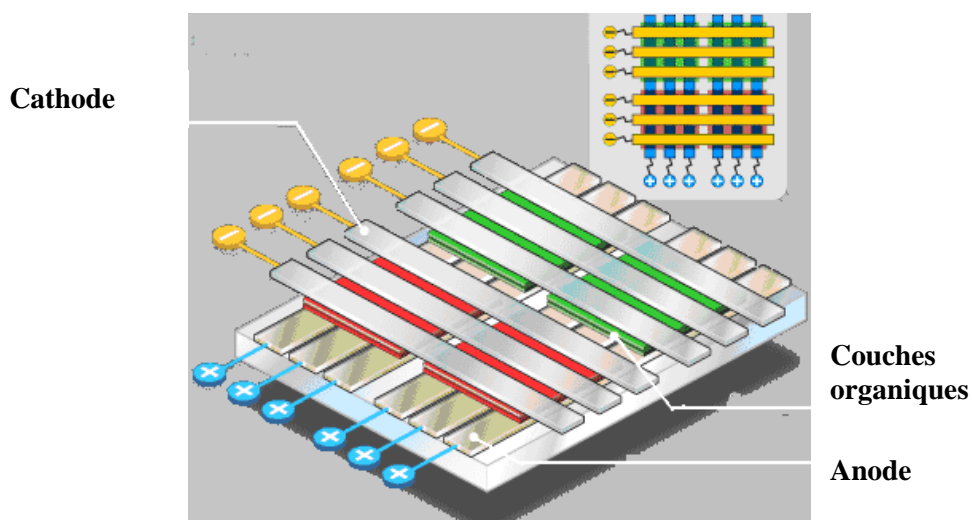


Fig.I.21.Représentation d'un écran OLED à matrice passive [54]

V.3. Ecran OLED à Matrice active (AMOLED):

Contrairement aux afficheurs OLEDs à matrice passive, un écran OLED à matrice active ou AMOLED (Active Matrix OLED) dispose d'un support électronique intégré comme substrat (voir Figure.I.22). Ce type d'écran est rendu possible grâce au développement de la technologie des TFTs à base de polysilicium. Eventuellement, cette technologie à semi-conducteur fournit des transistors à couches minces avec de haute vitesse de commutation. Chaque pixel individuel peut être contrôlé indépendamment via l'association d'un transistor TFT et des capacités, sur un support électronique. En principe, chaque élément pixel peut être sélectionné afin de rester allumé durant la période du balayage nécessaire à l'affichage de l'image.

Par conséquent, la consommation énergétique est moindre (20% de moins par rapport aux LCD) car les TFTs utilisent moins d'électricité que les circuits externes employés dans les écrans PMOLED. Ils sont donc plus efficaces pour une visualisation grand écran. De plus, ils ont un taux de commutation élevé, ainsi qu'un fort rapport de contraste. Ces paramètres demeurent des critères importants pour pouvoir visionner une image vidéo correctement [54].

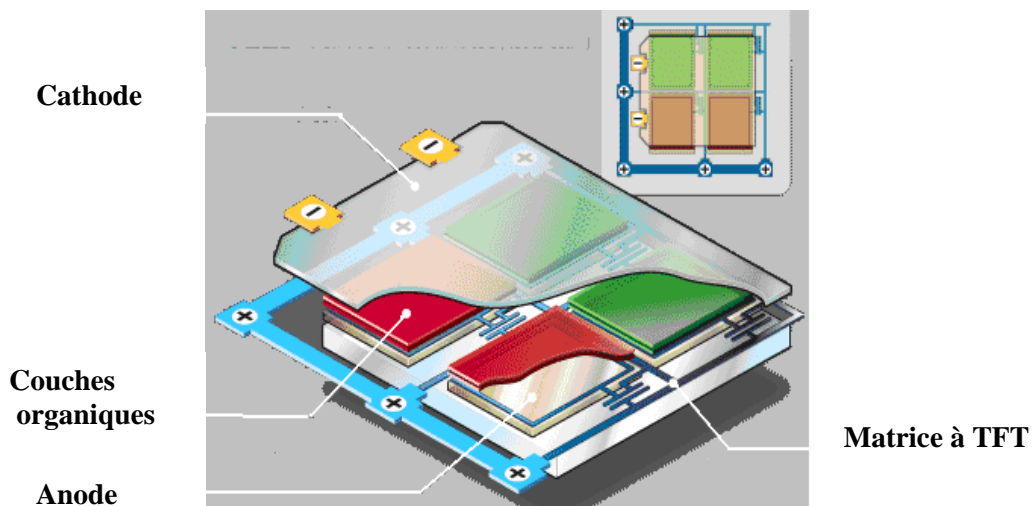


Fig.I.22. Représentation d'un écran OLED à matrice active ou AMOLED [54]

Les écrans OLED sont plus brillants, plus riches en couleurs, et surtout offrent un large angle de vision d'où un rendu de couleurs plus précis car les pixels correspondants aux trois couleurs de base R,V,B se superposent au lieu d'avoir une position juxtaposée.

Depuis l'année 2009, ce sont principalement les écrans de petite taille tels ceux des téléphones mobiles et des appareils photos numériques qui utilisent cette prodigieuse technique OLED.

Néanmoins, en dépit de leurs avantages ce type d'écran OLED présente quelques inconvénients majeurs dont le principal défaut est leur durée de vie (environ 14 000 heures). On estime qu'il faudrait une durée de vie d'environ 50 000 heures pour qu'une dalle OLED puisse être appliquée à un écran d'un téléviseur. Cette durée de vie limitée, comparée aux écrans LCD et autres, contribue à freiner le développement commercial de cette technique dans le domaine public, bien que leur prix est de 50% plus élevé [54].

L'uniformité et la stabilité de l'électronique de commande des OLED sont actuellement des problèmes à résoudre. En effet, afin de contrôler sa luminance, la diode organique est préférentiellement alimentée par un courant constant débité par un TFT de commande. Ce qui a nécessité une architecture de circuits d'adressage de pixel OLED basée sur l'utilisation de TFT en silicium polycristallin élaboré par procédé basse température (poly-Si LTPS) au profit du silicium amorphe hydrogéné (a-Si:H). Ce dernier fût rapidement abandonné en raison de la variation aléatoire de sa tension de seuil et de la dégradation importante des niveaux de courant en fonction du temps. Ces limitations réduisent considérablement la durée de vie de l'écran.

Outre son coût de fabrication plus élevé et ses propriétés physiques, le polysilicium engendre également une variation spatiale de la tension de seuil des TFTs de pixel à pixel. Cette non-uniformité provient essentiellement de la structure du matériau en question (taille des grains et joint de grain). Ainsi, les circuits d'adressage actuels de pixel, qui visent à s'affranchir de telles dispersions technologiques, intègrent un nombre non négligeable de TFTs en poly-Si avec des cellules de compensation pour pallier à la dérive



des caractéristiques ou des défauts d'uniformité. Cependant, il existe deux principaux circuits de programmation de pixel dans un écran AMOLED [54].

V.3.1. Circuits d'adressages de pixels en programmation tension:

Sur la figure.I.23 est représenté un circuit d'adressage conventionnel à deux transistors par pixel. La programmation par tension fût la première méthode d'adressage employée dans le signal vidéo. Ce circuit consiste en un transistor de sélection de pixel T1, un transistor de commande T2 connecté à l'OLED, et une capacité de stockage C_{Ss} permettant la rétention du signal.

Durant la phase de sélection d'une ligne, le transistor T1 en état passant transfère une tension de donnée de l'électrode de colonne à la grille du transistor T2 et à la capacité C_S qui se charge. Une fois la ligne est désélectionnée le transistor T1 passe à l'état bloqué, la capacité C_S maintient un potentiel continu sur la grille de T2 qui continue à conduire. Ainsi, les pixels suivants sont adressés d'une manière séquentielle. Ce circuit est peu utilisé étant donné sa sensibilité aux variations de la tension de seuil du transistor de commande en particulier. Le niveau de la lumière est donc variable suivant cette tension de seuil, ce qui se traduit par une perte de luminance des écrans AMOLED.

Afin de résoudre ce problème de dégradation de l'affichage, un circuit à quatre TFTs par pixel utilisant une cellule de compensation a été proposé par la figureI.23 (b). La cellule de compensation est constituée de deux TFTs connectés en diode, l'un servant à enregistrer le signal vidéo et la tension de seuil du transistor T3 sur la capacité C_S , alors que le transistor T4 assure sa décharge. Seulement, le manque de linéarité observé entre la tension de commande et le courant appliqué à l'OLED reste un problème incontournable dans ce type de circuit d'où la nécessité d'une autre méthode d'adressage par programmation en courant [54].



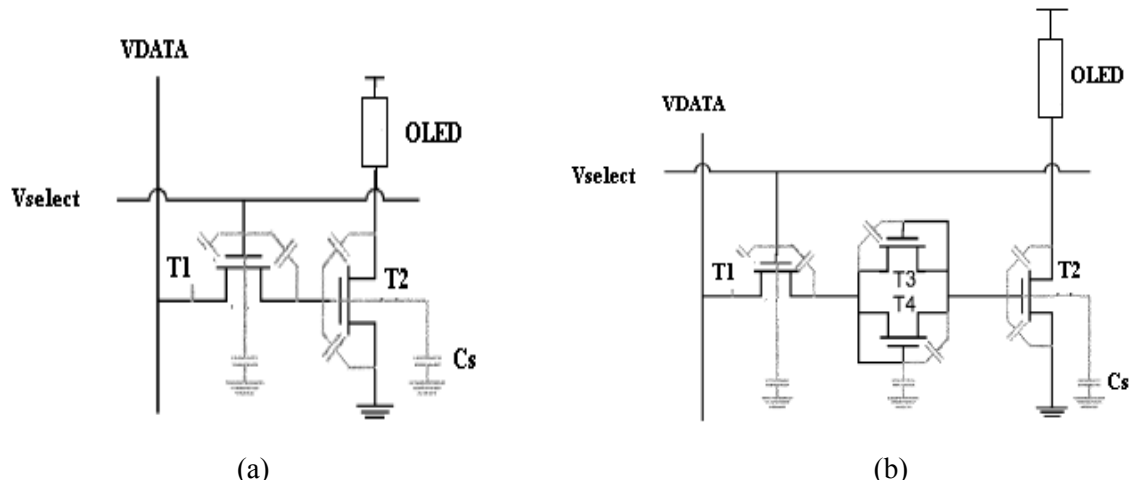


Fig.I.23. Circuits d'adressage en tension de pixel OLED à matrice active [54]
 (a) Circuit conventionnel de commande OLED à deux TFTs
 (b) Circuit de commande OLED avec cellule de compensation

Le principe à la base de l'affichage de données vidéo par une diode OLED est la modulation de son courant car elle doit être alimentée par des niveaux de courants constants afin de contrôler les variations de luminance de l'écran. Ceci est obtenu par un transistor TFT de commande fonctionnant en source de courant, qui reçoit sur sa grille une tension correspondant à la donnée vidéo qui sera affichée puis fournit un courant à l'OLED.

L'électronique qui permet d'adresser une matrice active consiste en un tableau de pixels commandés individuellement par un réseau croisé de lignes de sélection S_1, S_2, \dots, S_m , et de lignes de données D_1, D_2, \dots, D_n . Chaque point de l'image ou pixel comprend une diode OLED et un circuit de commande en courant qui comprend un transistor T_1 de commutation, un autre transistor T_2 de commande en courant (driving transistor) et une capacité de maintien C_s comme il est illustré par la figure I.24. L'électrode de grille du transistor T_1 est connectée à la ligne sélectionnée S_i , l'autre électrode de source reliée à la ligne de donnée associée D_j . Quant à l'électrode de drain, celle-ci est connectée à une borne de C_s et à la grille du transistor de commande T_2 branché en série avec la diode électroluminescente organique. Une tension de référence est reliée à l'autre borne de la capacité.

Lorsque la ligne de sélection S_i est adressée, le transistor de commutation T_1 devient passant "état ON" pendant l'adressage de cette ligne. Il commute la tension vidéo présente sur la ligne de donnée D_j , à la grille de T_2 commandé en courant. Le transistor T_1 repasse ensuite à l'état OFF en isolant le pixel de la ligne de donnée. La capacité C_S assure le maintien de la tension sur la grille de T_2 [55].

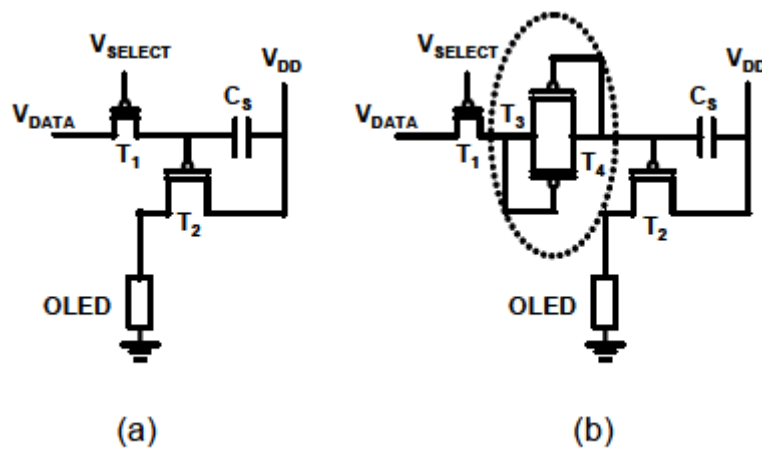


Fig.I.24. Circuits d'adressage en courant de pixel OLED à matrice active [55]

- (a) Circuit conventionnel de commande OLED à deux TFTs
- (b) Circuit de commande OLED avec cellule de compensation

Ce dernier fournit à la diode OLED un courant I_{DS} fonction de la tension vidéo qui lui permet d'émettre une intensité lumineuse. Pour avoir une meilleure luminance et une bonne uniformité de l'écran, le courant I_{DS} (fonction des tensions de grille et de seuil) doit être constant dans le temps quelque soit le pixel considéré.

Or, le courant fourni par la commande diminue à cause des variations spatiales de la tension de seuil décelée dans les TFTs en poly-Si, ce qui se traduit par une dégradation de l'affichage de l'écran. Afin de pallier à ce problème, on prévoit de la même manière que précédemment, une phase de récupération de la dérive de la tension de seuil du transistor de commande en courant de chaque pixel. Durant cette phase, on bloque le transistor de commande par une tension inverse de sorte que la tension de seuil soit minimale.

Deux transistors connectés en diode assurent la compensation de cette dérive, d'où une tension de seuil pratiquement négligeable [7,54].

En résumé, l'intégration massive des transistors en couches minces dans les circuits pixels fournit une nouvelle alternative aux technologies conventionnelles en silicium polycristallin en particulier pour l'adressage matriciel actif des écrans OLED, LCD...

Ces transistors à base de polysilicium, qui présentent de plus en plus une bonne uniformité et une meilleure stabilité, sont très prometteurs pour la mise au point de nouvelles technologies simples à faibles coûts et à de future génération d'écrans plats.

VI. Autres applications des TFTs en polysilicium en grande surface :

Soucieux de démontrer, depuis ces deux dernières années, l'étendue des possibilités techniques des écrans LCD à matrice active en silicium polycristallin à basse température ou LTPS (Low Temperature PolySilicon), les concepteurs viennent de franchir une étape supplémentaire en dévoilant un prototype couleur transmissif de 2,4 pouces de diagonale intégrant directement sur le substrat en verre de l'écran la fonction tactile. Ils emploient, pour cela, un nouveau concept d'écrans systèmes appelé SOG (System On Glass) [56]. Ce dernier est rendu possible grâce à la mobilité électronique très élevée du silicium polycristallin à basse température (200 fois supérieure à celle du silicium amorphe dans les matrices actives conventionnelles). Cette technique très avancée autorise l'intégration directe sur le verre de l'écran, différentes fonctions électroniques liées à l'affichage ainsi que certains circuits périphériques. En l'occurrence, ce prototype intègre des photodétecteurs ainsi que des fonctions de traitement du signal comme il est illustré par la figure.I.25.

Ainsi, l'afficheur LCD agit comme s'il disposait d'une dalle tactile où les capteurs phoniques détectant l'ombre d'un doigt ou une empreinte digitale venant se poser sur l'écran tandis que la fonction traitement du signal localise son emplacement. ce prototype, qui présente par ailleurs une définition élevée (240 x 320 pixels) et une gamme de 65 000 couleurs, ouvre la voie vers des afficheurs plus minces, plus légers et plus fiables à titre d'exemple une carte personnelle doté d'un capteur d'empreinte digitale intégré.

De plus, cette technologie pourrait concurrencer les dalles résistives, très utilisées dans ce genre d'applications.



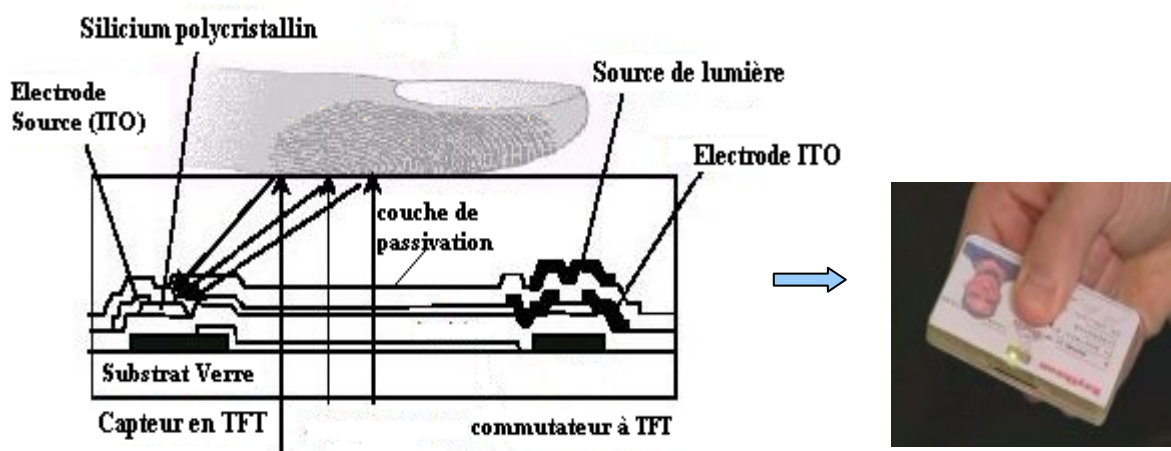


Fig.I.25. Prototype d'un écran SOG intégré sur verre avec photocapteur et des fonctions de traitements [56]

En conséquence, la technologie d'intégration des circuits imprimés sur une carte (à substrat en verre) ouvre de plus en plus la voie à de nouvelles applications extrêmement compactes telles que les équipements de télécommunication mobile (permettant l'affichage de signaux vidéo), les ordinateurs portables ou tout autre appareil numérique multimédia.

Grâce à la technologie du silicium à grain continu ou CGS (Continuous Grain Silicon), développée par la société Sharp [56], les électrons se déplacent 600 fois plus vite qu'avec du silicium amorphe utilisé jusque-là dans les écrans LCD, ce qui offre une résolution et une échelle de contraste plus importantes dans les systèmes électroniques actuels.

Notons que le procédé CGS consiste à appliquer le silicium directement sur la plaque de verre sous forme de cristaux uniformes de grandes tailles dont la mobilité des porteurs est nettement supérieure comparée au silicium amorphe ou polycristallin. De plus, l'introduction de ce matériau a permis la réalisation de transistors en couches minces de

CHAPITRE 1: Evolution des technologies des écrans plats à base de TFTs en poly-Si et leurs applications
 dimensions très réduites ($L = 1.5 \mu\text{m}$), ce qui donne naissance à de nouvelles générations de composants à structures submicroniques ($L < 1 \mu\text{m}$).

Cette technologie développée par Sharp d'écran unique intègre en plus d'une dalle TFT poly-Si, offrant une haute résolution graphique (1400x1050) pixels [57], une luminosité et un contraste optimums en toutes circonstances, un microprocesseur 8 bits (8MHz) doté d'une mémoire vidéo, des circuits audio, driver numériques et un interface de contrôle graphique. Ce dispositif à éminentes performances garantit des graphismes et des effets visuels de haute qualité. De plus, un capteur de mouvement intégré détecte l'orientation de l'écran et ajuste automatiquement l'affichage en conséquence (voir Fig.I.26).

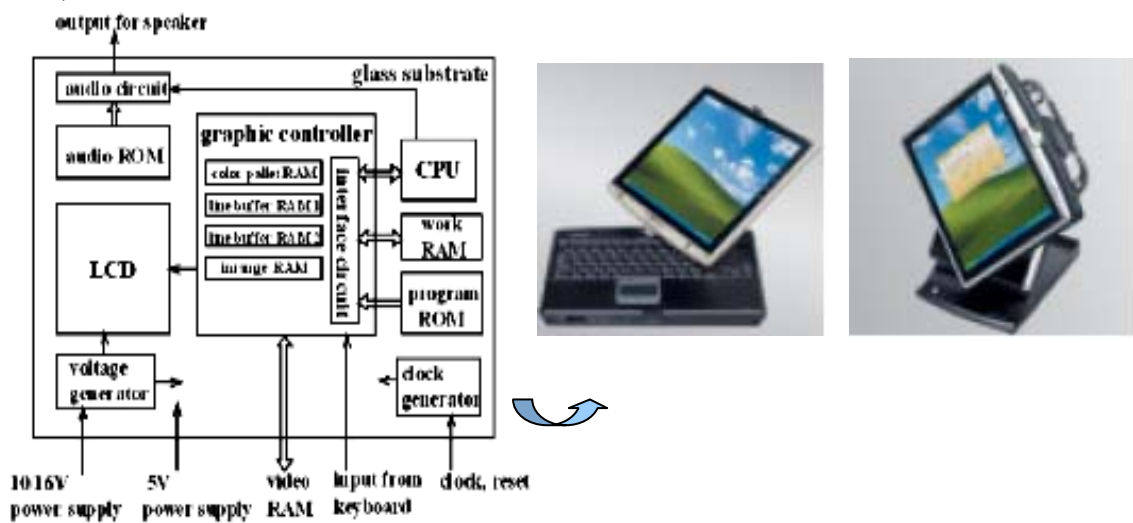


Fig.I.26. Prototypes d'écran SOG intégré sur verre avec microprocesseur et d'autres interfaces [57]

Ces futurs écrans devraient être une réponse à une technologie candidate d'une industrialisation de produits nomades de type microportables, radiotéléphones et autres. Cependant, ils exigent un afficheur idéal qui associe plusieurs fonctionnalités telles que : minceur, légèreté, compacité, robustesse, haute résolution et consommation réduite.

Conclusion :

La réalisation des produits manufacturables, qui relie des performances acceptables avec des techniques facilement exploitables, est devenue le but primordial à atteindre dans les domaines de recherche et de développement des composants électroniques.

Si la réduction constante des dimensions des circuits intégrés est le moteur de cette course à la performance, l'approche dans le cas des écrans plats est différente, puisqu'il est demandé à la fois de réaliser des dispositifs de grande taille et à faible coût.

Ces contraintes d'ordre économique et scientifique doivent tirer profit des connaissances et technologies acquises dans l'industrie des circuits intégrés et celle des procédés de fabrication des transistors en couches minces ou TFTs (Thin Films Transistors) en particulier.

Dans ce chapitre introductif, nous avons exposé un état de l'art des diverses technologies actuelles et concurrentes du transistor en couche mince et ses multiples applications, allant de la technologie des cristaux liquides ou LCD (Liquide Crystal Display) à celle des diodes électroluminescentes organiques ou OLED (Organic Light-Emitting Diode), jusqu'à la technique des écrans systèmes SOG (System On Glass).

Nous avons pris en charge l'étude physique et électrique de ce transistor en couche mince ou TFT (Thin Film Transistor) à base de polysilicium (TFT en poly-Si) qui constitue l'élément essentiel (pixel) de commutation et de commande des circuits d'adressage des matrices actives AMLCD (Active Matrix Liquide Crystal Display) et AMOLED (Active Matrix Organic Light-Emitting Diode). L'historique de ces matrices, leur principe ainsi que leur modes de fonctionnement ont été présentés.

Notons que le polysilicium est le matériau de base dans la réalisation de ce composant, nous avons également présenté une étude descriptive de sa structure cristalline ainsi que de son mode de dépôt.

Enfin, cet état de l'art nous a permis d'introduire la problématique et les objectifs fixés dans le cadre d'une étude de thèse qui vise à modéliser le comportement électrique du TFT à base de Silicium polycristallin.



Chapitre 2

*Propriétés de transport
et Distribution de la densité d'état
des pièges dans le polysilicium*

INTRODUCTION :

L'intérêt du Silicium polycristallin ou polysilicium pour la réalisation des transistors en couches minces (TFTs poly-Si) est de nos jours établis comme faisant partie d'un développement technologique à coût peu élevé pour de larges applications dans le domaine de la micro-électronique, ce que nous avons largement décrit dans le chapitre précédent.

Le développement et les applications de ce matériau dépendent de l'amélioration de ses performances, essentiellement électriques. Ces performances dépendent de l'influence directe des conditions initiales d'obtention et d'un éventuel traitement ultérieur du film. Un large domaine de recherche s'est ouvert allant de l'effet des méthodes et conditions de dépôt sur la structure finale des films, en passant également par le comportement électrique de ce matériau qui diffère dans un grand nombre de points du silicium monocristallin.

Le choix du polysilicium pour la réalisation du canal du TFT affecte de façon directe ses performances électriques, vu que dans la majorité des modèles de conduction, il est représenté comme une succession de grains parfaits séparés par des joints de grains où différents pièges sont réunis.

Dans ce second chapitre, nous traiterons les propriétés de transport du polysilicium et la distribution de la densité des porteurs localisés sur les queues de bandes ainsi que sur les centres profonds. Nous présenterons un modèle analytique simplifié où il nous sera facile de montrer la contribution de ces états sur les caractéristiques électriques de sortie du composant étudié. Pour chaque régime de fonctionnement du transistor TFT en poly-Si, des démarches simples seront mises en œuvre pour l'aboutissement aux différentes expressions du courant de drain.

I. Structure et propriétés électriques du film du silicium polycristallin Si-LPCVD :

I.1. Structure:

Comme nous l'avons rappelé au premier chapitre, un film de silicium polycristallin ou polysilicium se présente comme une juxtaposition de monocristaux appelés grains séparés les uns des autres par des zones inter-granulaires (joints de grains), comme le montre la figure II.1.

A l'intérieur de chaque cristallite, les atomes constituent un réseau périodique identique à celui d'un monocristal, contrairement aux joints de grains qui présentent une



structure fortement désordonnée, entraînant l'apparition de centres pièges de porteurs libres.

La structure du film polysilicium dépend étroitement des conditions de dépôt (pression, température...), et des traitement post dépôt que peut subir le matériau.



Fig.II.1. Structure granulaire d'un film de silicium polycristallin

Les films de polysilicium utilisés dans l'industrie du semi-conducteur, sont réalisés le plus souvent par décomposition chimique en phase vapeur à basse pression LPCVD (Low Pressure Chemical Vapor Deposition).

Rappelons que la taille moyenne des grains d'une couche polycristalline, déposée par cette technique, est fonction de la température de dépôt ainsi que de l'épaisseur. En effet, la taille moyenne du grain croît linéairement aussi bien avec la température de dépôt, qu'avec l'épaisseur du film [42,43].

I.2. Propriétés électriques du film polysilicium Si-LPCVD :

Les propriétés électriques du polysilicium sont différentes de celles du silicium monocristallin, car sa conduction électrique est limitée par le transport à travers les joints de grains. Ce transport peut être engendré par deux mécanismes possibles :

- Mécanisme de ségrégation des atomes dopants : Ce mécanisme décrit la tendance des joints de grains à se comporter comme puits vis-à-vis des impuretés.

Aux faibles concentrations d'impuretés, les atomes dopants se localisent aux joints de grains ; par la suite les cristallites se trouvent dépeuplées, la conduction induite est alors faible. Par contre, aux concentrations d'impuretés supérieures, une saturation des joints de grains se produit, accompagnée d'une migration des atomes en excès vers l'intérieur des cristallites, ce qui induit une nette amélioration de la conduction électrique [42].



➤ Mécanisme de piégeage des porteurs de charges sur des états pièges :

Le modèle basé sur ce mécanisme tient compte du nombre important de défauts présents aux joints de grains, ce qui limite le passage des porteurs d'un grain à l'autre, réduisant ainsi leur mobilité. Ce modèle a été introduit par Kamins [43] puis développé par d'autres auteurs.

Par conséquent, le comportement électrique du polysilicium est directement lié à son profil de densité d'états de charge dont l'allure est indiquée sur la figure II.2. On distingue deux types d'états dont :

- Les états de queues de bandes généralement attribués à des défauts légers de nature géométrique telle la liaison Si - Si.
- Les états profonds dûs aux liaisons Si- Si pendantes (voir fig.I.12 & chapitre.I)

Les états localisés dans la partie supérieure du gap énergétique se comportent comme des états accepteurs, alors que ceux de la partie inférieure se comportent comme des états donneurs. Ils peuvent être accepteurs et se diviser en états de queue accepteurs et états profonds accepteurs, ou donneurs divisés en états de queue donneurs et états profonds donneurs [58].

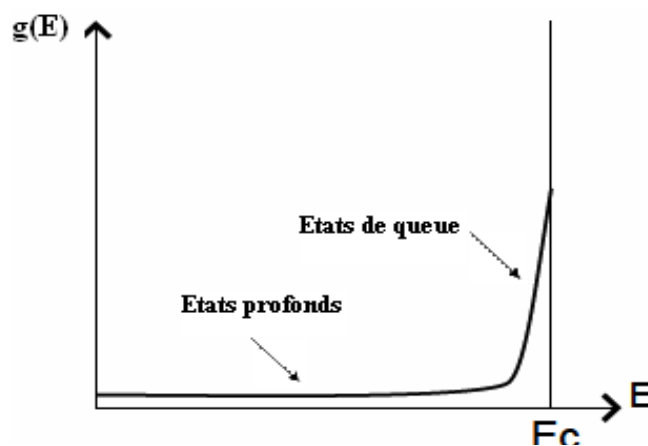


Fig.II.2. Densité d'états localisés aux joints des grains d'un silicium polycristallin [58]

Du moment que la mobilité de champ des trous est négligeable devant celle des électrons, seuls les états accepteurs seront pris en compte dans le modèle.

I.3. Diagramme de bandes de la structure polysilicium :

Dans les matériaux polycristallins, l'existence d'une barrière de potentiel entre deux grains est liée à une distribution de charge de part et d'autre du joint de grain. Généralement, les paramètres fondamentaux qui caractérisent cette barrière aux joints de grains [48], sont à l'équilibre thermodynamique:



- La position énergétique du niveau piège par rapport au niveau de Fermi.
- Le caractère accepteur ou donneur de ce piège.
- La densité du niveau piège.

La figure II.3 illustre une courbure de bande énergétique s'étalant de part et d'autre du joint de grain [59], pour du silicium polycristallin dopé N.

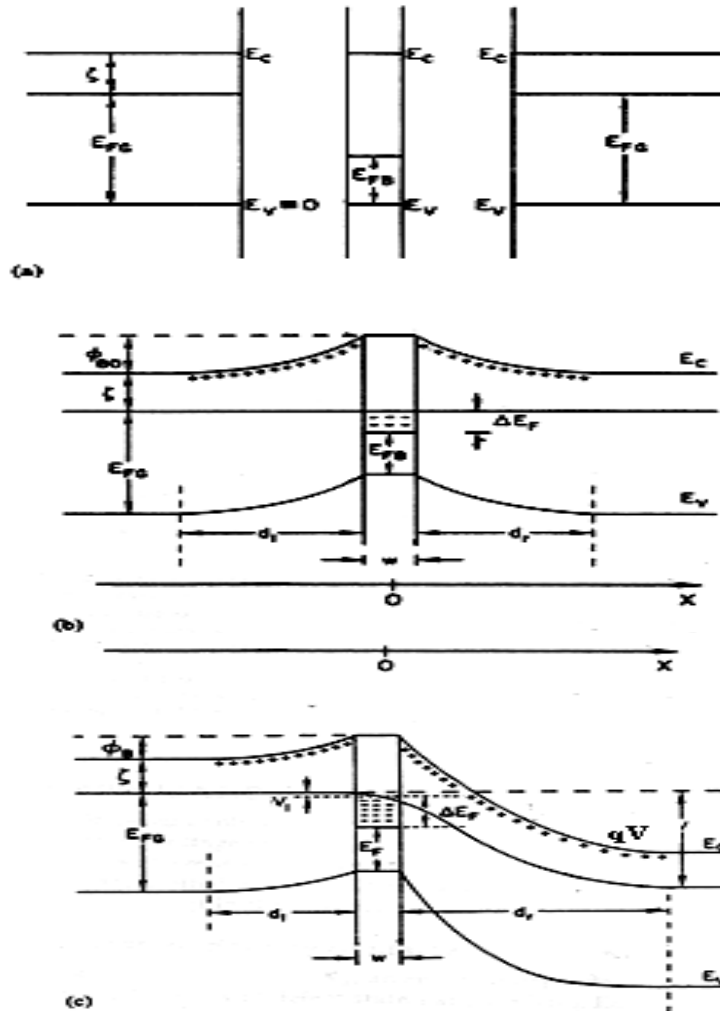


Fig.II.3. Diagramme de bandes énergétiques d'un ensemble grains-joint de grains en fonction du potentiel appliqué [59]

- (a) avant adjonction
- (b) après adjonction à l'équilibre thermodynamique
- (c) après application d'une tension V

L'approche consiste à déterminer la variation de cette hauteur de barrière en fonction du potentiel appliqué, à partir de laquelle les mécanismes de conduction sont déduits.

De nombreux auteurs ont conclu que deux principaux régimes de conduction régissent le transport des porteurs à travers cette barrière de potentiel, à savoir l'effet



thermodynamique qu'on observe couramment et qui domine aux hautes température et l'effet tunnel résonnant assisté par pièges, plus prédominant aux basses températures [59].

Rappelons que le TFT en poly-Si à canal n fonctionne en régime d'accumulation. L'application d'une tension de grille V_G positive provoque une accumulation d'électrons au niveau du canal (cf. paragraphe IV.2 du chapitre.I).

Par conséquent, la concentration des porteurs libres dans le canal augmente plus lentement car il faut d'abord remplir tous les centres pièges présents aux frontières des grains.

II. Densité d'état des porteurs de charge :

Le silicium polycristallin qui est parfaitement cristallisé (grains de taille micrométrique) présente des défauts correspondants aux liaisons Si-Si faiblement distordues. La densité d'état peut être modélisée par une fonction exponentielle (à pente assez raide) pour les queues de bandes et les états profonds pour les défauts présents aux joints de grains [60], dont l'expression est :

$$g(E) = N_{TA} \exp\left(\frac{E - E_c}{W_{TA}}\right) + N_{DA} \exp\left(\frac{E - E_c}{W_{DA}}\right) \quad (II.1)$$

Où N_{TA} et N_{DA} expriment les densités des charges piégées sur les états de queues et les états profonds, respectivement.

W_{TA} et W_{DA} sont des paramètres dépendant de la température attribués aux densités localisées de queues, et aux densités des états profonds, respectivement.

Or, les densités des porteurs localisés sur les queues de bandes et sur les centres profonds sont des fonctions intégrales de la forme:

$$N_{TA} = \int_{E_v}^{E_c} g_{TA} f_{TA}(E, n, p) dE \quad (II.2)$$

$$N_{DA} = \int_{E_v}^{E_c} g_{DA} f_{DA}(E, n, p) dE \quad (II.3)$$

Avec f_{TA} et f_{DA} les probabilités d'occupation des états piégés de queue et de centres profonds :

$$f_{TA,DA}(E) = \frac{1}{1 + \exp(E - E_F)/KT_{TA,DA}} \quad (II.4)$$



Où T_{TA} , T_{DA} , E_F , et K représentent les températures caractéristiques relatives à ces états, le niveau de Fermi et la constante de Boltzmann, respectivement.

II.1. Densités des porteurs libres :

Comme dans le cas du silicium monocristallin, la densité n des porteurs libres au bord E_c de la bande de conduction est exprimée par la relation [61]:

$$n = N_c \exp\left(\frac{E_F - E_c}{KT}\right) \quad (II.5)$$

Où N_c est la densité d'états effective des électrons dans le polysilicium à température absolue T .

En substituant $E_F - E_c = q\Psi - E_{f0} - qV$ qui explicite la courbure de bandes et $\Phi_t = \frac{KT}{q}$, on

obtient :

$$n = n_i \exp\left(\frac{\Psi - E_{f0} - V}{\Phi_t}\right) \quad (II.6)$$

II.1.1. Densité des porteurs localisés sur la queue de bande:

Une formulation de la densité des charges piégées sur les états de queues est obtenue en intégrant dans le domaine énergétique de l'équation (II.2) [62,63]:

$$N_{TA}^- = \frac{N_T/L_g}{1 + \theta \left[\exp\left(-\frac{\Psi}{\Phi_t}\right) \right]} = g(E) \frac{\pi KT}{\sin\left(\frac{\pi KT}{E_{in}}\right)} \exp\left(\frac{E_{f0} + q\Psi - qV - E_c}{E_{in}}\right) \quad (II.7)$$

En posant $\theta = 0.5 \exp(E_T - E_i)/K$ où E_i niveau d'énergie intrinsèque, N_T la densité des pièges. Quant à E_{in} , c'est un paramètre du modèle caractérisant la pente de la densité d'états aux queues de bandes [64].

II.1.2. Densité des porteurs localisés sur les centres profonds :

Comme pour le cas de la densité des charges localisés sur les queues de bandes, la résolution intégrale de l'équation (II.3) détermine la densité des porteurs localisés sur les centres profonds de la bande de conduction E_c [64]:

$$N_{DA} = g_{DA} \frac{\pi KT}{\sin(\pi KT/E_{in})} \exp\left(\frac{E_{f0} - qV - E_c}{E_{in}}\right) \quad (II.8)$$



Rappelons que lorsqu'une tension appliquée à la grille V_G augmente progressivement, le niveau de Fermi se déplace en se rapprochant de la bande de conduction. Les états pièges sont complètement remplis, et le transistor TFT en poly-Si passe du régime dit "au dessous du seuil" au régime "au dessus du seuil". Ces deux régimes sont les plus sensibles à la densité des états de queues de bandes et les états profonds.

Tant que la tension de drain est faible $V_D < (V_G - V_T)$, le courant de drain correspondant dépendra des tensions V_D et V_G où le transistor présente un fonctionnement en régime linéaire. Dès que la tension V_D augmente, le transistor passe au régime au dessus du seuil qui n'est pas uniforme tout au long du canal. Etant donné que le courant doit rester constant afin d'assurer une conservation de la charge, une zone de pincement apparaît au niveau du drain. Le transistor fonctionne en mode de saturation.

Si la tension de drain continue à augmenter, la zone de pincement s'élargit de plus en plus jusqu'à ce que le courant de drain résultant ne dépende plus que de cette tension où l'effet kink apparaît, cet effet fera l'objet du prochain chapitre. Notons que la zone de pincement demeure plus petite par rapport à la longueur du canal.

II.2. Régime au dessous du seuil :

Lorsque le transistor fonctionne en régime au dessous du seuil, le niveau de Fermi se rapproche des états profonds [65]. La densité de charge totale est fonction uniquement de celle des charges profondes qui sera approximée à :

$$Q_n \cong -qN_{DA}(\Psi(y) - \Psi_B) \quad (II.9)$$

Où $\Psi(y)$ et Ψ_B sont les potentiels déterminés en un point y de la profondeur maximale du matériau polysilicium. Cette approximation nous permet de déduire le profil du champ électrostatique dans le semi-conducteur par la résolution de l'équation de Poisson.

Considérons l'équation de Poisson moyennant quelques approximations [54] :

$$\frac{d^2\Psi}{dy^2} \approx \frac{q^2N_{DA}\Psi}{\epsilon_{si}} \quad (II.10)$$

De la résolution de l'équation (II.10) découle le potentiel qui dépend de la densité de charges localisées aux centres profonds dont l'expression est fonction de la position du niveau de Fermi, donc du potentiel de grille appliqué, et par conséquent du régime de



fonctionnement du transistor. La relation qui relie le potentiel de surface à ces paramètres est donnée par [65,66] :

$$V_G - V_{fb} - \Psi_s = \frac{\sqrt{2q\epsilon_{si}}}{C_{ox}} \left[N_{DA} E_{in} \left[\exp\left(\frac{q\Psi_s}{E_{in}}\right) - 1 \right] \right]^{1/2} \quad (II.11)$$

La charge totale des pièges est exprimée par :

$$Q_t = -(\psi(0) - \psi_s) - \frac{KT\epsilon_{si}N_C \exp\left(-\frac{q}{KT}\Psi_B + \frac{q}{KT}\psi(0) - \frac{q}{KT}\psi_s\right)}{\sqrt{q^2\epsilon_{si}N_{DA}}(\psi(0) - \psi_s)} \quad (II.12)$$

Sachant que la charge de conduction localisée sur les queues des bandes est exprimée par $-\frac{KT}{q}(\psi(0) - \psi_s)$, nous déduisons la charge de conduction liée à la densité d'états des pièges liés aux centres profonds, dont l'expression est :

$$Q_n = -\frac{q\epsilon_{si}N_C \exp(-\Psi_B + \psi(0) - \psi_s)}{\sqrt{q^2\epsilon_{si}N_{DA}}(\psi(0) - \psi_s)} \quad (II.13)$$

Etant donné que le courant de drain I_D résultant est un courant de conduction constant au long du canal, on a :

$$I_D = \mu_n \frac{W}{L} \int_0^L (Q_n(x) \frac{d\psi_s}{dx}) dx = \mu_n \frac{W}{L} \int_{\psi_{s0}}^{\psi_{sL}} Q_n d\psi_s \quad (II.14)$$

En combinant les équations (II. 11), (II.12) et (II.13), nous obtenons une forme simplifiée du courant de drain dans le régime au dessous du seuil [67,68] :

$$I_{Sub} = \frac{W}{L} C_{ox} \mu_n \Phi_t^2 \exp\left(\frac{q(V_{GS} - V_{f0})}{\delta KT}\right) \left[1 - \exp\left(\frac{-qV_{DS}}{\delta KT}\right) \right] \quad (II.15)$$

Il faut noter que δ est un paramètre qui dépend de la densité d'états profonds N_{DA} [68]. De cette caractéristique électrique, il nous est facile de déterminer la pente sous le seuil S_{Sub} estimée par :

$$S_{Sub} = \frac{\delta KT}{q \log_{10}[\exp(1)]} = \frac{\delta KT}{0.43q} \quad (II.16)$$

Nous obtenons une pente sous le seuil qui dépend linéairement de la température de fonctionnement, ce résultat est prévu par la littérature [70].



II.3. Régime au dessus du seuil :

Dans ce régime, le niveau de Fermi se déplace dans la région des états de queue au bord de la bande de conduction [55]. La densité de charge de conduction est réduite à :

$$Q_n \approx \int_{E_V}^{E_C} q f(E) N_{TA} \exp\left(\frac{E - E_C}{KT}\right) dE \quad (II.17)$$

Reprenons l'expression générale du courant de drain qui est [71]:

$$I_D = I_{drift} + I_{diff} = \mu_n Q_{inv} W \frac{d\Psi_s}{dx} + \mu_n W \Phi_t \frac{dQ_{inv}}{dx} \quad (II.18)$$

La charge en régime d'inversion en fonction de la charge totale est donnée par [71,72] :

$$Q_{inv} = q \int_0^{\infty} n(x, y) dy = -C_{ox} (V_G - V_T - V_i) = 0.8 Q_n \quad (II.19.a)$$

$$\text{Avec } Q_n = Q_{inv} + Q_t \quad (II.19.b)$$

Où Q_t est la charge totale des pièges présents aux joints de grains, V_i est le potentiel appliqué au $i^{\text{ème}}$ grain du polysilicium. Sachant que la concentration des porteurs dans le canal, on a [73] :

$$N_{eff} = N_A + 2N_{TA}^- / L_{GB} \quad (II.20)$$

Où N_{eff} est la concentration effective des porteurs dans le canal

Par ailleurs, lorsque la tension de grille V_G est suffisamment élevée où tous les centres pièges sont remplis, le TFT en poly-Si fonctionne alors en régime de forte inversion. On parle de forte inversion lorsque la densité de charge mobile dans la couche d'inversion est nettement supérieure à la densité de charge fixe dans le canal.

Ainsi, la charge d'inversion au niveau du joint de grain est une fonction du potentiel de surface et de la charge d'inversion localisée dans le grain de telle sorte que [74] :

$$Q_{invGB} = \exp\left(\frac{-\Psi_s}{\Phi_t}\right) Q_{invG} \quad (II.21)$$

Lorsqu'on augmente la tension de grille V_G , les porteurs libres contribuent à la conduction du canal. Le fonctionnement du transistor est similaire à celui du MOSFET en régime d'inversion qui dépend uniquement du courant de conduction en fonction du potentiel de surface, dont l'expression se réduit à [74]:



$$I_{Dinv} = \mu_n C_{ox} \frac{W}{L} [(V_G - V_{f0})(\Psi_{SL} - \Psi_{S0})] - \frac{1}{2} (\Psi_{SL}^2 - \Psi_{S0}^2) \quad (II.22)$$

Où Ψ_{SL} et Ψ_{S0} représentent les potentiels de surface appliqués au drain et à la source, respectivement.

En combinant les expressions nécessaires au calcul du courant de drain, nous obtenons une formulation globale du mode de fonctionnement du régime linéaire jusqu'au mode de saturation, où l'effet kink qui apparaît fera l'objet d'une étude détaillée au chapitre suivant.

Par conséquent, le courant de drain est tel que [75] :

$$I_D = \begin{cases} \frac{W}{L} C_{OX} \mu_n f(V_D) & \text{Si } V_D < V_{Dsat} \\ \frac{W}{L} C_{OX} \mu_n f(V_{Dsat}) + I_{kink} & \text{Si } V_D \geq V_{Dsat} \end{cases} \quad (II.23)$$

La résolution de cette équation sera traitée au chapitre III car elle fait appel à une résolution numérique appropriée.

CONCLUSION :

Dans ce chapitre nous avons exploité les propriétés physiques et électroniques du polysilicium utilisé comme matériau de base pour l'élaboration d'un modèle analytique simplifié du TFT fonctionnant dans les deux régimes allant du régime d'au dessous du seuil jusqu'au régime qui apparaît au dessus du seuil.

De ce fait, nous avons présenté les différents types de charges et leur contribution à la densité des porteurs localisés sur les queues de bandes et sur les centres profonds. La densité d'états dans le gap du matériau polysilicium a été modélisée en supposant une distribution exponentielle, aussi bien pour les états profonds que les états de queue.

Cette analyse a permis la détermination de la variation du potentiel électrostatique dans la structure, en fonction des densités de ces charges. D'où une formulation du courant de drain pour les deux régimes de fonctionnement du transistor (du régime linéaire jusqu'au régime de saturation).

Ainsi, il nous a été possible de montrer que les états localisés profonds jouent un rôle prédominant en régime au dessous du seuil, alors que le comportement du transistor TFT



en poly-Si en régime au dessus du seuil est gouverné par les états localisés dits états de "queues" de bandes.

Cette étude contribuera largement dans l'élaboration du modèle analytique global (chapitre III) vu que les équations obtenues du courant de drain suggèrent une dépendance de ces caractéristiques vis-à-vis des tensions externes, ce qui est similaire au cas du transistor en silicium monocristallin.



Chapitre 3

*Modélisation Electrique du transistor en
couche mince à base de silicium polycristallin*

INTRODUCTION :

La modélisation tout en maintenant une cohérence avec le sens physique des phénomènes est un défi permanent en raison de l'évolution incessante de la technologie de pointe à semi-conducteur (MOS, CMOS..). Elle constitue l'étape essentielle pour la conception et la simulation des circuits analogiques à base de composants MOS en particulier, avant tout procédé de fabrication. Il est donc important qu'il y ait un compromis entre la technologie de réalisation à semi-conducteur et l'élaboration de modèles de composants. De ce fait, les modèles élaborés de transistors devraient décrire le comportement du composant en termes de caractéristiques électriques, principalement courant-tension ainsi que les mécanismes de transport des porteurs dans le dispositif dans tous les régimes de leur fonctionnement. Dans le cas du transistor MOS, le modèle devrait être valide du régime de l'accumulation jusqu'au régime d'inversion.

On distingue deux principaux types de modèles : les modèles physiques et les modèles compacts destinés à la simulation de circuits équivalents. La première catégorie, qui se base sur des équations complexes et couplées de la physique du semi-conducteur, est utilisée pour prédire les caractéristiques électriques du transistor. Elle associe donc des méthodes numériques performantes qui nécessitent des temps de calculs importants. Seulement, les formulations analytiques sont généralement limitées à un domaine restreint du fonctionnement. En dépit de cette limitation, ce sont les modèles compacts qui sont le plus souvent employés pour la simulation de circuits électriques équivalents.

En conséquence, un modèle idéal devrait avoir une structure simple, un temps efficace de calcul, et un nombre minimum de paramètres physiques et géométriques. Ainsi, il est important de mettre au maximum en exergue le trait d'union paramètres technologiques-équations du modèle.

Ce troisième chapitre porte sur la modélisation d'un transistor en couche mince à base de polysilicium élaboré par procédé L.P.C.V.D (Low Pressure Chemical Vapor Deposition) ou TFT en poly-Si.

L'étude des modèles déjà existants, tout en considérant leurs limitations, nous permettra de développer un modèle de TFT poly-Si ayant un rapport efficacité/simplicité élevé. Le modèle, ainsi élaboré visera à relier la mobilité des porteurs et la hauteur de barrière de potentiel à la densité des pièges présente aux joints de grains et à la tension de grille appliquée.



Les résultats de cette étude seront représentés par la simulation du comportement électrique du composant en question, au moyen d'une résolution analytique appropriée qui nous permettra d'obtenir un ensemble de tracés illustrant l'évolution des caractéristiques courant- tensions (qui feront l'objet du prochain chapitre regroupant les résultats et discussions).

I. Présentation des principaux modèles des transistors en couche mince en polysilicium :

Il faut appréhender la complexité et la diversité des modèles élaborés jusqu'à nos jours. Différentes approches de modélisation du transistor en couche mince en polysilicium ou TFTs poly-Si sont actuellement utilisées dans la littérature. La catégorie de modèles la plus répandue est de type analytique plus ou moins basée sur la physique du transistor dont le degré d'empirisme est variable. Une autre catégorie de modèles physiques traite l'aspect numérique, offrant une grande précision de calcul au détriment de l'avantage que représente une formulation analytique. Seulement, ce type de modèle engendre un temps de calcul additionnel comparé aux modèles analytiques.

Cependant, un certain nombre d'approches et de restrictions simplificatrices est nécessaire pour entamer l'aspect de modélisation.

En effet, G.Yang et al moyennant des approximations empiriques ont pu développer un modèle qui tient compte de la présence de la densité des états pièges aux joints de grains [75], alors que G.Fortunato et al ont introduit dans leur modèle de TFT en poly-Si l'effet d'un canal court sur les caractéristiques électriques de sortie [95]. Quant à Siddiqui et al leur modélisation en feuille de charge s'est caractérisée par une approche analytique qui tient compte de l'effet du potentiel en surface en fonction de la densité de cette charge [77]. Il convient de se rappeler que la région du canal est confinée dans une couche mince (de l'ordre 50 à 100 nm). Négliger l'épaisseur de cette couche est donc une très bonne approximation d'où la supposition d'une épaisseur pratiquement nulle (simplement une feuille de charge) de telle sorte qu'aucune chute de potentiel ne se produise au travers d'elle.

Suite à l'utilisation du silicium polycristallin dans la réalisation des composants et dans les circuits intégrés, un besoin inéluctable de comprendre ses propriétés électriques s'est fait sentir par un développement de modèles, comme celui de Kamins, Seto et Baccarani qui ont suggéré un modèle de pièges aux joints de grains responsables de la formation d'une



barrière de potentiel [42,78,79]. Une expression analytique de cette hauteur de barrière en fonction de la concentration des donneurs et de la densité des pièges a été développée.

C'est dans ce contexte que s'inscrit cette étude. Il s'agit d'élaborer un modèle qui décrit les propriétés du transistor ainsi que les phénomènes physiques représentatifs du polysilicium. L'analyse menée sera au début générale puis englobera quelques hypothèses faites sur l'épaisseur de la couche et sur la présence éventuelle de porteurs libres dans cette couche.

II. Formulation du modèle analytique d'un TFT en poly-Si :

II.1. Choix du modèle et hypothèses considérées :

Le modèle de barrière de potentiel aux joints de grains repose sur le fait que le désordre dans les régions inter-granulaires induit la formation de pièges de porteurs électriquement actifs, et créent à leur tour une barrière de potentiel (voir Fig.III.1). Il s'agit d'élaborer un modèle de barrière de potentiel qui tient compte des états pièges présents aux joints de grains, en se basant sur celui développé par Kamins puis repris par Seto et Levinson [42, 78].

Dans l'hypothèse d'un matériau polysilicium à structure granulaire colonnaire, formé de grains de taille identique L_g (cm), de joints de grains d'épaisseur négligeable par rapport à la taille du grain et une densité de pièges N_T mono-énergétique, localisés par une énergie E_T dans la bande interdite, le problème peut être ramené à la résolution de l'équation de Poisson à une dimension.

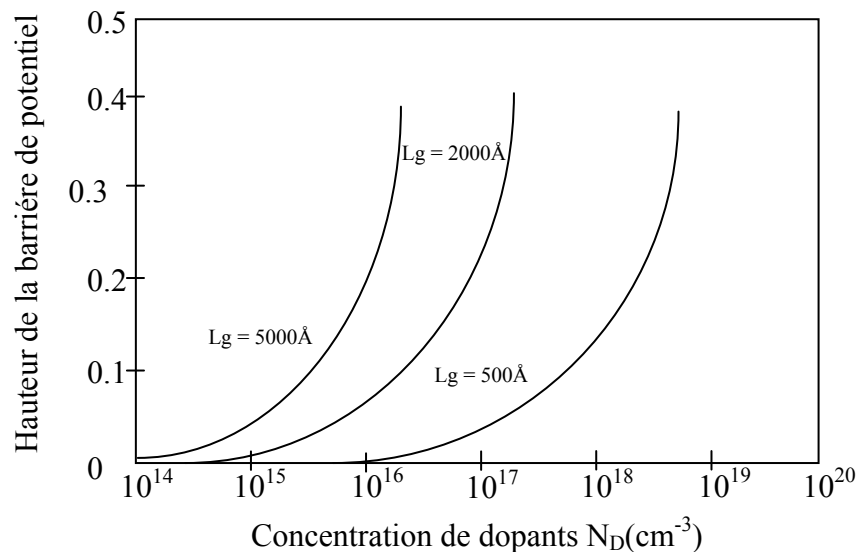


Fig.III.1. Variation de la barrière de potentiel avec la concentration de dopants pour diverses valeurs de la taille des grains [79]

Dans le cas d'un film de polysilicium dopé N_D avec une concentration d'impuretés N_d^* électriquement et totalement activées (non piégées), deux possibilités peuvent avoir lieu:

- $N_D < N_d^*$: les cristallites sont complètement désertées et les pièges totalement ou partiellement occupés, la conductivité σ et la barrière d'énergie Ψ_B aux joints de grains ont alors pour expression [78] :

$$\sigma = \left(\frac{q^2 l_g^2 N_c N_D v_c}{2KT(N_t - l_g N_D)} \right) \exp\left(-\frac{1/2 E_g - E_t}{KT} \right) \quad (\text{III.1})$$

$$\Psi_B = q^2 l_g^2 N_D / 8\epsilon_{SI} \quad (\text{III.2})$$

Avec N_C la densité effective d'états dans la bande de conduction, E_g est le gap du Si, et $v_c = \sqrt{\frac{KT}{2\pi m^*}}$. Tous les niveaux énergétiques sont mesurés à partir du niveau de Fermi intrinsèque dans les grains.

- $N_D > N_d^*$: les grains sont partiellement désertés et les pièges aux joints de grains complètement remplis.

Dans la mesure où le niveau de Fermi est au dessus du niveau de pièges E_T dans la région de joints de grains, la conductivité est de la forme suivant :

$$\sigma = \left(q^2 l_g n_0 v_c / KT \right) \exp\left(\frac{-\Psi_B}{KT} \right) \quad (\text{III.3})$$

Avec la hauteur de la barrière de potentielle $\Psi_B \cong q^2 N_T^2 / 8\epsilon_{SI} N_D$, n_0 la concentration des électrons dans la région neutre du grain ou centre du grain.

Le modèle développé par Seto est adéquat pour des petits grains de taille inférieure à 600 Å, au-delà de cette valeur, la hauteur de la barrière de potentiel donnée par l'équation III.2 devient aberrante [42].

En décrivant le cas où les grains sont partiellement désertés et les pièges aux joints de grains partiellement remplis, Baccarani [79] distingue deux situations lorsque $N_D > N_D^*$:

$$\psi_B \cong q^2 N_T^2 / 8\epsilon_{Si} N_D \quad \text{Si } E_f - E_T - E_b \gg KT$$

$$\psi_B \cong \frac{E_g}{2} - E_T + KT \ln \left\{ q \frac{N_T}{N_c} \sqrt{\frac{N_D}{2\epsilon_{Si} \psi_B}} \right\} \quad \text{Si } \psi_B + E_T - E_f \gg KT \quad (III.4)$$

D’où une hauteur de barrière d’autant plus importante que la taille des grains est élevée comme il est possible de le voir sur la figure III.1 [79].

II.2. Mise en équation du modèle statique courant-tension:

La structure typique du transistor TFT en poly-Si à canal N, ainsi que les conventions d’axes et de notations relatives à chaque grandeur géométrique et à la polarisation sont représentées sur la figure III.2.

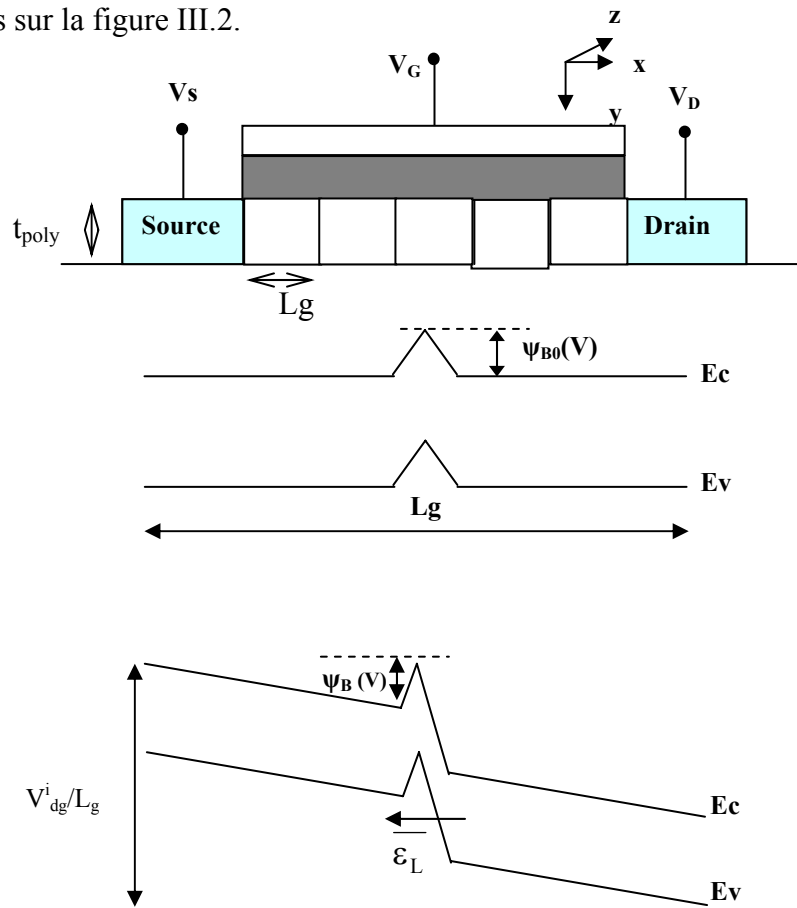


Fig.III.2. Structure d’un transistor TFT en poly-Si à canal N [75]

Rappelons que dans l'approximation G.Yang et al en régime de forte inversion [75], le courant de drain résultant est dominé par le courant de conduction. L'expression de ce courant en fonction de la tension obéit donc à l'approximation du canal graduel ($\partial^2 \psi_B / \partial x^2 \ll \partial^2 \psi_B / \partial y^2$). Etant donné que l'épaisseur de la couche active est faible, il est possible d'approximer le champ électrique E qui règne dans cette zone au niveau du $i^{\text{ème}}$ grain par V_{dg}^i / L_g .

A une dimension l'expression qui relie la densité du courant à la concentration des porteurs libres dans le canal est telle que [79,80]:

$$\frac{dn}{dt} - \frac{1}{q} \text{div } J_n = -U_n \text{ avec } dt = \frac{dx_n}{\mu_n E}, \text{ et } E = V_{dg}^i / L_g \quad (\text{III.5})$$

où n , J_n sont la concentration des porteurs libres et la densité du courant d'électrons.

La densité de courant est aisément exprimée en fonction de la hauteur de barrière Ψ_B , de la mobilité μ_n et de la concentration des porteurs dans la couche d'inversion n_{inv} au niveau du $i^{\text{ème}}$ grain par [81]:

$$J_i = q n_{inv} \exp(-\beta \Psi_B(V_i)) \mu_n \cdot \frac{V_{dg}^i}{L_g} \quad (\text{III.6})$$

Où L_g représente la taille du grain et $\beta = q/KT$

On en déduit le courant I_i relative au $i^{\text{ème}}$ grain dont l'expression est :

$$I_i = J_i \cdot W \cdot y_{inv} = q \mu_n n_{inv} \exp(-\beta \Psi_B(V_i)) \frac{V_{dg}^i}{L_g} \cdot W \cdot y_{inv} \quad (\text{III.7})$$

Où W et y_{inv} représentent la largeur et la profondeur du canal en forte inversion.

Une expression qui pourrait approcher l'équation (III.7), et qui sera favorable aux calculs analytiques de la densité de charge des porteurs libres $Q_n(V_i)$ en fonction de la tension appliquée au $i^{\text{ème}}$ grain, et de la concentration n_{inv} de telle sorte que [82,84] :

$$n_{inv} = \frac{Cox (V_G - V_T - V_i)}{q y_{inv}} \text{ et } Q_n(V_i) = -Cox (V_G - V_T - V_i) \quad (\text{III.7.a})$$

$$I_i = -W \mu_n Q_n(V_i) \exp(-\beta \Psi_B(V_i)) V_{dg}^i L_g^{-1} \quad (\text{III.7.b})$$

Or, le calcul de y_{inv} fait appel à la résolution de l'équation de Poisson donnée par [83] :

$$\frac{\partial^2 \psi}{\partial y^2} = -\frac{q}{\epsilon_{Si}} (N_D^+ - N_A^- + p - n) \quad (\text{III.8})$$



Avec $N_D^+ - N_A^- = n_{p0} - p_{p0}$, et $p_{p0} = N_A$ où N_D^+ , N_A^- sont les concentrations de donneurs, d'accepteurs ionisées.

Sachant que $P = p_{p0} \exp(-\beta\psi)$, $n = n_{p0} \exp(\beta\psi)$, l'expression (III.8) devient :

$$\frac{\partial^2 \psi}{\partial y^2} = -\frac{q}{\epsilon_{Si}} [p_{p0} (\exp(-\beta\psi) - 1) - n_{p0} (\exp(\beta\psi) - 1)] \quad (III.9)$$

Puisque le champ dérive du potentiel $E = -\frac{d\psi}{dy}$, l'expression (III.9) se met sous la forme :

$$\frac{\partial \left(\frac{\partial \psi}{\partial y} \right)}{\partial y} = -\frac{q}{\epsilon_{Si}} [p_{p0} (\exp(-\beta\psi) - 1) - n_{p0} (\exp(\beta\psi) - 1)] \quad (III.9(a))$$

$$\frac{\partial E}{\partial y} = \frac{q}{\epsilon_{Si}} [p_{p0} (\exp(-\beta\psi) - 1) - n_{p0} (\exp(\beta\psi) - 1)] \quad (III.9(b))$$

Par intégration de l'équation précédente, le champ électrique est tel que:

$$\int_{E_{Tpoly}}^E EdE = -\frac{q}{\epsilon_{Si}} \int_{\psi_{Tpoly}}^{\psi_B} (p_{p0} (\exp(-\beta\psi) - 1) - n_{p0} (\exp(\beta\psi) - 1)) d\psi \quad (III.9(c))$$

$$\frac{1}{2} (E^2 - E_{Tpoly}^2) = \frac{qp_{p0}}{\beta\epsilon_{Si}} \left[\left(\exp(-\beta\psi_B) + \beta\psi_B - \exp(-\beta\psi_{Tpoly}) - \beta\psi_{Tpoly} \right) + \left(\frac{n_{p0}}{p_{p0}} \left(\exp(\beta\psi_B) - \beta\psi_B - \exp(\beta\psi_{Tpoly}) + \beta\psi_{Tpoly} \right) \right) \right] \quad (III.10)$$

où E_{Tpoly} et ψ_{Tpoly} sont le champ électrique et le potentiel dans la couche du poly-Si respectivement. Sous les conditions aux limites aux frontières de cette couche $E_{Tpoly} \approx 0$ et $\psi_{Tpoly} \approx 0$, l'équation (III.10) peut être approchée à la forme :

$$E = \sqrt{\frac{2qn_{p0}}{\beta\epsilon_{Si}}} \exp\left(\frac{\beta\psi_B}{2}\right) \quad (III.11)$$

En considérant que la densité de charge des porteurs libres a pour expression [84] :

$$q \int_0^{y_{inv}} n(y) dy = 0.8 Q_{inv} \quad (III.12)$$

Avec $Q_{inv} = C_{ox} (V_G - V_{T0})$

A partir des deux équations (III.11) et (III.12), il est possible de déterminer le potentiel de surface ψ_S , tenant compte des expressions intermédiaires:

$$n(y) = n_{p0} \exp(\beta\psi) \quad \text{et} \quad dy = -\frac{d\psi}{E} \quad \Rightarrow \quad -q \int_0^{\psi_S} \frac{n_{p0}}{E} \exp(\beta\psi) = 0.8 Q_n \quad (III.13)$$

$$\psi_S = \frac{2K T}{q} \ln \left\{ \frac{0.8 C_{ox} \sqrt{N_A}}{n_i \sqrt{2 \epsilon_{Si} K T}} (V_G - V_T) \right\}$$

Notons que V_G et V_T représentent les tensions de grille et de seuil, respectivement.

Si nous supposons que la charge d'inversion demeure constante, le potentiel de surface sera approximé tout au long du canal de telle manière :

$$\psi_S \cong \frac{q n_{inv} y_{inv}^2}{2 \epsilon_{Si}} + 2 \frac{K T}{q} \ln \left(\frac{N_A}{n_i} \right) \quad (III.14)$$

Finalement, par substitution dans les équations (III.7 (a)) et (III.14) la profondeur de la couche d'inversion se déduit par [84,85] :

$$y_{inv} = \frac{4 \epsilon_{Si} K T}{q C_{ox} (V_G - V_T)} \ln \left\{ \frac{0.8 C_{ox}}{\sqrt{2 K T \epsilon_{Si} N_A}} (V_G - V_T) \right\} \quad (III.15)$$

Par ailleurs, sous l'effet de l'application d'un champ électrique latéral $\bar{\epsilon}_L$, la hauteur de barrière de potentiel relative au $i^{\text{ème}}$ grain est exprimée de façon analytique, en fonction de la profondeur d'inversion y_{inv} et de la densité des pièges ionisés N_t^* . Moyennant certaines approximations, cette barrière de potentiel peut être écrite :

$$\psi_B(V_i) = \frac{N_t^*}{2 n_{inv}} \left(\frac{q \cdot N_t^*}{8 \epsilon_{Si}} - \frac{\bar{\epsilon}_L}{2} \right) = \frac{N_t^* q y_{inv}}{C_{ox} (V_{GS} - V_{To} - V_i)} \left(\frac{q \cdot N_t^*}{8 \epsilon_{Si}} - \frac{\bar{\epsilon}_L}{2} \right) \quad (III.16.a)$$

$$\psi_B(V_i) = \frac{y_{inv} q \left(q \cdot N_t^{*2} - 4 N_t^* \bar{\epsilon}_L \epsilon_{Si} \right)}{8 \epsilon_{Si} (V_{GS} - V_{To} - V_i)} \quad (III.16.b)$$



Remarquons que la concentration des porteurs ionisés dans la couche d'inversion est donnée par :

$$N_T^* = \frac{N_T}{1 + 0,5 \exp\left(\frac{E_T - E_{fn}}{KT}\right)} \quad (\text{III.17.a})$$

$$N_T = N_{TA} + N_{DA} \quad (\text{III.17.b})$$

Où N_T , N_{TA} , N_{DA} , E_T , et E_{fn} expriment la concentration des porteurs pièges présente aux joints de grains, la concentration des pièges localisés sur les queues de bande, la concentration des pièges localisés sur les centres profonds, le niveau d'énergie piège et le niveau de Fermi, respectivement.

2.1. Expression générale du courant de drain :

Etant donné que le courant de drain I_D est constant tout au long du canal, son expression se met aisément sous la forme:

$$I_D = \frac{-W}{L} \cdot \mu_n \cdot \int_0^{V_D} \exp(-\beta \psi_B(V_i)) Q_{inv}(V_i) dV_i \quad (\text{III.18})$$

En substituant l'expression (III.7 (a)) de la densité de charge des porteurs libres dans celle du courant de drain donné par l'équation (III.18), celui-ci devient :

$$I_D = \frac{w}{L} \mu_n C_{OX} \int_0^{V_D} \exp(-\beta \psi_B(V_i)) (V_G - V_T - V_i) dV_i \quad (\text{III.19})$$

Où W et L expriment la largeur et la longueur du canal du TFT en poly-Si.

Dans notre modèle de TFT poly-Si, nous avons normalisé la longueur du canal de telle sorte que [80] :

$$L = n L_g + n L_{gb} \quad (\text{III.20})$$

Sachant que la valeur moyenne du nombre n des grains présents dans le canal est approximé à $n=L/L_g$, une formulation du courant de drain du régime linéaire au régime de saturation donne lieu à [80] :

$$I_D = \begin{cases} \frac{w}{L} C_{OX} \mu_n f(V_D) & \text{Si } V_D < V_{Dsat} \\ \frac{w}{L} C_{OX} \mu_n f(V_{DSat}) + I_{kink} & \text{Si } V_D \geq V_{Dsat} \end{cases} \quad (\text{III.21})$$



Où l'effet kink est modélisé par un courant I_{kink} que nous traiterons dans un prochain paragraphe, alors que la tension de drain V_D est une fonction intégrale établie comme suit:

$$f(V_i) = \int_0^{V_i} \exp\left(-\frac{q}{KT} \psi_B(V_i)\right) (V_G - V_T - V_i) dV_i \quad (\text{III.22})$$

L'intégration de l'équation (III.21) fait appel à une résolution numérique moyennant la méthode de Simpson.

II.2.2. Méthode de résolution numérique du courant de drain:

En analyse numérique, la méthode de Simpson est une technique approchée de calcul numérique d'une intégrale de type:

$$\int_a^b f(x) dx \quad (\text{III.23})$$

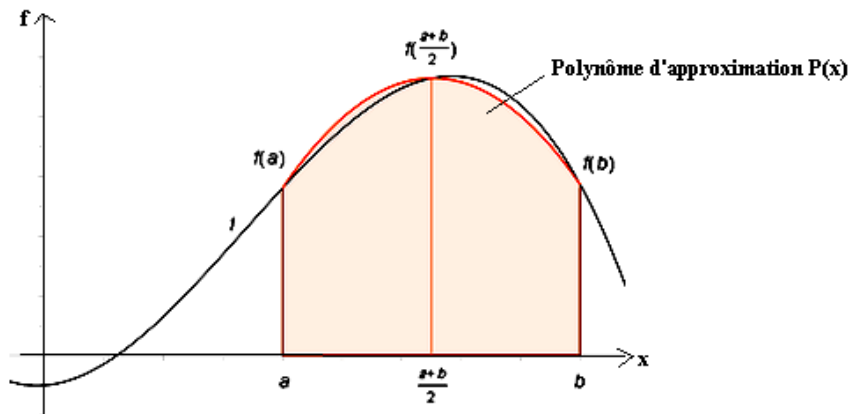
Cette méthode utilise l'approximation d'ordre 2 de f par un polynôme quadratique P prenant les mêmes valeurs que f aux points d'abscisse a , b et $m = (a+b)/2$. Pour déterminer l'expression de cette parabole (polynôme de degré 2), on utilise l'interpolation lagrangienne. Le résultat peut être mis sous la forme [85] :

$$P(x) = f(a) \frac{(x-m)(x-b)}{(a-m)(a-b)} + f(m) \frac{(x-a)(x-b)}{(m-a)(m-b)} + f(b) \frac{(x-a)(x-m)}{(b-a)(b-m)} \quad (\text{III.24})$$

Un polynôme étant une fonction très facile à intégrer, on approche l'intégrale de la fonction f sur l'intervalle $[a,b]$, par l'intégrale de P sur ce même intervalle, on obtient [85]:

$$\int_a^b f(x) dx \cong \int_a^b P(x) dx = \frac{b-a}{6} \left[f(a) + 4f\left(\frac{a+b}{2}\right) + f(b) \right] \quad (\text{III.25})$$





Si f est 4 fois continûment différentiable sur $[a, b]$, l'erreur d'approximation vaut :

$$E(f) = -\frac{h^5}{90} f^{(4)}(\xi), \xi \in [a, b] \quad \text{où } h = \frac{b-a}{2}$$

Cette expression du terme d'erreur signifie que la méthode de Simpson est exacte (c'est-à-dire que le terme d'erreur s'annule) pour tout polynôme de degré inférieur ou égal à 3. De plus, cette méthode est d'ordre 4 pour toute fonction 4 fois continûment dérivable sur $[a, b]$.

Appliquons l'approche d'intégration numérique de Simpson pour la détermination du courant de drain obtenu par la formulation de l'équation (III.21).

Sachant que $a = 0$, $b = V_D$, en substituant a et b par leur valeurs dans l'expression (III.22) tels que :

$$f(V_D) = \int_0^{V_D} \exp(-\beta \psi_B(V_i))(V_G - V_T - V_i) dV_i \cong \frac{b-a}{2} \left[g(a) + 4g\left(\frac{b+a}{2}\right) + g(b) \right]$$

Notons par $g(V_i) = \exp(-\beta \psi_B(V_i))(V_{GS} - V_T - V_i)$ où

$$g(0) = \exp(-\beta \psi_B(0))(V_G - V_T)$$

$$g\left(\frac{V_D}{2}\right) = \exp\left(-\beta \psi_B\left(\frac{V_D}{2}\right)\right)\left(V_G - V_T - \frac{V_D}{2}\right)$$

$$g(V_D) = \exp(-\beta \psi_B(V_D))(V_G - V_T - V_D)$$

$$\text{Rappelons que } \psi_B(V_i) = \frac{y_{inv} q \left(q N_T^{*2} - 4 N_T^* \bar{\epsilon}_L \epsilon_{Si} \right)}{8 \epsilon_{Si} C_{ox} (V_G - V_T - V_i)} = \frac{\lambda}{(V_{GS} - V_{T0} - V_i)}$$

$$\text{Avec } \lambda = \frac{y_{\text{inv}} q \left(q \cdot N_t^{*2} - 4 N_t^* \bar{\epsilon}_L \epsilon_{\text{Si}} \right)}{8 \epsilon_{\text{Si}}}$$

$$\psi_B(0) = \frac{\lambda}{(V_G - V_T)}; \psi_B\left(\frac{V_D}{2}\right) = \frac{\lambda}{\left(V_G - V_T - \frac{V_D}{2}\right)}; \psi_B(V_D) = \frac{\lambda}{(V_G - V_T - V_D)}$$

Nous déduisons l'expression finale du courant de drain approximé par l'approche d'intégration numérique de Simpson lorsque $V_{DS} \leq V_{DSAT}$ [80,85]:

$$I_{\text{Dapp}} = \frac{W}{L} \mu_n C_{\text{ox}} \cdot \frac{V_D}{6} \left[g(0) + 4g\left(\frac{V_D}{2}\right) + g(V_D) \right] \quad (\text{III.26.a})$$

$$I_{\text{Dapp}} = \frac{W}{L} \mu_n C_{\text{ox}} \cdot \frac{V_D}{6} \left[\exp(-\beta \psi_B(0))(V_G - V_T) + 4 \exp\left(-\beta \psi_B\left(\frac{V_D}{2}\right)\right) \left(V_G - V_T - \frac{V_D}{2}\right) + \exp(-\beta \psi_B(V_D))(V_G - V_T - V_D) \right] \quad (\text{III.26.b})$$

II.2.3. Modélisation analytique de l'effet kink:

Rappelons que l'introduction du phénomène d'ionisation par impact dans notre modèle analytique, donne lieu à l'apparition d'une tension de claquage de la jonction de drain et d'un courant élevé circulant vers le contact de substrat à partir de cette jonction où se produit la multiplication des porteurs. On observe, donc un effet qu'on appelle "kink" caractérisé par une augmentation brutale du courant de drain en fonction de la tension de drain.

Au cours de l'élaboration du modèle analytique courant-tension adapté au transistor TFT à petits grains, nous avons tenu compte de l'apparition de ce phénomène et de son influence sur les caractéristiques électriques du composant en question, pour différentes valeurs de V_D , V_{GS} tout en considérant l'effet de la variation des dimensions du canal (largeur et longueur).

En outre, une formulation du courant de drain en régime de saturation au-delà du régime linéaire donne [80,86,87]:



$$I_D = \frac{w}{L} \mu_n C_{ox} \left[\int_0^{V_{DSAT}} \exp(-\beta \Psi_B(V_i)) \cdot (V_G - V_T - V_i) dV_i + (V_G - V_T - V_{DSAT}) \cdot \exp(-\beta \Psi_B(V_{DSAT})) \cdot (V_D - V_{DSAT}) (1 + K_n \alpha_{sat} \cdot \exp(-B_n \bar{\epsilon} L)) \right] \quad (III.27)$$

Cependant, lorsque la tension V_D devient plus élevée, le champ à l'interface drain-grille est alors très fort. On observe l'effet kink qui n'apparaît que lorsque $V_D > V_{DSAT}$ et sera pratiquement indécélable dès que $V_D \leq V_{DSAT}$.

Ainsi, pour $V_D > V_{DSAT}$ le courant de drain sera approximé tout au long du canal, et en utilisant la méthode de SIMPSON se réduit à [80,85]:

$$I_{D,app} = \frac{W}{L} C_{ox} \mu_n \left\{ \frac{V_D}{6} \left[\exp(-\beta \Psi_B(0))(V_G - V_T) + 4 \exp\left(-\beta \Psi_B\left(\frac{V_{DSAT}}{2}\right)\right) \left(V_G - V_T - \frac{V_{DSAT}}{2}\right) \right] + \exp(-\beta \Psi_B(V_{DSAT}))(V_G - V_T - V_{DSAT}) \right\} \quad (III.28.a)$$

+ I_{kink}

$$I_{kink} = \frac{W}{L} C_{ox} n_K \mu_n (V_G - V_T - V_{DSAT}) (1 + K \alpha_{sat} \exp(B_n / \bar{\epsilon} L)) \exp(-\beta \Psi_B(V_{SAT})) (V_D - V_{DSAT}) \quad (III.28.b)$$

Où n_K est un paramètre du modèle, quant à $K = 0.048$ S/cm, $B_n = 1.3$ V/cm, $\alpha_{SAT} = 10^7$ cm/s représentent respectivement le facteur d'impact d'ionisation, le paramètre exponentiel d'impact d'ionisation, et la vitesse des porteurs en régime de saturation [75,80].

II.2.4. Analyse de la mobilité d'effet de champ d'un TFT poly-Si :

Un des paramètres électriques qui affecte considérablement le fonctionnement du composant est la mobilité à effet de champ. Il serait intéressant d'analyser ce paramètre, du régime linéaire au régime de saturation où nous observons l'effet kink.

La mobilité définie comme étant le rapport entre la vitesse des électrons libres et le champ électrique qui véhicule ses porteurs libres de telle sorte que $\mu_n = \frac{V_n}{E}$. Or, la vitesse des porteurs et le champ électrique peuvent être approximés de telle manière à avoir [80,87] :

$$V_n = \alpha_{sat} \text{ et } E = \sqrt{\left(\frac{\varepsilon_c}{2}\right)^2 + \left(\frac{\varepsilon_L}{2}\right)^2} \quad (III.29)$$

Où ε_c représente le champ électrique critique en régime de saturation

Dans ce cas, la mobilité des porteurs se met sous la forme [87,88]:

$$\mu_n = \frac{\alpha_{sat}}{\sqrt{\frac{\varepsilon_c^2}{4} + \frac{\varepsilon_L^2}{4}}} = \frac{\alpha_{sat}}{\sqrt{\frac{1}{4}(\varepsilon_c^2 + \varepsilon_L^2)}} = \frac{\alpha_{sat}}{2} \quad (III.30)$$

$$\mu_n = \frac{2\alpha_{sat}}{\varepsilon_c} \cdot \left(1 + \left(\frac{\varepsilon_L}{\varepsilon_c}\right)^2\right)^{-1/2} \quad (III.31.a)$$

$$\varepsilon_L = \eta \frac{V_D}{L^2} \quad (III.31.b)$$

Où η est un facteur du modèle dépendant de la longueur du canal

En substituant l'expression calculée du champ critique $\varepsilon_c = 2 \alpha_{sat} \frac{(1 + \theta_0(V_{GS} - V_T)/6 t_{ox})}{\mu_0}$

dans celle de la mobilité donnée en équation (III.31), nous obtenons :

$$\mu_n = \frac{\mu_0}{1 + \theta_0(V_G - V_T)/6 t_{ox}} \cdot \left(1 + \left(\frac{\varepsilon_L}{\varepsilon_c}\right)^2\right)^{-1/2} \quad (III.32)$$

$$\text{Avec } V_T = V_{FB} + 2 \phi_p + \frac{\sqrt{2 \varepsilon_{si} q N_{eff} (2 \phi_p)}}{C_{ox}} \quad (III.32.a)$$

$$\phi_p = \frac{K T}{q} \text{Ln} \cdot \left(\frac{N_{eff}}{n_i}\right) \text{ et } V_{FB} = \Phi_{MS} - \frac{Q_f}{C_{ox}} \quad (III.32.b)$$

$$N_{eff} = N_A + 2N_T^* / L_g \quad (III.32.c)$$

Quant à θ_0 , c'est un facteur paramétrique du modèle de Seto [42], et μ_0 est la mobilité des porteurs à faible champs. Dans notre modèle ces paramètres sont estimés à $3.4 \cdot 10^{-7}$ cm/V et à 56.5 cm²/Vs.

En régime sous le seuil (faible tension de drain d'environ 0.1V), le courant de drain décrit par l'équation (III.19) peut être approximé à :

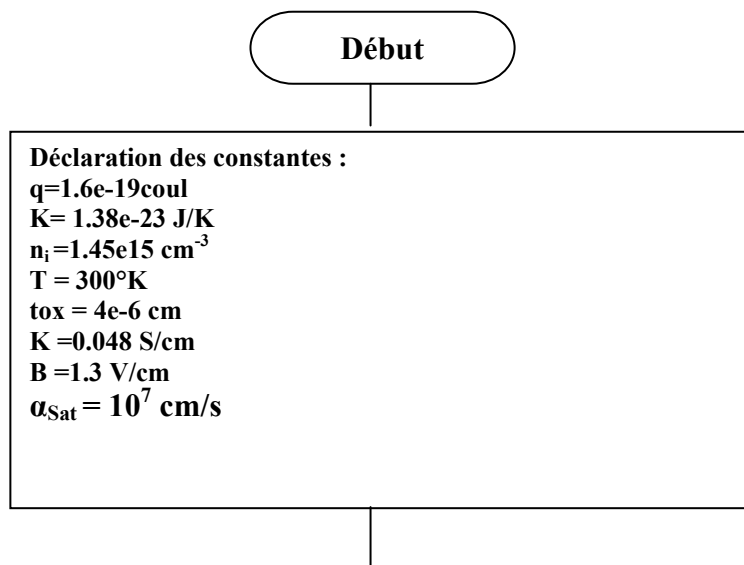
$$I_D \cong \frac{W}{L} C_{ox} \mu_n \exp(-\beta\psi_B(0))(V_G - V_T - V_D / 2)V_D \quad (III.33)$$

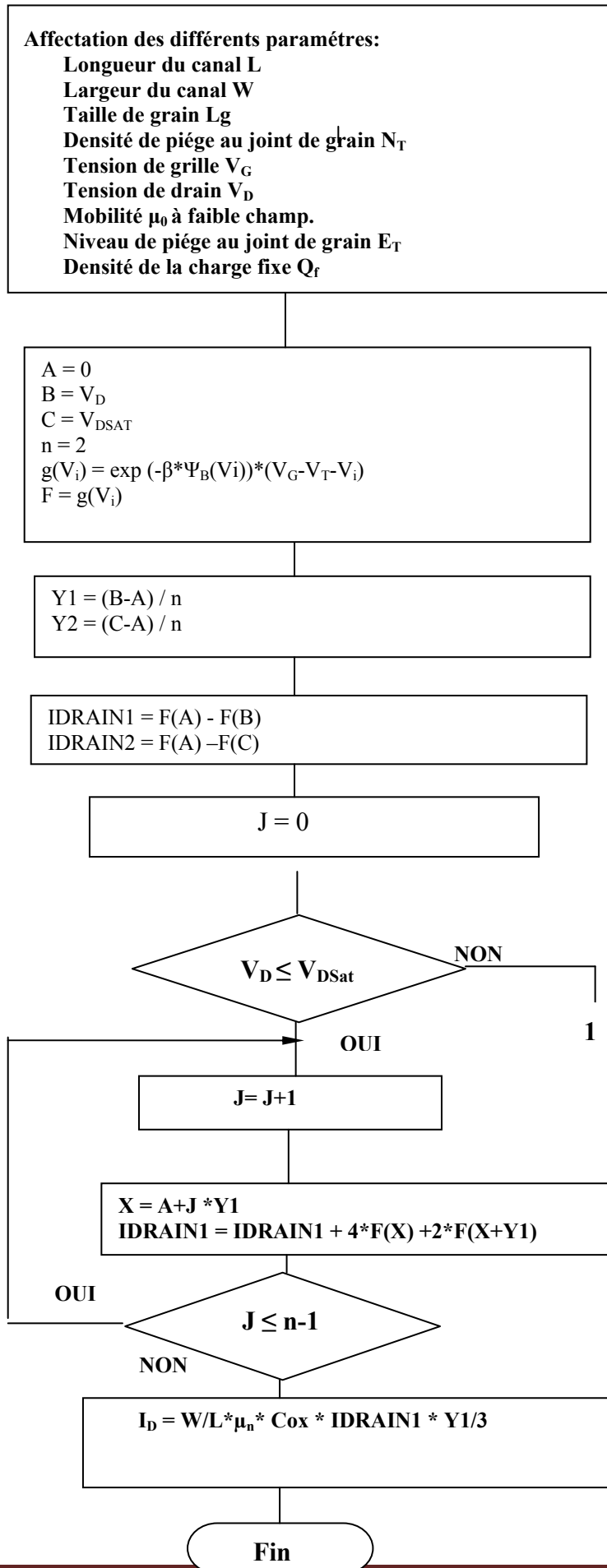
Dans ce cas, la mobilité effective des porteurs en fonction de la mobilité des électrons libres et la hauteur de barrière est celle d'un transistor MOSFET, de telle manière que son expression peut se mettre sous la forme :

$$\mu_{eff} \cong \mu_n \exp(-\beta\psi_B(0)) \quad (III.34)$$

II.3. Mise en œuvre du programme de simulation et organigramme:

Sur la base des équations du modèle élaboré, nous avons établi un programme de calcul en langage Matlab qui tient compte de tous les paramètres physiques et géométriques du composant étudié. Un organigramme décrit les étapes nécessaires à la détermination du courant de drain moyennant la méthode de résolution numérique Simpson, du régime de fonctionnement linéaire au régime de saturation où apparaît l'effet kink.





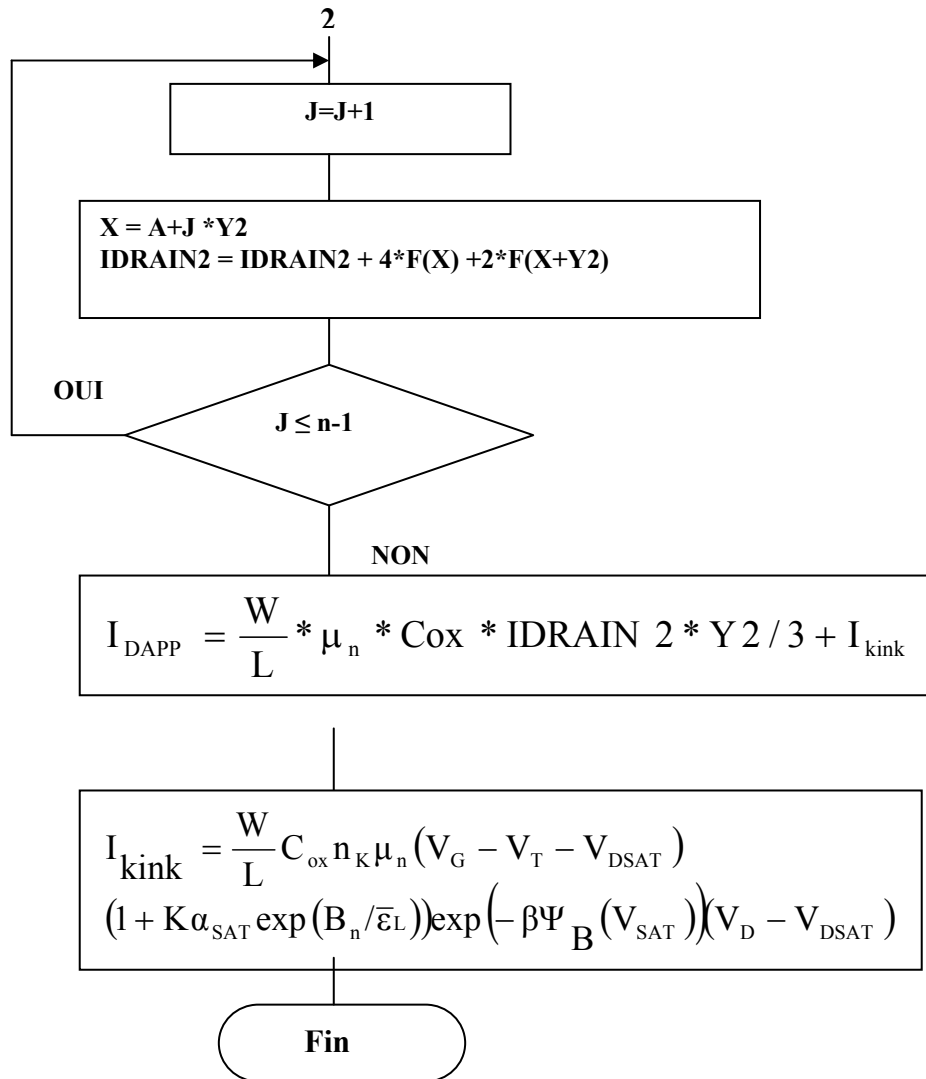


Fig.III.3. Organigramme de la méthode de résolution du courant de drain d'un TFT en poly-Si à canal N

II.4. Modélisation du transistor TFT poly-Si par approximation "de la feuille de charge":

En dépit des approximations faites dans le modèle élaboré, aucune hypothèse n'a encore été faite sur l'épaisseur de la couche active. L'analyse menée à présent suppose que la couche d'inversion a une épaisseur infiniment faible (simplement une feuille de charge) de telle sorte qu'aucune chute de potentiel ne se produise au travers d'elle. En plus, considérant l'hypothèse de la présence de la charge mobile résultant du phénomène d'inversion uniquement, d'où son nom usuel de la densité de charge d'inversion Q_{inv} .

Rappelons que la charge induite dans le semi conducteur Q_s est telle que [66] :

$$Q_s = Q_{inv} + Q_n \quad (III.35)$$

$$\text{Avec } Q_n = -\frac{\sqrt{2q\epsilon_{Si}N_A}}{C_{ox}} \sqrt{\phi_s(x) + \frac{KT}{q} \left[\exp\left(\frac{-q\phi_s(x)}{KT}\right) - 1 \right]} \cong -\gamma\sqrt{\phi_s(x)} \quad (III.36a)$$

$$\gamma = \frac{\sqrt{2q\epsilon_{Si}N_A}}{C_{ox}} \quad (III.36.b)$$

En se basant sur l'approche décrite par PAO et Sah [89], le courant de drain résultant est exprimé par :

$$I_D(x) = I_{drift} + I_{diff} \quad (III.37.a)$$

$$I_{drift} = \mu_n W C_{ox} \frac{W}{L} \left[(V_G - V_{fb})(\phi_{SL} - \phi_{S0}) - \frac{1}{2}(\phi_{SL}^2 - \phi_{S0}^2) - \frac{2}{3}\gamma(\phi_{SL}^{3/2} - \phi_{S0}^{3/2}) \right] \quad (III.37.b)$$

$$I_{diff} = \mu_n C_{ox} \frac{W}{L} \frac{KT}{q} \left[\gamma(\phi_{SL}^{1/2} - \phi_{S0}^{1/2}) + (\phi_{SL} - \phi_{S0}) \right] \quad (III.37.c)$$

L'équation donnée par (III.31) est connue en tant que modèle en feuille de charge, introduit par Brews [90]. Cette équation indique que le courant de drain est le résultat de la somme de deux composantes (les courants de conduction et de diffusion respectivement).



Bien que le courant de drain soit constant tout au long du canal, il convient de remarquer que ses composantes sont des équations différentielles couplées (elles ne peuvent être intégrées séparément). Nous pouvons contourner cette contrainte, en supposant que seule une des composantes est présente. Ainsi, il nous est possible de déterminer les courants de conduction et de diffusion exprimés par les équations (III.37.b) et (III.37.c), en tenant compte des conditions aux limites associées au potentiel de surface suivantes [90,91,92] :

$$\phi_s(x) = \begin{cases} \phi_{s0} \text{ à } x = 0 \\ \phi_{sL} \text{ à } x = L \end{cases} \quad (\text{III.38})$$

Où ϕ_{s0} et ϕ_{sL} sont les valeurs du potentiel de surface aux limites de la source et du drain respectivement.

En conséquence, le courant de drain est complètement défini par la sommation des deux équations (III.37.b) et (III.37.c). Ce courant répond, donc, à l'approximation du courant résultant drift-diffusion.

Notons que, le modèle d'approximation en feuille de charge tient également de l'effet kink décrit auparavant. En effet, l'apparition de ce phénomène a pour conséquence la réduction de la longueur effective du canal à une valeur $L-L_{SAT}$ où L_{SAT} dénote d'un facteur de modulation donné par [93,94] :

$$L_{SAT} = \frac{\sqrt{2 \epsilon_0 \epsilon_{Si} (\phi_{sL} - \phi_{SAT})}}{qN(x)} \quad (\text{III.39})$$

Où ϕ_{SAT} , $N(x)$ expriment le potentiel en surface en régime de saturation et la densité de charge contenue dans la couche d'épaisseur infiniment faible (qui tend vers zéro), au point $x=L-L_{SAT}$ [95].

Conclusion :

Dans le cadre de ce chapitre un modèle analytique simple du fonctionnement en régime statique d'un transistor en couches minces à base de polysilicium ou TFT en poly-Si a été proposé. Ce dernier décrit les propriétés du transistor, les phénomènes physiques liés à la structure particulière du polysilicium, ainsi que l'effet de l'application d'une tension de drain excessivement élevée sur les caractéristiques courant-tension du transistor appelé couramment effet "kink". Ces caractéristiques sont fortement liées aux différents paramètres physiques et électriques du matériau.



Ainsi, avec le modèle développé, nous avons été en mesure d'examiner de près l'influence de l'augmentation de la tension de drain sur le courant caractérisé par l'effet kink en considérant la variation des dimensions du canal (longueur et largeur); aussi avons nous pu établir une approche analytique décrivant le comportement du transistor en régime de forte inversion.

Une autre approche analytique, nous a permis d'entamer une modélisation en feuille de charge. L'analyse approximative menée suppose que la couche d'inversion possède une épaisseur faible pratiquement nulle de telle sorte qu'aucune chute de potentiel ne se produise au travers de celle-ci. En plus, nous avons considéré l'hypothèse de la présence d'une densité de charge mobiles Q_{inv} résultant du phénomène d'inversion uniquement. Le modèle, ainsi élaboré tient compte également de l'effet kink. Ce dernier évalue l'augmentation de la charge d'inversion due au champ électrique intense créé dans la zone de pincement proche du drain.



Chapitre 4

*Résultats de la Modélisation Electrique
et Discussions*

INTRODUCTION :

Dans ce dernier chapitre, il sera question de présenter les résultats de simulation du comportement électrique d'un transistor en couche mince à base de polysilicium ou TFT en poly-Si. Nous évoquerons en premier lieu les allures typiques des caractéristiques de transfert courant –tension en fonction des paramètres géométriques (longueur, largeur du canal) et physiques (taille des grains, densité des pièges...), du régime de fonctionnement linéaire au régime de saturation.

Une analyse des profils de la tension de seuil et de la barrière de potentiel aux joints des grains, en fonction de la taille des grains ainsi qu'en fonction de la densité des pièges, sera fournie.

Nous discuterons plus particulièrement l'influence des états localisés sur les centres profonds et aux queues des bandes de conduction, sur les paramètres électriques régissant le fonctionnement du transistor pour les régimes au dessous puis au dessus du seuil.

Les résultats obtenus seront comparés au fur et à mesure avec d'autres travaux théoriques déjà publiés, ainsi avec ceux fournis par le simulateur TCAD- ATLAS (Technology Aided Design) disponible dans notre laboratoire. Une brève description au préalable de ce logiciel de simulation sera exposée.

I. Caractéristiques électriques de sortie courant-tension d'un TFT poly-Si à canal n sans effet kink:

Il convient de rappeler que l'effet kink est un phénomène qui apparaît au-delà du régime de saturation pour des tensions de drain assez élevées. Avant d'entamer l'étude de l'influence de ce phénomène sur les propriétés électriques du transistor, nous avons jugé nécessaire de présenter l'évolution des caractéristiques électriques du transistor sans tenir compte de cet effet.

I.1. Caractéristiques électriques de sortie $I_D = f(V_D)$:

Nous avons tracé l'évolution du courant de drain en fonction de la tension de drain obtenu à partir de l'équation (III.26.b) pour $V_D < V_{DSAT}$.

Les figures IV.1 et IV.2 montrent les allures typiques des caractéristiques $I_D = f(V_D)$ pour des valeurs de tensions de grille V_G (5V, 7V, 9V, et 11V), une taille des grains d'environ



200 nm, et des rapports de longueur à largeur du canal estimé à $W/L=49.5/9.5 \mu\text{m}$ et $W/L=49.5/4.5 \mu\text{m}$. Le choix de ces valeurs a été considéré afin de vérifier la validité de notre modèle analytique proposé avec celui d'un modèle numérique issu de travaux expérimentaux déjà publiés [75].

Comme il est clairement illustré par ces figures, au début de l'accumulation des porteurs libres dans le canal, un courant de diffusion s'établit. Lorsque la tension de grille devient de plus en plus élevée, la majorité des porteurs induits par celle-ci contribuent au courant de conduction dans le canal.

Le fonctionnement du TFT en poly-Si à canal n est similaire au transistor MOSFET à canal n où on peut considérer qu'il fonctionne comme une résistance commandée par la tension de grille tant que la tension drain-source reste faible par rapport à la tension de seuil V_T .

Dans ce premier régime I_D varie linéairement en fonction de V_D et le rapport V_D / I_D correspond à la résistance du canal pour une tension V_G donnée.

Lorsque la tension drain-source devient plus élevée, le transistor se comporte alors comme une source de courant commandée par la tension de grille.

Dans ce deuxième régime, le courant I_D sature pour des tensions V_D supérieures à la tension de saturation V_{DSAT} qui augmente avec la tension de grille V_G .

Cependant, nous estimons que le courant de drain est assez élevé, de l'ordre 2 mA pour $V_G= 11\text{V}$, lorsque la dimension du canal est réduite à $4.5 \mu\text{m}$, comme il est observé sur la figure IV.2, comparé à sa valeur de 0.68 mA pour un canal relativement long ($L= 9.5 \mu\text{m}$) et la même tension de grille.

Enfin, la comparaison de l'ensemble de nos résultats de simulation, représenté par les figures IV.1 et IV.2 avec ceux des travaux cités auparavant [75], a révélé une bonne concordance.

Notons que les performances électriques des TFTs en poly-Si, en particulier les caractéristiques électriques telles que la concentration des porteurs et leur mobilité sont fortement liées à la structure du polysilicium (taille des grains, densité des pièges aux joints des grains). Aussi, elles dépendent étroitement des dimensions du transistor (longueur et largeur du canal).



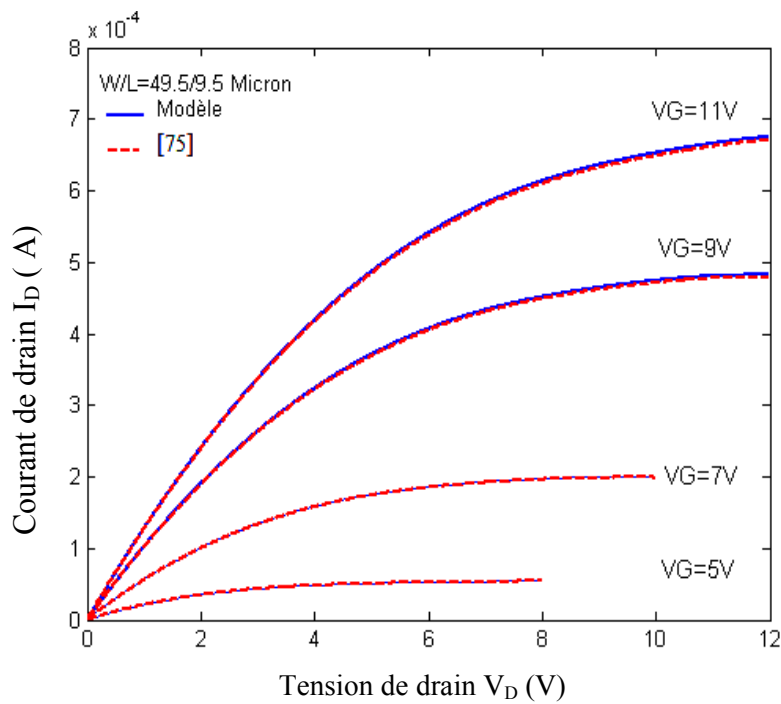


Fig. IV.1. Caractéristique $I_D = f(V_D)$ d'un TFT en poly-Si à canal long de 9.5 μm pour diverses valeurs de la tension de grille.

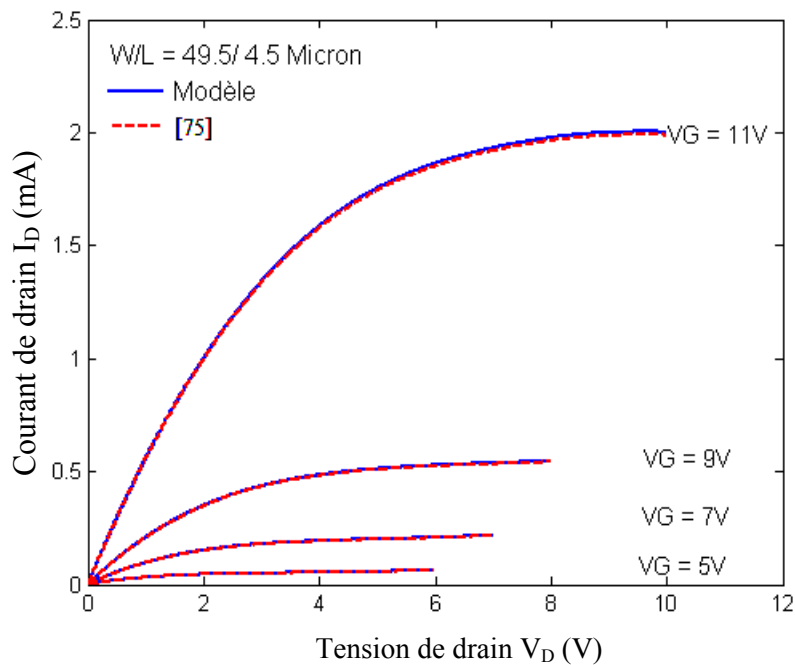


Fig. IV.2. Caractéristique $I_D = f(V_D)$ d'un TFT en poly-Si à canal court de 4.5 μm pour diverses valeurs de la tension de grille.



I.1.1. Influence des dimensions du canal sur la caractéristique $I_D = f(V_D)$:

Comme nous l’avons mentionné dans le paragraphe précédent, les caractéristiques de sortie du TFT en poly-Si sont liées à la géométrie du transistor, en particulier longueur et largeur du canal. La figure IV.3 montre clairement l’effet de cette variation des dimensions du canal sur l’évolution du courant de drain en fonction de la tension de drain où nous observons un courant I_D nettement meilleur (2mA) lorsque la largeur du canal devient importante d’environ 80 μm ($V_G = 11\text{V}$).

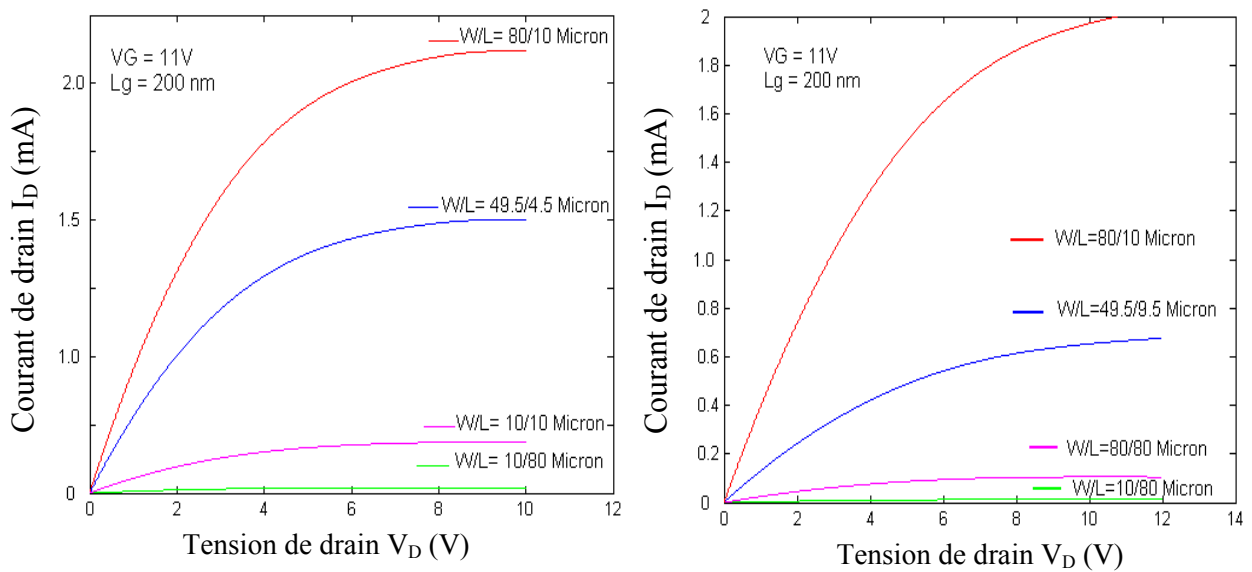


Fig IV.3.Effet des dimensions du canal sur les caractéristique $I_D = f(V_D)$ d’un TFT en poly-Si.

I.1.2. Influence de la taille des grains sur la caractéristique $I_D = f(V_D)$:

Etant donné que la structure granulaire du canal influence directement sur les caractéristiques de sortie du composant, nous nous sommes intéressé de plus près à représenter sur la figure IV.4, l’évolution du courant de drain en fonction de la tension de drain pour des tailles de grains L_g allant de 200 à 1000 nm, sous différentes valeurs de tension de polarisation ($V_G = 5\text{V}, 7\text{V}, 9\text{V}$ et 11V) et des dimensions du canal variables (long et court).

Nous remarquons que plus la taille des grains augmente, plus le courant de drain I_D prend des valeurs élevées ($\geq 2.5\text{ mA}$), plus particulièrement pour un canal court de 4.5 μm et une



taille des grains de l'ordre 1 μm , comme il est indiqué sur la figure IV.4. Cette augmentation du courant est d'autant plus visible que la tension de polarisation devient importante (dans notre cas $V_G = 11\text{V}$).

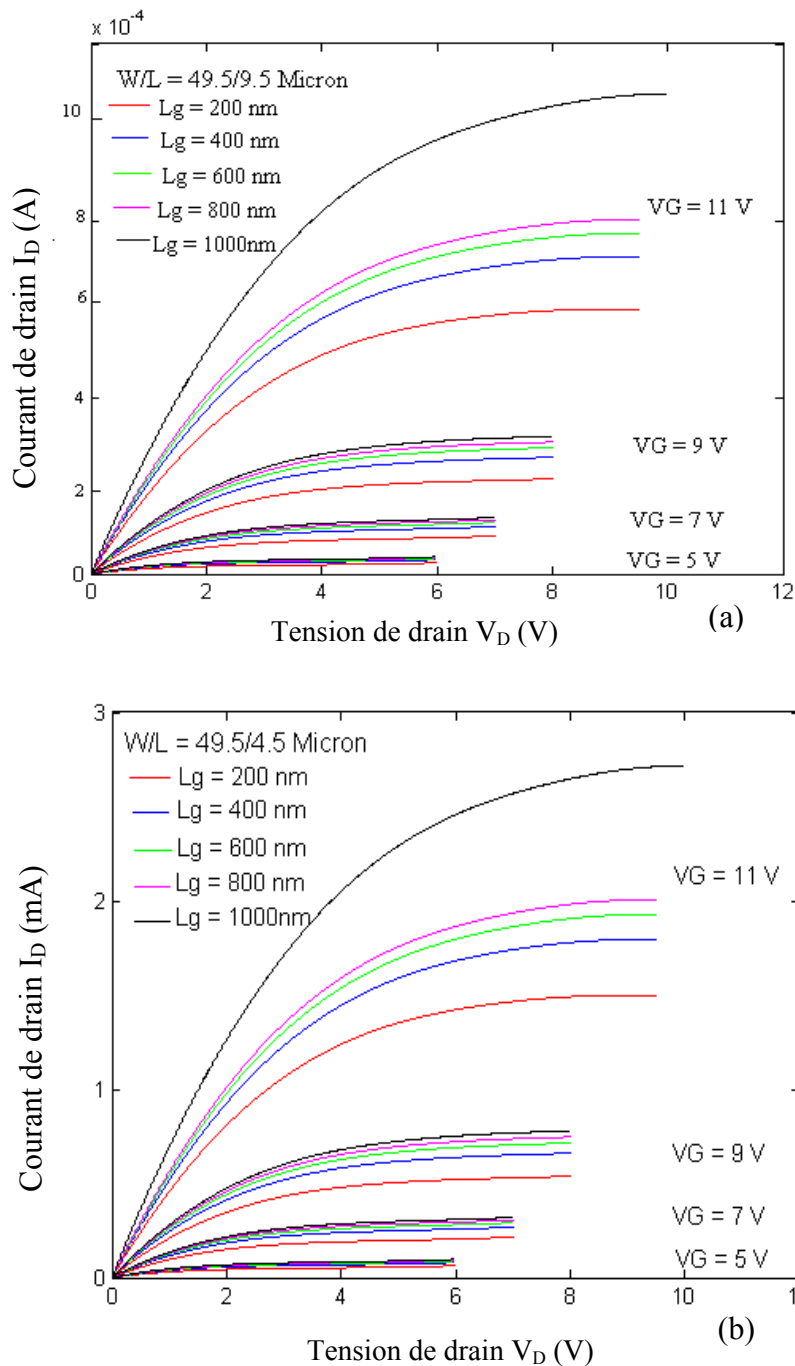


Fig IV.4. Effet de la taille des grains L_g sur les caractéristique $I_D = f(V_D)$ d'un TFT en poly-Si. a) Canal long b) Canal court



I.2. Caractéristiques électriques de sortie $I_D = f(V_G)$:

Un autre résultat des caractéristiques de sortie $I_D = f(V_G)$ du transistor est représenté lorsque les caractéristiques de transfert sont générées pour des valeurs de tension de drain égales à 0.1V, 5V et 10V, dans le cas d'un canal long ($L = 9.5 \mu\text{m}$) puis pour un canal court ($L = 4.5 \mu\text{m}$). L'évaluation de ces caractéristiques directes est illustrée sur la figure IV.5 où une comparaison de nos résultats de simulation avec ceux du modèle théorique [75] utilisant une approche quasi-bidimensionnelle est faite. Comme il est clairement observé sur la figure. IV.5 (a), (b) et (c), la concordance ainsi que la comparaison des caractéristiques sont satisfaisantes.

La figure. IV.5. (c) représente la variation typique du courant source-drain I_D en fonction de la tension de polarisation de la grille V_G en échelle logarithmique. Comme il est indiqué sur cette figure, la première zone (1) correspond à l'état bas (OFF) où le courant I_D est indépendant de V_G . Pour ce régime, le courant de fuite I_{OFF} est un courant de diffusion qui est dû essentiellement à l'émission thermique assistée par effet de champ dans la région de conduction du canal.

Dans la zone (2), le courant I_D varie avec la tension de grille V_G . A partir de cette caractéristique, nous pouvons calculer le rapport $I_{ON} / I_{OFF} (\geq 10^5)$ du courant débité de l'état bloqué ($V_G < V_T \approx 2.3\text{V}$) à l'état passant ($V_G = 11\text{V}$).

Cependant, il est indispensable de remarquer la variation linéaire de la caractéristique $I_D = f(V_G)$ pour des tensions de drain nettement faibles ($V_D = 0.1\text{V}$ dans notre cas). Cette variation acquiert une forme exponentielle dès que la tension de drain augmente considérablement (5V à 10V) au-delà de $V_G \geq 10\text{V}$ où le courant $I_D \geq 0.5\text{mA}$ et ce pour un canal court d'environ $4.5 \mu\text{m}$ (voir figure.IV.5 (b)). En effet, tel qu'il est décrit par la relation donnée en équation III.26 (b) au chapitre 3, le modèle du courant de drain en fonction de la tension de grille tient compte de cette augmentation brutale ($V_D > V_{DSAT}$).

Or, ce courant ne croît pas de façon linéaire indéfiniment avec la tension de grille (voir Fig.IV.5), ce qui caractérise une dégradation des performances électriques du transistor.

Les valeurs des tensions de grille et de drain, pour lesquelles la caractéristique I_D rapportée plus particulièrement dans la figure IV.5 (b) est assez conséquente pour que le



phénomène de multiplication des porteurs par avalanche puisse avoir lieu. L'observation de ce phénomène dans nos caractéristiques électriques, qui requiert en effet un champ électrique élevé dans la zone de charge d'espace proche du drain.

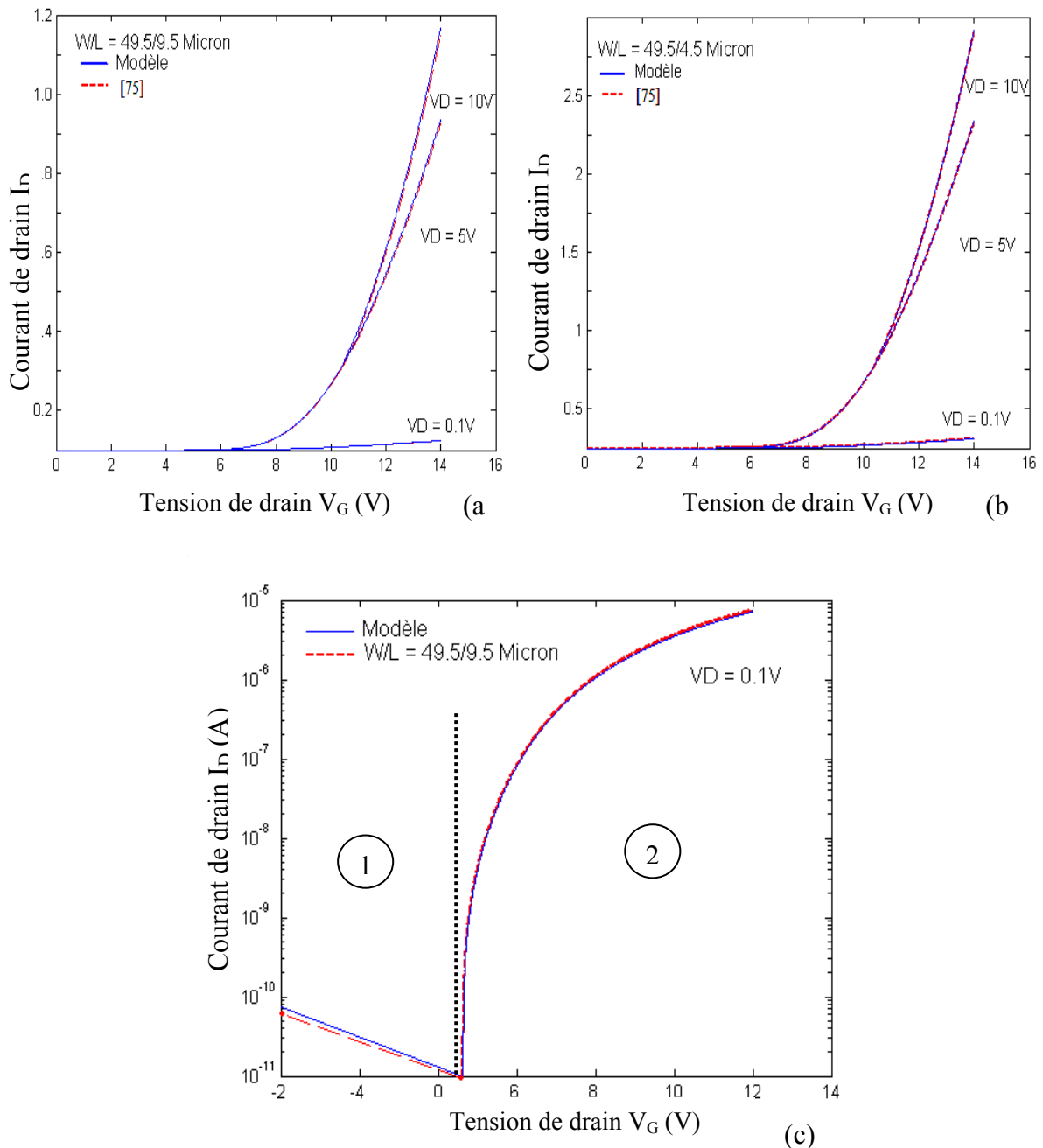


Fig. IV.5. Caractéristiques $I_D=f(V_G)$ d'un TFT en poly-Si à canal
 (a) long
 (b) court
 (c) en échelle logarithmique pour un canal long ($V_D = 0.1V$)



Il faut remarquer les valeurs élevées des tensions de seuil ($V_T=7.7$ V) obtenues par extrapolation de la pente des tracés des courbes $I_D = f(V_G)$ dans le cas d'un canal long ($L = 9.5 \mu\text{m}$) puis court ($L = 4.5 \mu\text{m}$), ceci étant pour des tensions de drain supérieures à 0.1V ($V_D = 5$ V et 10 V).

Alors que la tension de seuil a tendance à diminuer pour une polarisation de drain inférieure de l'ordre de 0.1 V où nous relevons une valeur relativement minimale de $V_T \approx 2.3$ V (fig.IV.5 (c)) .

Néanmoins, il est primordial de remarquer l'augmentation plus ou moins importante du courant de drain avec la tension appliquée à la grille, qu'on retrouve même pour une tension de drain minimale ($V_D = 0.1$ V), comme il est mentionné sur la figure IV.6, particulièrement pour des dimensions du canal variables ($W/L = 80/10$ et $W/L = 10/10$).

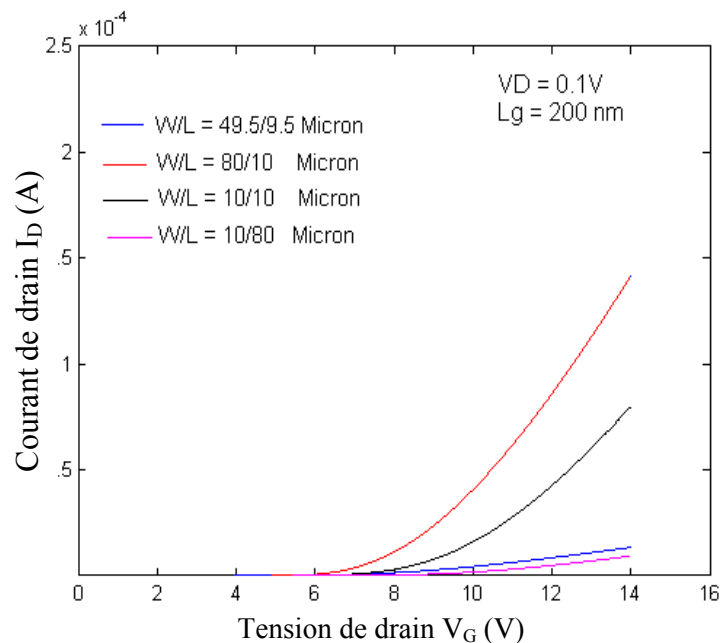


Fig.IV.6. Effet des dimensions du canal sur la variation du courant de drain avec la tension de grille.

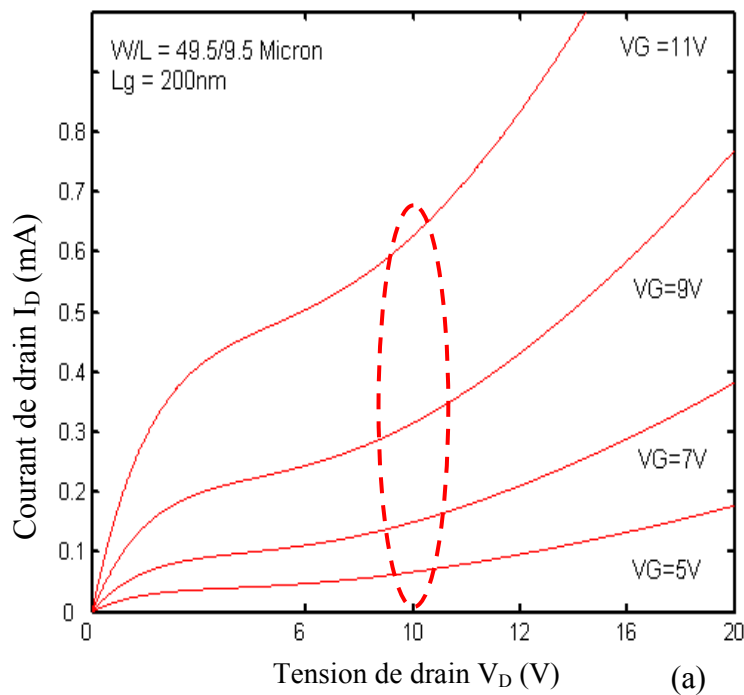
II. Caractéristiques courant-tension d'un TFT en poly-Si tenant compte de l'effet kink :

Le second volet de nos résultats est consacré à la simulation du comportement électrique du composant étudié, en tenant compte de l'effet d'une augmentation de la tension de drain sur ses caractéristiques au-delà du régime linéaire.



Dans un but comparatif avec les résultats expérimentaux de la même référence [75], nous avons repris dans notre modèle l'expression globale du courant de drain, donnée en équation III.28 du chapitre précédent pour $V_D > V_{DSAT}$, en prenant en considération l'augmentation du courant caractérisée par l'apparition de l'effet kink ou I_{kink} dans l'expression en question, et qui dépend du champ latéral dans le canal d'une manière significative.

Effectivement, sur les figures IV.7 et IV.8 apparaît l'effet de l'augmentation de cette tension de drain sur le courant, ce qui peut être expliqué par l'apparition d'un champ électrique intense à l'interface drain-grille. Une multiplication des porteurs se produit rapidement, ce qui donne lieu à l'apparition du phénomène d'ionisation par impact, caractérisé par l'observation de l'effet kink (cf.III.5 du chapitre. I) et d'une augmentation du courant de drain I_D donné par la relation III.28 dans le chapitre précédent. Cette augmentation est assez remarquable lorsque les dimensions du transistor sont nettement réduites ($L = 4.5 \mu m$ dans le cas de notre modèle), comme il est indiqué sur la figure IV.7 (b).



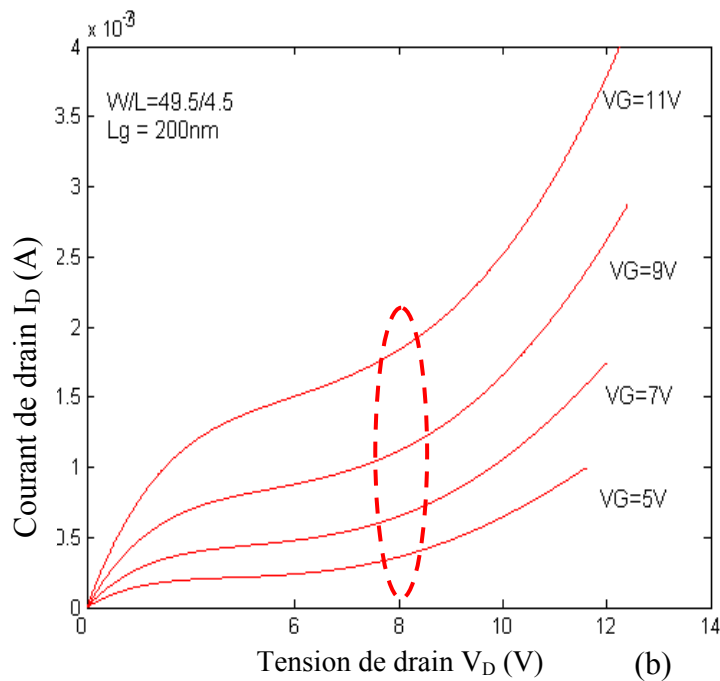


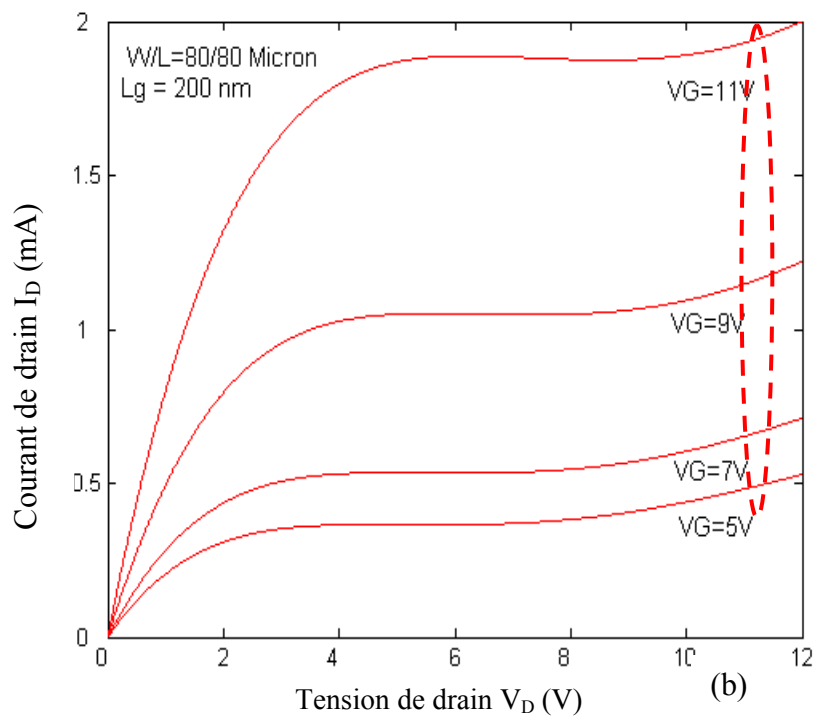
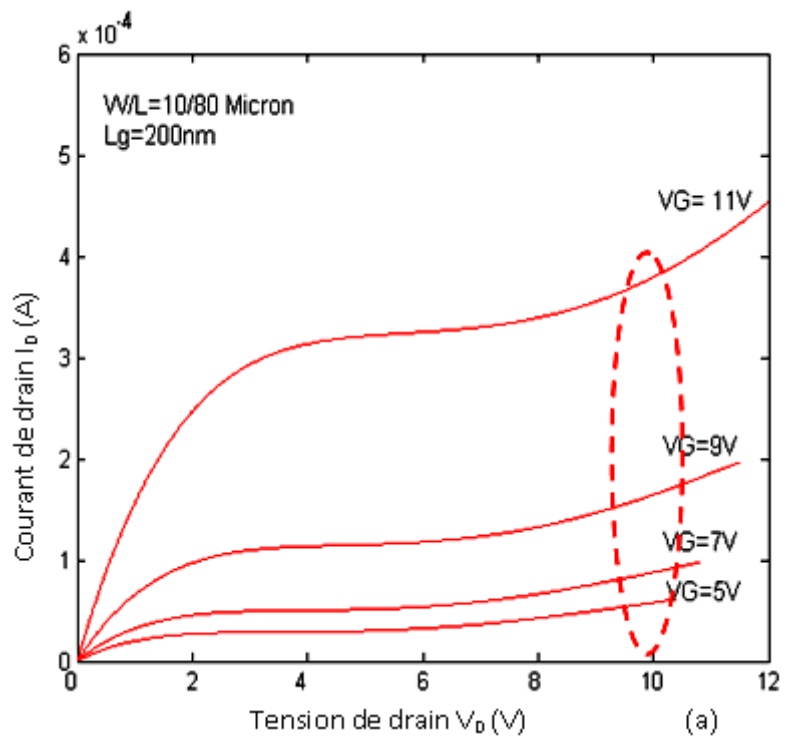
Fig.IV.7. Impact de l'effet kink sur la caractéristique $I_D = f(V_D)$ d'un TFT en poly-Si à canal n. a) Canal long b) Canal court

Nous pouvons conclure que l'effet kink est très important car le courant augmente de telle sorte qu'il n'est plus indépendant de V_D , en particulier pour des tensions de grille élevées, comme il apparaît sur la figure .IV.7.

On constate également que l'effet kink sur le courant I_D apparaît pour des longueurs du canal différentes ($9.5\mu\text{m}$ et $4.5\mu\text{m}$) lorsqu'on compare les figures IV.7 (a) et (b). En effet la déformation du tracé de la caractéristique $I_D = f(V_D)$ est plus importante pour les courbes de la figure (b) par rapport à la figure (a) quelle que soit V_G .

Sur les figures IV.8 (a), (b) et (c), cet effet se confirme davantage lorsqu'on varie les dimensions du canal où on constate qu'il a tendance à disparaître pour des dimensions de plus en plus élevées ($W/L = 10/80, 80/80, \text{ et } 80/10$), en particulier pour un canal large ($W = 80\mu\text{m}$).





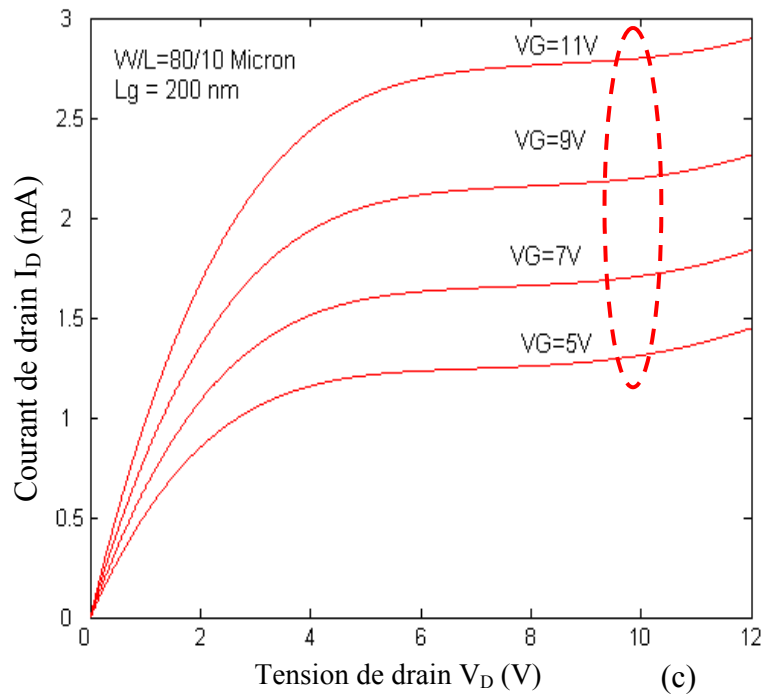


Fig.IV.8. Impact de l'effet kink sur la caractéristique $I_D = f(V_D)$ d'un TFT en poly-Si à canal n de dimension:

- (a) Largeur inférieure à la longueur
- (b) Largeur égale à la longueur
- (c) Largeur supérieure à la longueur

Il a été toutefois possible de confirmer qu'une modélisation en tenant compte du phénomène kink semble satisfaisante, ce qui va nous permettre d'entamer l'influence de la structure granulaire du polysilicium.

Or, la distribution de la densité des pièges dans ce matériau, qui a été supposée mono-énergétique et constante dans notre modèle, exprime le lien entre la structure cristalline, la nature des défauts (réunis aux joints de grains), et les propriétés électriques du silicium polycristallin.

Nous proposons dans la section suivante, une étude de l'influence de la densité des pièges sur la hauteur de barrière de potentiel aux joints de grains.

III. Influence de la densité des pièges présente aux joints des grains sur l'évolution de la hauteur de barrière en fonction de la tension de grille:

Nous avons tracé la variation de la hauteur de barrière Ψ_B selon les expressions (III.16 (a) et (b)) établies aux chapitre III.



La figure IV.9 illustre le profil de la hauteur de barrière en fonction de la tension de grille V_G pour différentes valeurs de la densité des pièges aux joints des grains. Une décroissance de cette hauteur est observée lorsque la tension de grille augmente, alors qu'elle prend des valeurs de plus en plus importantes pour des densités de pièges élevées allant de $5 \cdot 10^{11}$ à $5 \cdot 10^{12} \text{ cm}^{-2}$. Ce résultat montre clairement que la hauteur de barrière est liée aux propriétés structurales du film de poly-Si, ainsi qu'aux différentes tensions extérieures appliquées [75,80].

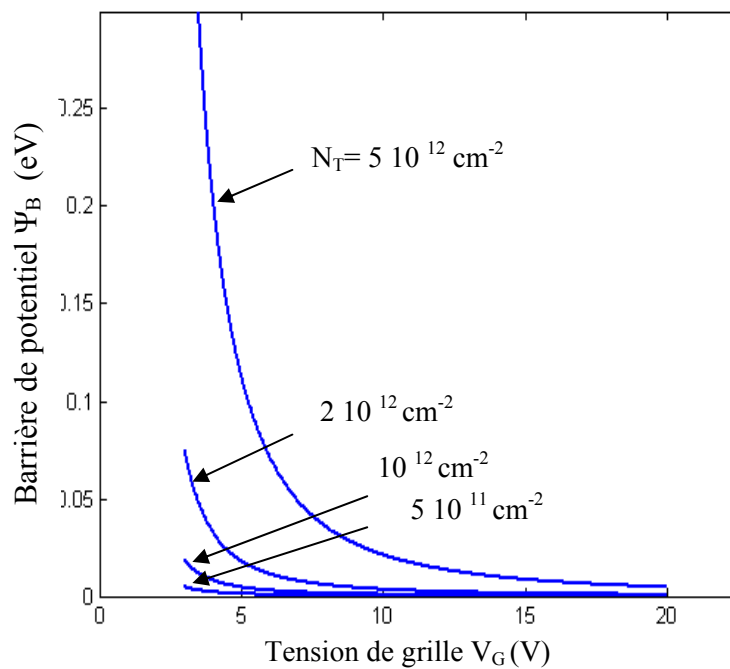


Fig .IV. 9. Evolution de la hauteur de barrière en fonction de la tension de grille pour diverses valeurs de la densité des pièges présente aux joints des grains

Il est aussi intéressant d'analyser l'influence de la distribution de la hauteur de barrière aux joints des grains sur la tension de seuil.

En effet, l'existence d'une densité d'états de pièges suivant une distribution exponentielle telle qu'il a été établi par les expressions données par les équations II.1, II.2 et II.3, ce qui a permis de déduire la charge de conduction liée à cette densité d'état exprimée par les relations II.12, II.13, II.17 et II.19 du chapitre 2. Ces expressions couplées ont contribué en grande partie à la détermination de la tension de seuil et sa dépendance avec la distribution de la densité d'état de pièges aux joints de grains selon le régime de fonctionnement du transistor (régime au dessous et au dessus du seuil).



IV. **Influence de la densité des pièges présente aux joints des grains sur l'évolution de la tension de seuil en fonction de la taille des grains :**

Les transistors en couche mince à base de polysilicium présentent généralement des valeurs de tensions de seuil plus élevées que dans le cas du transistor monosilicium ($V_T < 1V$). Ces tensions de seuil dépendent fortement de la structure du film de polysilicium (densité des pièges aux joints de grains, taille des grains...).

Nous nous sommes intéressés à relever les variations de la tension de seuil V_T avec la densité des pièges présente aux joints des grains pour des tailles de grains variant de 100 à 500 nm (voir Fig.IV.10). Il apparaît ainsi sur la caractéristique une décroissance régulière de V_T sur un large intervalle de valeurs de densité des pièges N_T allant de $5 \cdot 10^{12}$ à $5 \cdot 10^{11} \text{ cm}^{-2}$ et pour des tailles de grains L_g de plus en plus élevées.

Dans le cas de notre modèle à petits grains (200 nm), la tension de seuil est comprise entre 0.9V ($N_T = 5 \cdot 10^{11} \text{ cm}^{-2}$) et 4.2V ($N_T = 5 \cdot 10^{12} \text{ cm}^{-2}$).

Par conséquent, une densité des pièges minimale estimée à $5 \cdot 10^{11} \text{ cm}^{-2}$ dans notre modèle, permettra l'obtention d'une tension de seuil optimale $V_T = 0.9V$, nécessaire au bon fonctionnement du composant afin d'éviter toute dispersion de la tension de seuil, ce qui est une condition nécessaire à un adressage précis du signal vidéo d'un écran LCD (l'une des applications majeures du TFT en poly-Si).

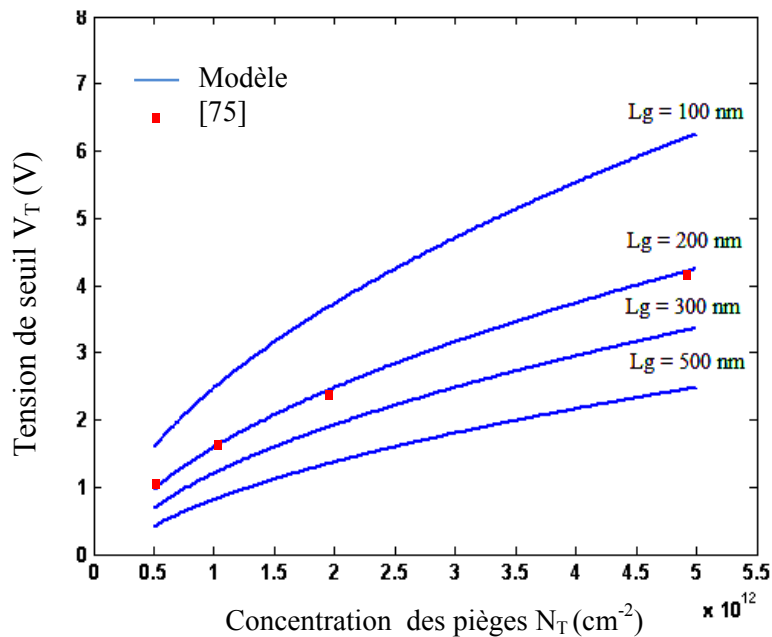


Fig.IV.10. Variation de la tension de seuil avec la densité des pièges aux joints de grains pour diverses tailles des grains



Il est donc souhaitable d'évaluer le rôle du mécanisme qui établit la relation entre la distribution de la densité des pièges aux joints de grains et la tension de seuil V_T . Ce mécanisme est régi par deux régimes au dessous et au dessus du seuil caractérisant le fonctionnement du transistor. Chaque régime détermine le nombre de porteurs induits dans le canal qui sont capturés, soit par des pièges situés sur des niveaux profonds de la bande interdite du polysilicium, soit par des niveaux localisés aux queues de bandes de conduction.

Une autre approche analytique a été développée dans le cadre de la modélisation du TFT en poly-Si. Cette approche traite de la contribution simultanée des états localisés profonds et des états de queues présents dans la bande interdite du polysilicium. Le modèle ainsi développé est validé par une comparaison de ses caractéristiques électriques avec celles fournies par le simulateur de composants électroniques TCAD-ATLAS (Technology Computer Aided Design).

Ainsi, pour aborder la simulation numérique du modèle élaboré, nous avons considéré le principe d'une modélisation en feuille de charge (cf.section III.4 du chapitre III) où la couche d'inversion est supposée infiniment faible, et afin d'exploiter les approximations utilisées par le simulateur ATLAS (minimisation de la distribution de potentiel au niveau de la couche active).

Il convient de rappeler que la zone active du canal est confinée dans une couche mince du transistor dont la région d'inversion est de l'ordre de 1 à 10 nm. Négliger l'épaisseur de la couche d'inversion est une bonne approximation.

Dans la même optique, et avant de présenter l'ensemble des résultats de la simulation, il sera plus judicieux de développer un savoir faire par rapport à ce logiciel qui sera bénéfique, et permettra d'affiner et de préciser le modèle élaboré pour de nouvelles technologies, ce qui apportera un complément certain au travail réalisé dans cette thèse.

V. Implantation du modèle dans le simulateur TCAD-ATLAS :

Afin de prévoir diverses caractéristiques de composants électroniques simulés, nous avons recours à la simulation numérique. Le concepteur en microélectronique est habitué aux outils de simulation de type Spice qui utilise des schémas électriques, à base de modèles de composants élémentaires parfois complexes.

En revanche, lorsque l'on s'intéresse à des composants élémentaires tels ceux que l'on fabrique en salle blanche, et que l'on doit mettre au point leur processus de fabrication



tout en optimisant leurs performances électriques, on doit donc utiliser d'autres types d'outils de simulation.

Pour cela, nous allons décrire le simulateur ATLAS-TCAD qui porte à la fois sur les simulations des procédés technologiques et électriques de structures de base utilisées en microélectronique. Le simulateur ATLAS-TCAD est un module faisant partie du logiciel global TCAD-SILVACO¹ intégrés sous la même interface utilisateur que d'autres outils (ATHENA, SUPREM IV, MERCURY...).

Le logiciel TCAD (Technology Computer Aided Design) est un ensemble complet d'outils indépendants permettant la simulation physique de dispositifs et de systèmes électroniques tout en associant l'aspect conception technologique à la simulation électrique.

V.1. Environnement du simulateur TCAD-ATLAS :

C'est un outil destiné à la compréhension des mécanismes physiques du dispositif, en se basant sur des modèles analytiques issus de la littérature.

Nous allons tout d'abord décrire brièvement le simulateur ATLAS¹ utilisé. Puis nous détaillerons les options de modélisation physique avec l'ensemble des hypothèses émises, avant de donner un aperçu des résultats de simulation obtenus.

Le simulateur ATLAS tel qu'il est schématisé sur la figure IV.11, présente des fichiers d'entrées et de sortie caractérisés par :

☞ Deux fichiers d'entrées dont l'un est de type **texte** contenant les commandes à exécuter par ATLAS (environnement DECKBUILD utilisé), l'autre est un fichier **structure** définissant l'empilement à simuler. Notons que DECKBUILD est un environnement d'exécution graphique.

☞ Trois types de fichiers de sortie sont fournis par le simulateur:

- un fichier **runtime** qui a pour but d'afficher les messages d'erreurs et d'avertissement pendant l'étape de la simulation.
- un fichier **log** destiné à stocker les valeurs de courants et de tensions calculés.
- un fichier **solution** stockant les données 2D même 3D correspondant aux valeurs de variables spécifiques à la structure du composant sous une polarisation bien déterminée.



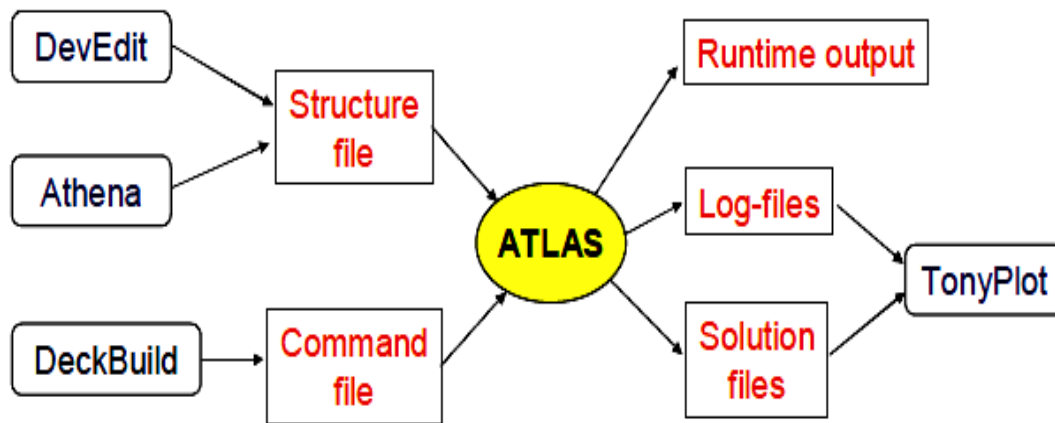


Fig.IV.11. Représentation des entrées/sorties et environnement du simulateur TCAD-ATLAS

Un modèle plausible du transistor en couche mince à base du poly-Si qui dépend des paramètres physiques et géométriques, n'existe pas dans le module TCAD-ATLAS sous environnement DECKBUILD. Pour cela, l'outil ATLAS fait appel à des modèles continus de bandes d'énergie issues de structures à base de silicium.

La structure granulaire du polysilicium, à titre d'exemple est définie par la distribution de la densité des porteurs dans les grains qui diffère de celle des joints de grains.

Ainsi, un formalisme théorique des différents modèles (bande d'énergie, courant de conduction-diffusion, équations de continuité et de Poisson) couplé à la méthode numérique des éléments finis permet la modélisation de dispositifs tels que le transistor en couche mince à base de polysilicium.

Dans le cadre de notre étude, nous nous sommes intéressés aux modèles continus de bandes d'énergie issus du semi conducteur polycristallin.

Cependant, la résolution de l'équation de Poisson pour ce type de structures exige une solution numérique. La méthode des éléments finis ou FEM (Finite Element Method) est l'outil intégré dans le simulateur ATLAS. Elle consiste à trouver une solution approchée par méthode de discrétisation du champ électrique sur un domaine Ω défini tout au long de la structure (gouverné par l'équation de Poisson, qui est une équation aux dérivées partielles. Le simulateur construit une formulation intégrale du système différentiel aux interfaces, en définissant des conditions aux limites, appelée formulation variationnelle du problème.



Un maillage est alors élaboré qui permet de partitionner le domaine Ω en sous domaines Ω_i , appelés mailles. Le champ dans chaque maille est calculé en chaque point ou nœud choisi arbitrairement.

Le champ local en un point de l'espace, est défini par l'ensemble des valeurs pour tous les points de la maille. Il est déterminé par l'espace des fonctions d'interpolation de la maille (polynômes) à partir des valeurs d'une solution approchée à ses nœuds. La maille complétée par les valeurs du champ local est appelée élément. La résolution par éléments finis consiste ainsi à déterminer le champ local à attribuer à chaque maille, c'est-à-dire la valeur à donner aux nœuds, pour que le champ global obtenu par juxtaposition des champs locaux satisfasse l'équation de Poisson.

ATLAS utilise une méthode d'assemblage appelée intégration sur un contour rectangulaire (Box Integration Method), permettant de discrétiser l'équation différentielle et de fournir un système d'équation algébrique. La résolution de ce système utilise par défaut l'algorithme de Newton-Raphson (méthode itérative pour la détermination de la racine d'une fonction).

V.2. Résultats de simulation du modèle du TFT en poly-Si sous TCAD-ATLAS :

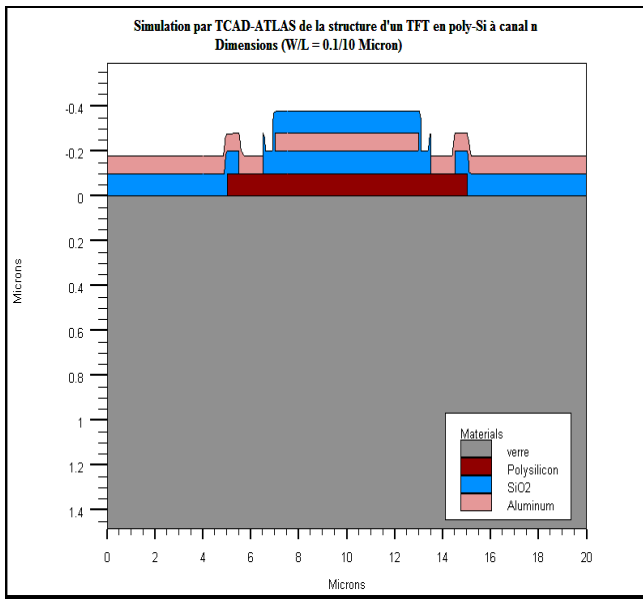
V.2.1. Simulation de la structure bidimensionnelle du TFT en poly-Si :

Sur les figures IV.12, et IV.13 nous avons représenté respectivement, la simulation d'une structure bidimensionnelle d'un TFT en poly-Si à petits grains ($L_g = 200$ nm), à canal long et étroit ($W = 0.1$ μm , $L = 10$ μm), et le maillage qui lui est associé. Notons que nous avons élaboré un maillage plus fin et continu tout au long du canal (couche active du TFT), ainsi qu'aux niveaux des contacts source et drain.

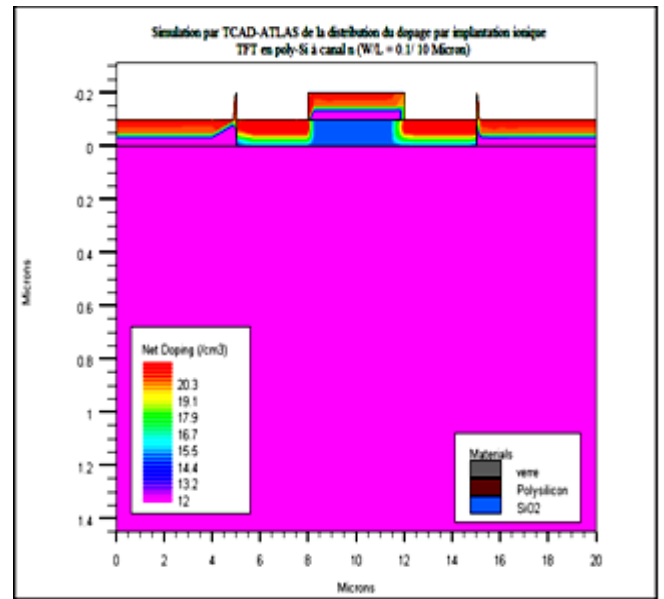
Rappelons que le TFT en poly-Si destiné à l'adressage matriciel d'un écran plat est déposé sur une plaque (substrat) en verre d'une longueur de 20 μm et d'une épaisseur 1.5 μm . Le choix de ces dimensions a été fait en se référant aux travaux expérimentaux issus de la littérature [27].

La couche de polysilicium d'épaisseur 0.1 μm est faiblement dopée par implantation ionique par rapport aux zones de source et drain qui sont dopées par une dose de phosphore de l'ordre de $2 \cdot 10^{15} \text{cm}^{-2}$ (une concentration du phosphore de $2 \cdot 10^{20} \text{cm}^{-3}$).





(a)



(b)

Fig.IV .12 .Simulation bidimensionnelle d'un TFT en poly-Si à canal n par TCAD-ATLAS
(a) Structure en couche mince
(b) Distribution du dopage (Phosphore) obtenu par implantation ionique

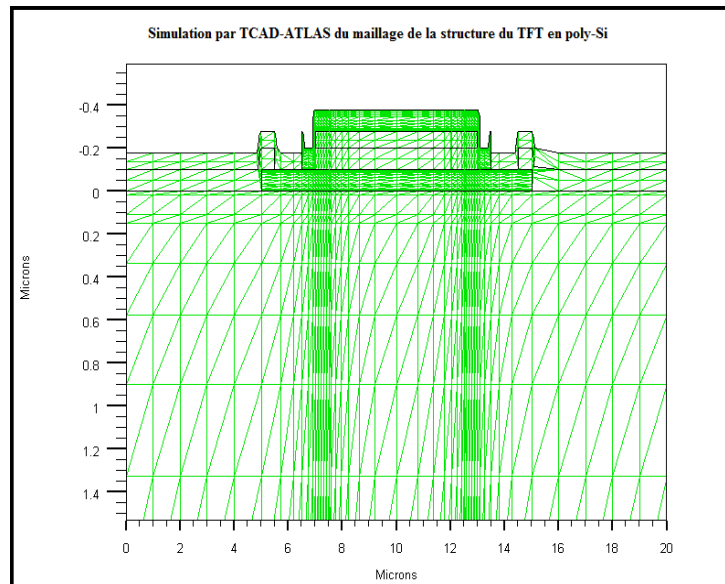


Fig.IV .13. Simulation 2D par TCAD-ATLAS du maillage de la structure d'un TFT en poly-Si à canal n



Or, on observe sur la structure simulée du TFT un artefact qui est une partie d'oxyde non gravée. En fait, la gravure d'oxyde est uniquement géométrique, il suffit d'un léger décalage du masque par rapport à celui de l'ouverture de l'oxyde pour obtenir ce résultat qui n'a aucune réalité physique.

Nous avons, également procédé à la simulation de la structure d'un sous pixel commandé par un TFT en poly-Si destiné à l'adressage de la matrice AMLCD (cf. I.2.2 chapitre. I), comme il est schématisé sur la figure IV.14.

On remarque une discontinuité de la couche d'oxyde d'indium et d'étain (ITO) au franchissement de la marche d'oxyde SiO₂. En réalité on observe une descente progressive de l'ITO, or la gravure employée par simulation ne peut donner un tel profil.

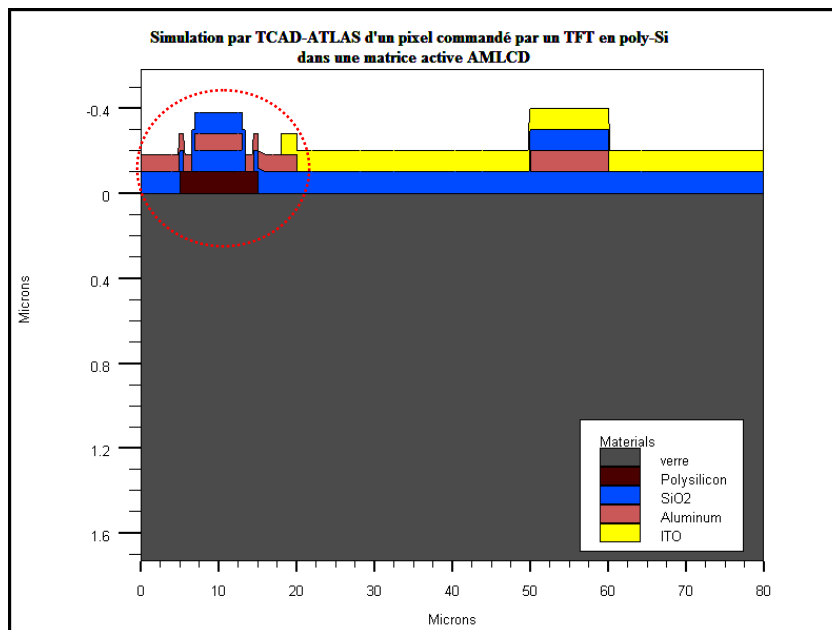


Fig.IV .14. Simulation d'un pixel d'écran AMLCD commandé par un TFT en poly-Si

V.2.2. Conditions aux limites :

Comme toute simulation numérique, un nombre de conditions aux limites est nécessaire :

1. On suppose que la variation du champ électrique le long du canal est telle que $E_x \ll E_y$ (où E_x et E_y représentent respectivement les champs latéral et longitudinal).



Il s'agit de l'approximation du canal graduel qui reste valable excepté dans la zone proche du drain. Ce qui réduit à une dimension la résolution de l'équation de Poisson.

2. On néglige le courant de trous de telle sorte que le calcul de la densité de courant des électrons est suffisant pour déterminer le courant de drain.
3. Etant donné que le courant résultant circule dans la direction x ($\delta\Psi_n/\delta y = 0$), le potentiel lié aux quasi niveaux de Fermi des électrons est constant dans la direction y .
4. Les phénomènes de recombinaison et de génération sont négligés. Cela suppose que la densité du courant de drain est un courant d'électrons de divergence nulle, d'où un courant constant en n'importe quel point du canal.
5. La mobilité des électrons μ_n est supposée constante, pour des raisons de simplification de calcul d'intégrales.

Ces hypothèses approximatives, une fois réunies dans le simulateur TCAD-ATLAS fournissent des résultats qui, dans leur ensemble sont satisfaisants.

V.2.3. Profil du potentiel de surface :

Rappelons que l'étude explicitée au second chapitre, nous a permis de définir deux régimes de fonctionnement correspondant au TFT en poly-Si :

- Un régime au dessus du seuil pour lequel la tension de grille V_G est supérieure à celle de seuil V_T , la contribution des porteurs libres, en tenant compte de celle de g_{TA} , est importante de telle sorte que le courant de drain est un courant de conduction qui dépend uniquement du potentiel de surface (cf.section III.3 chapitre II).
- Un régime au dessous du seuil correspondant à V_G inférieure à V_T où sont négligés les contributions dûes aussi bien aux électrons de conduction qu'à ceux piégés sur les queues de bandes de conduction.

Ces constatations nous ont incité à étudier l'évolution du potentiel de surface en fonction de la tension de grille.



En effet, la figure IV.15 montre bien qu'il y a une tension V_G au dessus de laquelle le potentiel de surface est presque invariant. Ce résultat suggère donc de définir une tension de seuil correspondant à la tension de grille pour laquelle la densité des électrons libres atteint celle des états profonds. Ce qui reste conforme avec l'approximation envisagée dans l'expression de l'équation (II.11) du chapitre II.

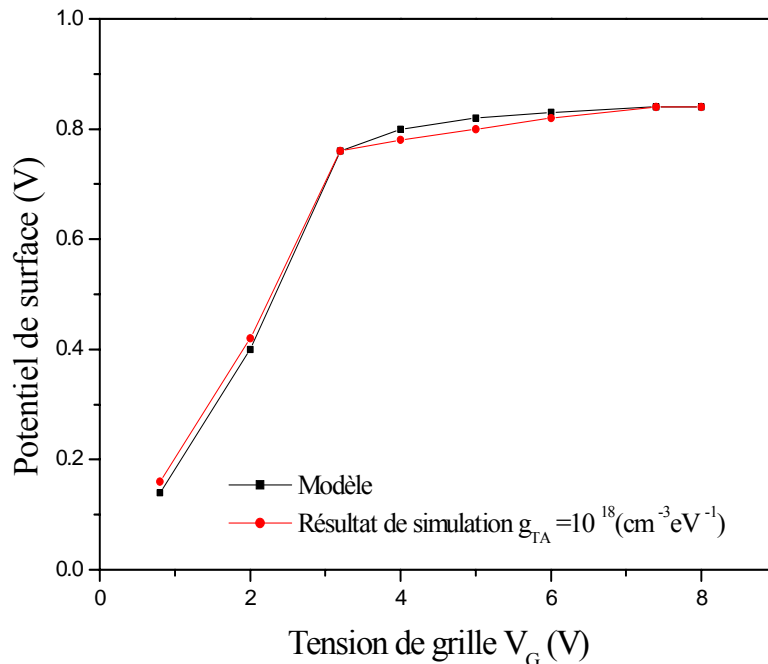


Fig.IV.15. Variation du potentiel de surface avec la tension de grille d'un TFT poly-Si

V.2.4. Caractéristiques de sortie courant –tension du TFT en poly-Si :

Dans le souci d'obtenir une géométrie optimale correspondant au transistor de commutation pour l'adressage d'un écran LCD (une des applications du TFT en poly-Si), nous avons choisi une grille de longueur $10 \mu\text{m}$, et de largeur $0.1 \mu\text{m}$ afin de minimiser au maximum le courant de fuite.

Les figures IV.16 et IV.17 montrent l'allure typique des caractéristiques $I_D = f(V_D)$ et $I_D = f(V_G)$ obtenues après simulation par ATLAS, sans tenir compte de l'effet kink. Afin d'affiner et vérifier la validité du modèle proposé, nous avons comparé nos résultats de simulation avec ceux du modèle proposé. Comme il est remarqué sur les deux figures, la concordance entre les aux caractéristiques de transfert est satisfaisante. Ces caractéristiques sont générées en se référant aux valeurs données par le tableau ci-dessous.



| Paramètres (unités) | Signification | Valeurs |
|--|--|-----------------------|
| W (μm) | Largeur du canal | 0.1 |
| L (μm) | Longueur du canal | 10 |
| Lg (nm) | Taille des grains | 200 |
| t _{ox} (nm) | Epaisseur de l'oxyde | 100 |
| t _{poly} (nm) | Epaisseur du polysilicium | 50 à 100 |
| C _{ox} (F/cm ²) | Capacité de la couche d'oxyde | 3.51×10^{-8} |
| Q _f (coul/cm ²) | Densité des charges fixes | 3.2 |
| N _t (cm ⁻²) | Densité des pièges aux joints des grains | 5×10^{11} |
| E _t (eV) | Niveau énergétique d'un piège au joint de grain | 0.15 |
| E _{f0} (eV) | Niveau de Fermi | 0.11 |
| V _{fb} (V) | Tension de bande plate | -1.15 |
| g _{DA} (cm ⁻³ /eV) | Densité d'état des pièges profonds | 2×10^{18} |
| W _{DA} (eV) | Energie thermique liée à la densité Localisée aux queues de bandes | 0.1 |
| W _{TA} (eV) | Energie thermique liée à la densité Localisée sur les centres profonds | 0.025 |
| T (K) | Température ambiante | 298 |
| K (s/cm) | Facteur d'impact d'ionisation | 0.048 |
| Bn (V/cm) | Paramètre d'impact d'ionisation | 1.3 |
| α_{saT} (cm/s) | Vitesse des porteurs au régime de saturation | 10^7 |
| \square_0 (cm/V) | Paramètre de lissage | 3.4×10^{-3} |
| δ | Facteur d'idéalité calculé au régime sous le seuil | 11.6 |
| η (cm) | Paramètre du modèle lié à la longueur du canal | 1.5×10^{-3} |
| μ_0 (cm ² /V.s) | Mobilité à faible champ | 56.6 |

Tab.I. Paramètres adoptés pour la simulation électrique du TFT en poly-Si



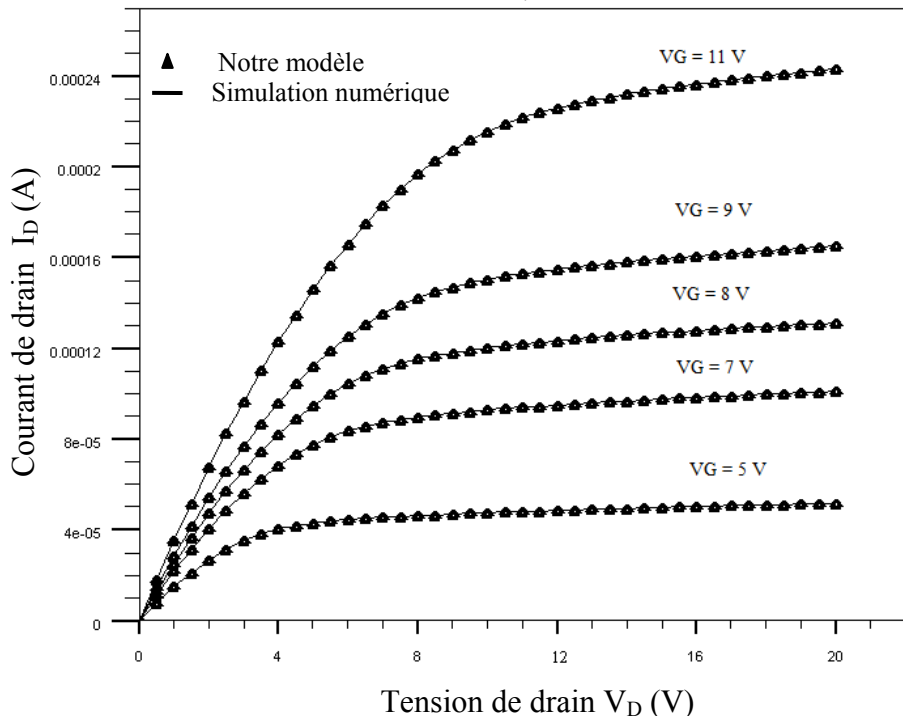


Fig.IV.16. Comparaison des résultats de simulation par ATLAS des caractéristiques de transfert $I_D = f(V_D)$ du TFT en poly-Si ($L_g = 200$ nm, $W/L = 0.1/10$ μm)

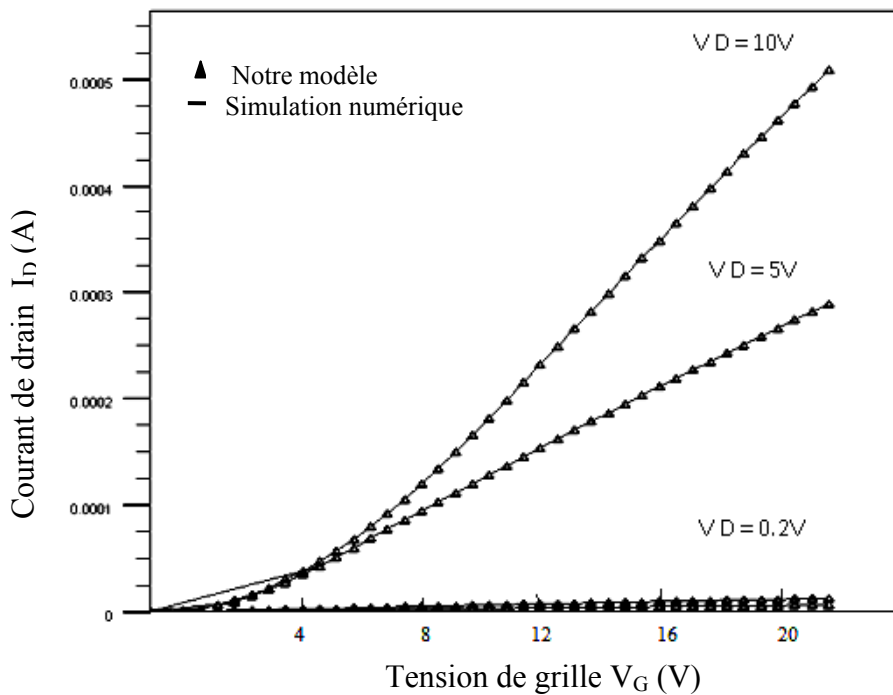


Fig.IV.17. Comparaison des résultats de simulation par ATLAS des caractéristiques de transfert $I_D = f(V_D)$ du TFT en poly-Si ($L_g = 200$ nm, $W/L = 0.1/10$ μm)



L'effet kink apparait après l'établissement du régime de saturation pour $V_D > V_{DSAT}$, son impact est apparent sur les caractéristiques de sortie (Fig. IV.18 (a)), et particulièrement lorsque les dimensions du canal sont réduites ($L = 5 \mu\text{m}$) (voir Fig.IV.18 (b)).

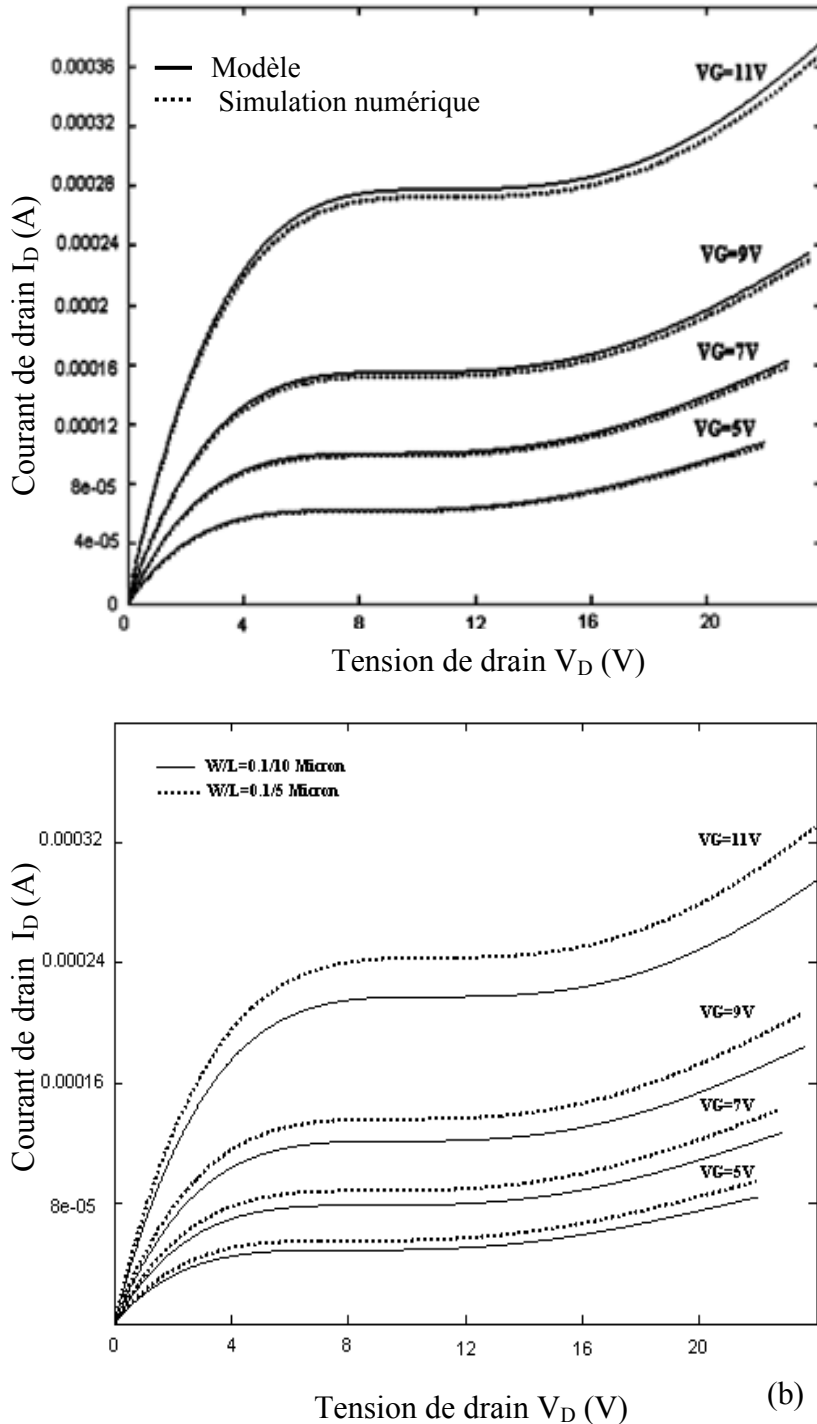


Fig.IV.18. Impact de l'effet kink sur la caractéristique $I_D = f(V_D)$ du TFT en poly-Si.
 (a) Comparaison de notre modèle avec celui du simulateur TCAD-ATLAS
 (b) Comparaison de la caractéristique $I_D = f(V_D)$ pour un canal long et court



Aussi, dans le cadre de la simulation du comportement électrique du transistor en couche mince à base de polysilicium, il nous a été possible d'analyser la distribution énergétique de la densité des états de queues de bandes au niveau du joint de grain (voir figure IV.19).

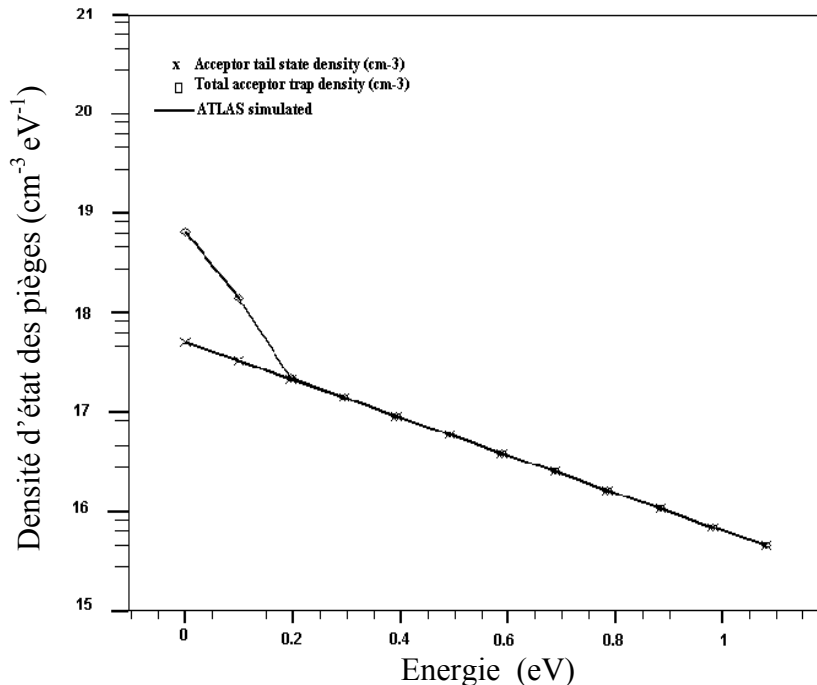


Fig.IV.19. Variation de la densité des états de queues de bande avec l'énergie des états pièges accepteurs au niveau d'un joint grain de polysilicium

Les résultats de simulation ont permis d'estimer la densité des pièges et de localiser leur niveau énergétique au voisinage de la bande de conduction ($g_{TA} \approx 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$ localisée à $E_t \approx 0.1 \text{ eV}$).

Rappelons que la distribution des pièges à la limite de la bande de conduction obéît à une loi exponentielle (eqs. II.1, II.2 et II.7), dont la pente augmente avec le degré du désordre dans le polysilicium.

Par conséquent, la nature des défauts aux joints de grains et leur localisation dans la bande interdite contribuent à la détermination des caractéristiques électriques. La hauteur de la barrière de potentiel aux joints de grains, comme il a été possible de le voir sur la figure.IV.9, est fortement sensible aux niveaux profonds. Ces niveaux de pièges, situés dans le milieu du gap, jouent un rôle prépondérant dans le calcul du courant de fuite. Quant à la détermination du courant de drain pour $V_G > V_T$, elle semble être plus sensible à la distribution des pièges au bord de la bande de conduction.



VI. Extraction des paramètres électriques :

VI.1.Tension de seuil :

Sur la figure IV.20 apparait l'influence de la densité des états de queues de bandes g_{TA} au bord de la bande de conduction sur la tension de seuil V_T pour diverses valeurs de la taille des grains du polysilicium. Un accroissement de cette densité induit une augmentation de V_T . La dépendance de V_T avec g_{TA} est importante car elle illustre le comportement des états localisés de queues de bandes quand g_{TA} est élevée.

Par conséquent, la presque totalité des porteurs piégés par ces états contribuent à la réduction du nombre de porteurs libres nécessaire à la détermination du courant I_D .

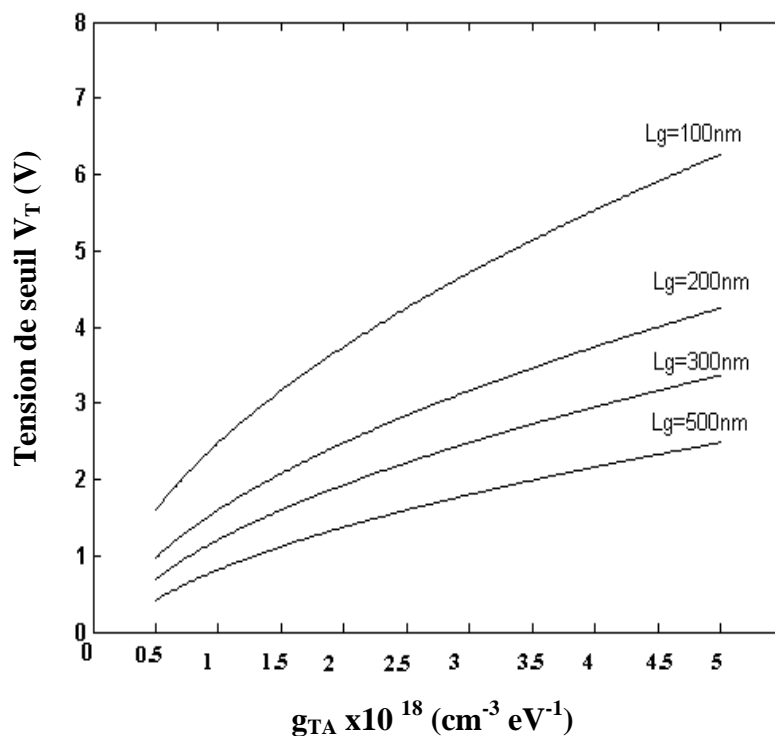


Fig.IV.20. Variation de la tension de seuil avec la densité des états de queues de bandes pour différentes valeurs de la taille des grains

Aussi, il faut remarquer qu'un élargissement de la taille des grains L_g induit une nette diminution de la tension de seuil V_T comme il est observé sur la figure. IV.20.

En effet, dans le cas d'un matériau polysilicium à gros grains, nous avons relevé des tensions nettement faibles ($V_T = 0.5$ V à 2 V pour $L_g = 500$ nm), comparées à celles obtenues pour une taille des grains minimale ($V_T = 6.8$ V à 1 V pour $L_g = 100$ nm). Ces résultats restent conformes avec ceux obtenus par d'autres travaux [96].



VI.2. Rapport I_{ON}/I_{OFF} :

Le courant de fuite doit être le plus faible possible pour assurer au transistor TFT en poly-Si un fonctionnement de commutateur. Donc, il doit avoir un rapport I_{ON}/I_{OFF} ou une vitesse de commutation OFF-ON assez élevée.

Effectivement, les caractéristiques de transfert $I_D = f(V_D)$ offrent un courant ON maximum d'environ 0.24 mA ($W/L = 0.1/10 \mu\text{m}$), tandis que le courant OFF à $V_G = 0\text{V}$ est 6.10^{-11}A .

Quant à l'effet de la densité des états de queues de bandes g_{TA} sur le rapport I_{ON}/I_{OFF} , il semble similaire à celui qu'a cette densité sur la tension de seuil, car ce rapport a tendance à diminuer lorsque g_{TA} augmente, comme le montre la figure IV.21. Effectivement, nous remarquons une baisse du rapport I_{ON}/I_{OFF} de 5.10^5 à $1.5.10^5$ lorsque la densité des états de queues de bandes g_{TA} atteint la valeur de $2.10^{21} \text{ cm}^{-3} \text{ eV}^{-1}$, ceci étant dû plus à l'augmentation du courant de fuite I_{OFF} qu'à la diminution du courant I_{ON} .

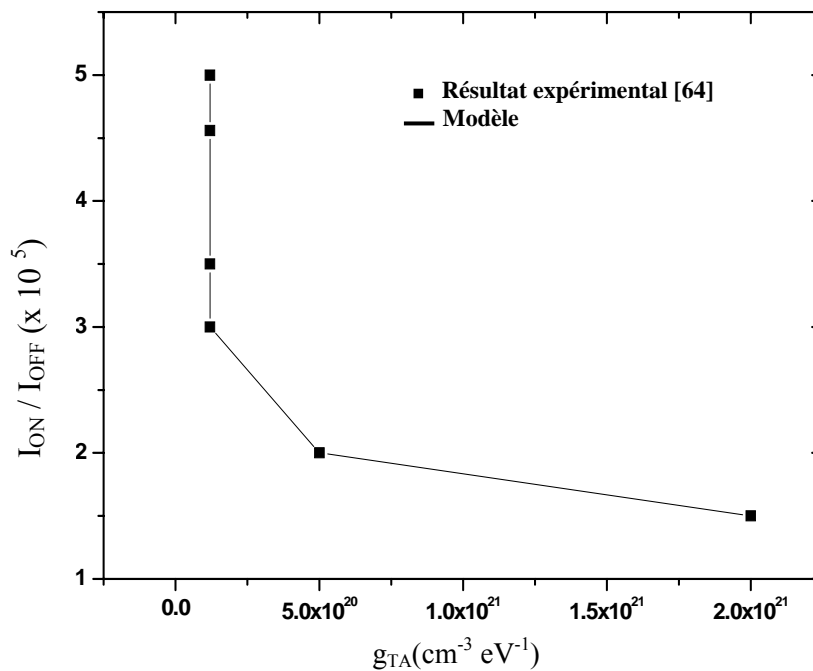


Fig.IV.21. Evolution du rapport I_{ON}/I_{OFF} en fonction de la densité des états de queue au bord de la bande de conduction du TFT poly-Si

Ce résultat confirme bien la théorie de Fossum [97] qui a pu expliquer la dépendance et la variation de I_{OFF} avec les tensions extérieures V_G et V_D , à partir du mécanisme d'émission assistée par le champ électrique via les pièges aux joints de grains.



La présence d'une densité de pièges importante favorise les phénomènes de génération-recombinaison par effet tunnel, pour de faibles tensions appliquées à la grille ou entre source et drain. Ceci suggère que la réduction du courant de fuite peut se faire par une diminution de la densité des pièges aux joints de grains.

VI.3. Pente sous le seuil :

Il a été intéressant d'entreprendre des investigations sur l'un des paramètres définissant le régime sous le seuil du transistor TFT, qui est la pente sous le seuil S_{sub} ($S_{sub} = dV_G / d\log_{10}(I_D)$) extrapolée à partir de la caractéristique $I_D = f(V_G)$ représentée par la figure. IV.17 (b).

Lorsque la tension de grille V_G augmente progressivement, les états pièges continuent à se remplir, ralentissant ainsi la mise en conduction des porteurs. D'où une transition de l'état OFF à l'état ON assez lente caractérisant une pente sous le seuil non négligeable. Ce paramètre, qui dépend de la densité des pièges, doit être aussi faible que possible afin d'assurer un faible courant de fuite et une transition rapide du courant (de l'état OFF à l'état ON).

En effet, sur la figure IV.22 apparaît l'effet de l'augmentation de la concentration des pièges sur les valeurs de la pente sous le seuil. Pour une concentration $N_T = 5 \cdot 10^{11} \text{ cm}^{-2}$ correspond une pente sous le seuil pratiquement faible $S_{Sub} = 0.5 \text{ V/dec}$. Cette valeur obtenue est comparable à celle d'un transistor en silicium monocristallin dont la pente sous le seuil reste inférieure ou égale à 0.5 V/dec .

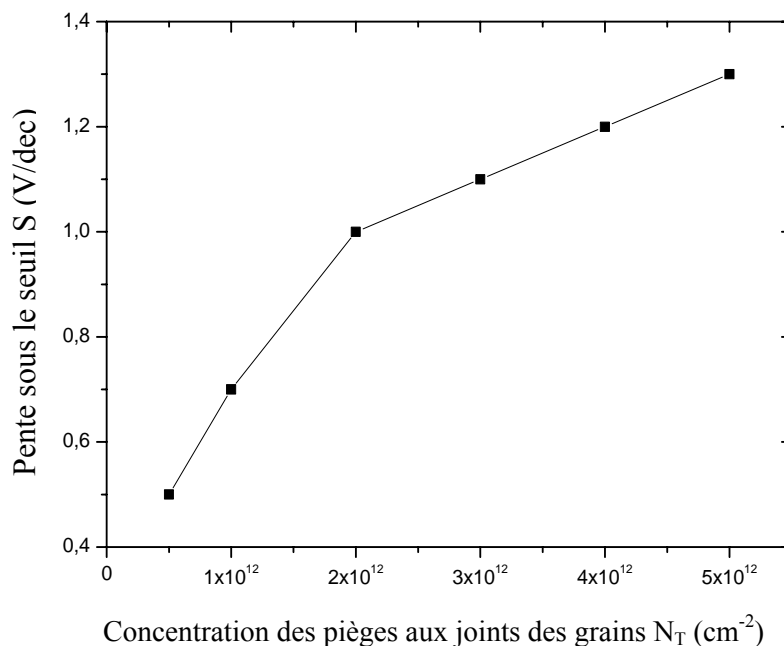


Fig.IV.22. Variation de la pente sous le seuil avec la concentration des pièges aux joints des grains d'un TFT poly-Si



VI.4. Mobilité d'effet de champ du TFT en poly-Si à canal n :

La mobilité des porteurs majoritaires (électrons) dans le canal représente la conductivité du TFT en poly-Si. Pour notre modélisation électrique, nous nous sommes intéressés en premier lieu à la mobilité linéaire ou mobilité à effet de champ du transistor en régime de fonctionnement linéaire correspondant aux faibles tensions de drain ($V_D = 0.1$ V). Cette mobilité a été estimée à partir de l'expression de l'équation III.34 du chapitre III.

La figure IV.23 montre une évolution linéaire de la mobilité effective des électrons en fonction de la taille des grains L_g . L'effet d'une augmentation de ce paramètre structural est visible sur l'évolution de la mobilité qui atteint des valeurs remarquables comprises entre $\mu_n = 20 \text{ cm}^2/\text{V.s}$ ($L_g = 50 \text{ nm}$) et $\mu_n = 158 \text{ cm}^2/\text{V.s}$ ($L_g = 500\text{nm}$). Il faut noter que de fortes mobilités ont été relevées et rapportées par la littérature [98]. Des valeurs remarquables de mobilités ont été obtenues par les procédés à recuit laser sous argon et par oxydation thermique à $1100 \text{ }^\circ\text{C}$ ($\mu_n = 300 \text{ à } 400 \text{ cm}^2/\text{V.s}$), bien que la taille des grains soit petite. Ces valeurs de mobilités sont proches de celles obtenues dans le cas d'un transistor MOSFET en silicium monocristallin.

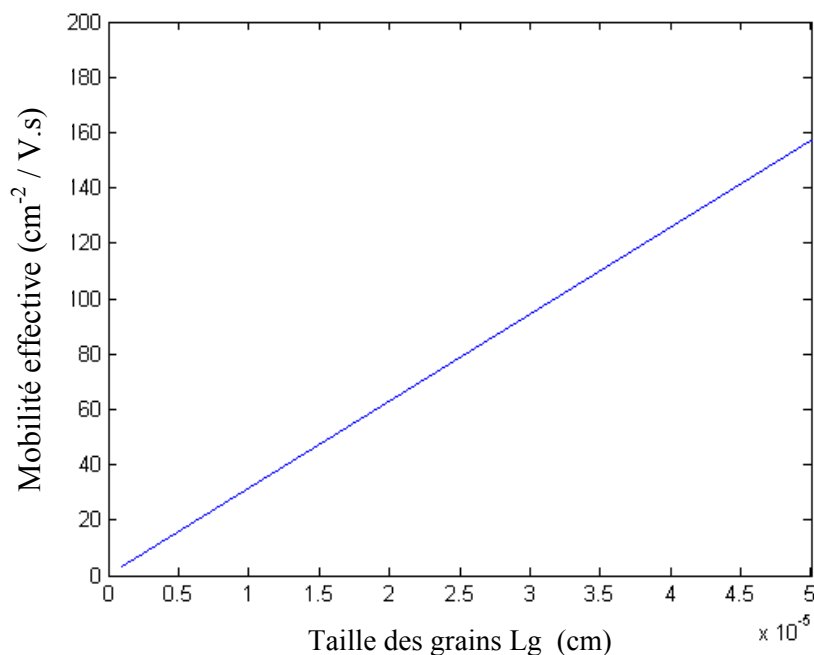


Fig.IV.23. Variation de la mobilité des électrons avec la taille des grains



En se basant sur l'expression de la mobilité donnée par l'équation (III.31.a) du chapitre précédent, nous pouvons discuter l'effet de la géométrie du transistor sur les paramètres électriques essentiellement la mobilité des électrons, comme il est indiqué sur la figure IV.24.

En effet, la mobilité des électrons semble influencer par la variation de la longueur du canal. Elle se trouve alors réduite approximativement de 50 % lorsque la longueur du canal diminue de 80 μm à 10 μm .

Le phénomène responsable de cette diminution brutale de la mobilité est probablement lié à la présence du champ électrique latéral dans le canal lorsque le transistor est en régime de saturation. Une hypothèse dont nous avons tenu compte lors de l'élaboration de notre modèle et qui a été décrite par l'équation (III.31.a) au chapitre précédent où nous avons explicité la relation qui relie le champ latéral aux paramètres électrique et géométrique (V_D et L) en introduisant un paramètre du modèle η . En effet, sous une tension V_D élevée et lorsque la longueur du canal L diminue, le champ latéral augmente davantage. Ce qui réduit certainement la mobilité exprimée par la relation (III.32).

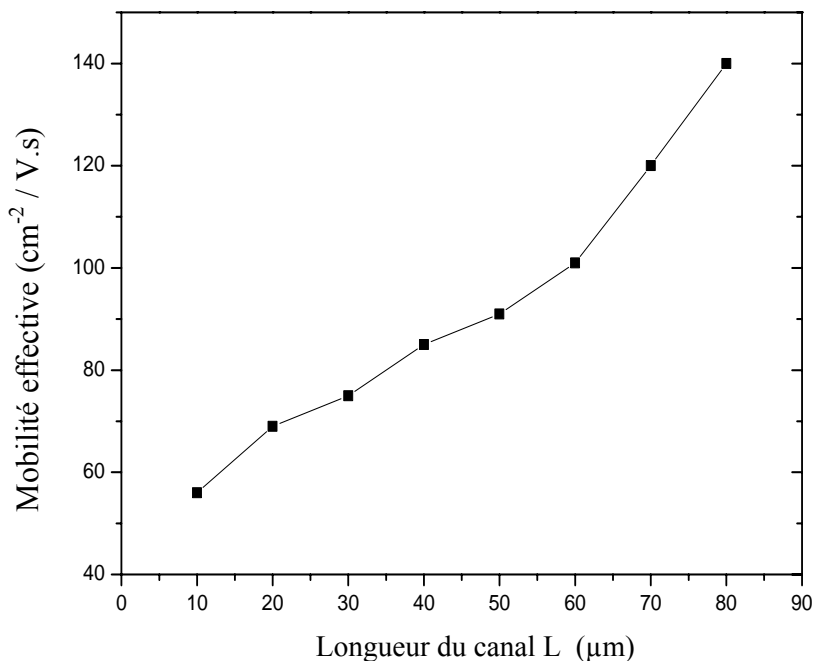


Fig.IV.24. Variation de la mobilité des électrons avec la longueur du canal



Conclusion :

Nous pouvons conclure des résultats obtenus que les paramètres électriques et géométriques du TFT en poly-Si affectent d'une manière significative les caractéristiques de sortie courant-tension. Les tracés théoriques ont illustré l'évolution de ces caractéristiques pour diverses valeurs de tensions V_D et V_G , en considérant l'effet de la variation des dimensions du canal, de la taille des grains, de la tension de seuil, et de la hauteur de barrière d'énergie aux joints des grains.

Le modèle développé, d'une part, nous a permis de mettre en évidence l'influence de l'effet kink (au-delà du régime de saturation) sur les allures de transfert de ces mêmes caractéristiques électriques, et d'autre part, d'introduire l'effet des défauts ou pièges présents dans la couche active (en polysilicium).

De plus, nous avons pu montrer que les états localisés sur les centres profonds contribuent de façon directe à la pente sous le seuil, et plus généralement à la caractéristique électrique du transistor fonctionnant en régime au dessous du seuil.

Le comportement du transistor en régime au dessus du seuil quant à lui est plutôt contrôlé par les états localisés aux queues de la bande de conduction.

Une analyse des paramètres extraits de notre modèle a révélé une tension de seuil minimale (0.9 V pour $N_T = 5 \cdot 10^{11} \text{ cm}^{-2}$), un rapport I_{ON}/I_{OFF} pouvant atteindre 10^5 , une pente sous le seuil relativement faible (0.5 V/dec à 1.3 V/dec) d'où une transition de l'état I_{OFF} à l'état I_{ON} rapide, et une mobilité effective des porteurs non négligeable, d'environ $50 \text{ cm}^2/\text{V.s}$ à $158 \text{ cm}^2/\text{V.s}$.

Tous ces paramètres requis nous permettent de conclure que le TFT en poly-Si possède des performances électriques suffisantes pour un adressage précis des circuits de pixels des écrans AMLCD.



CONCLUSION GENERALE

CONCLUSION GÉNÉRALE

Le domaine de développement des technologies de fabrication des écrans plats ou FPD (Flat Panels Displays), plus particulièrement les écrans à matrice active de transistors en couches minces ou TFTs est actuellement un sujet de recherche privilégié.

En effet, dans un écran à matrice active le TFT (Thin Film Transistor) est un dispositif de commutation de première importance, lorsqu'il s'agit d'adressage et maintien de ce type d'écran. Seulement, l'étude de son fonctionnement en mode de commutation basée sur une approche analytique a fait l'objet de peu de travaux jusqu'à présent. Dans le cadre de cette étude, il s'est avéré intéressant de présenter d'une part, un modèle analytique du TFT en polysilicium qui puisse décrire son comportement en régime statique en vue de l'exploiter dans le simulateur de composants électroniques TCAD-ATLAS. D'autre part, d'étudier les propriétés électriques et technologiques de ce composant de base dont est fabriqué le point élémentaire de l'écran (pixel).

Un état de l'art de la technologie des écrans FPDs, et de leurs multiples applications en grande surface a fait l'objet d'une étude détaillée au premier chapitre. Nous avons consacré un effort particulier à la description des propriétés physiques et électriques du transistor en couches minces.

Cet état de l'art de la technologie d'affichage nous a permis d'introduire la problématique et de fixer les objectifs dans le cadre de ce travail où nous avons pris en charge la modélisation du transistor en couche mince à base de polysilicium (ou TFT en poly-Si).

Rappelons que le silicium polycristallin ou polysilicium est le matériau de base (ou couche active) dans la fabrication du TFT. Dans la majorité des modèles de conduction, il est représenté comme une succession de grains parfaits séparés par des joints de grains où différents pièges sont réunis. Son développement et son utilisation dans des domaines novateurs dépendent de l'amélioration de ses performances, essentiellement électriques.

Dans le cadre de ce travail, nous avons donc exploité au second chapitre les propriétés physiques et électroniques de ce matériau pour l'élaboration d'un modèle analytique simplifié du fonctionnement du transistor du régime au dessous du seuil à celui au dessus du seuil. L'approche analytique traite la contribution de la densité d'état des pièges localisés sur les queues de bande de conduction et sur les centres profonds.

Cette approche analytique a contribué au développement du modèle global, sur toute la plage de fonctionnement du TFT, du régime d'accumulation à celui de la forte inversion. Le modèle, ainsi élaboré vise à relier la mobilité des porteurs et la hauteur de barrière de potentiel à la densité des pièges présente aux joints de grains et aux tensions de polarisation du dispositif. Les résultats de cette modélisation ont été représentés par une simulation du comportement électrique du composant en question, au moyen de la résolution numérique par la méthode de Simpson (technique approchée de calcul numérique de l'intégrale d'une fonction définie sur un intervalle). Ceci nous a permis d'obtenir un ensemble de tracés illustrant les caractéristiques électriques de sortie courant-tension pour différentes valeurs de tensions de drain V_D et de grille V_G , en considérant l'effet de la variation des dimensions du canal (longueur L et largeur W), de la taille des grains L_g , de la tension de seuil V_T et de la hauteur de barrière d'énergie Ψ_B aux joints de grains.

Ce même modèle tient compte de l'effet de l'application d'une tension de drain relativement élevée sur ces caractéristiques de sortie où un champ intense se crée à l'interface drain-grille. En effet, une multiplication des porteurs se produit rapidement, ce qui donne lieu à l'apparition du phénomène d'ionisation par impact, caractérisant l'effet kink. C'est un effet très important du moment que le courant de drain augmente de telle sorte qu'il n'est plus indépendant d'une valeur de tension de drain élevée (dans la gamme 10 V à 20 V) et des dimensions du canal lorsqu'elles sont réduites.

Enfin, le dernier chapitre du mémoire a englobé l'ensemble des résultats de la modélisation électrique du TFT en poly-Si du régime de fonctionnement linéaire au régime de saturation. Nous avons exposé les allures typiques des caractéristiques de transfert courant-tension en fonction des paramètres géométriques et physiques.

Ainsi, il nous a été possible, dans un premier temps, de traiter l'influence des états localisés profonds sur l'évolution des caractéristiques électriques du TFT en poly-Si en mode de fonctionnement au dessous du seuil, en particulier la variation de la pente sous le seuil en fonction de la concentration des pièges présente aux joints des grains, alors que le comportement du transistor en régime au dessus du seuil est gouverné par les états pièges localisés sur les queues de bande de conduction.

Dans un second temps, nous avons pu mettre en évidence l'influence de l'effet kink, qui apparaît au régime de saturation, sur les allures des caractéristiques de transfert courant-tension. Il faut noter que cet effet dégrade les propriétés électriques du TFT. Il est possible de réduire son influence en insérant deux zones faiblement dopées (technologie LDD-Lightly Doped Drain) entre le canal et le drain puis entre le canal et la source, ce qui constitue une solution apportée sur le plan technologique lors de la réalisation du TFT.

Dans l'ensemble, la validité du modèle élaboré a montré une bonne concordance, en confrontant les divers tracés avec les résultats expérimentaux et théoriques déjà publiés.

Ce travail a été également validé par une comparaison des caractéristiques de sortie, issues de l'analyse approchée de la modélisation en feuille de charge, avec les résultats fournis par le simulateur de composant électronique TCAD-ATLAS. Notons que l'approche analytique de la modélisation en feuille de charge suppose que la couche d'inversion est d'une épaisseur faible, pratiquement nulle, de telle sorte qu'aucune chute de potentiel ne puisse se produire au travers de celle-ci.

Par conséquent, et bien que dans leur ensemble les résultats obtenus montrent qu'ils peuvent être affectés d'une manière significative par les conditions de fabrication et de polarisation du transistor, les paramètres extraits de notre modèle (tension de seuil, pente sous le seuil, I_{ON}/I_{OFF} , mobilité) pourront permettre un fonctionnement satisfaisant du transistor TFT pour un adressage précis des circuits de pixels des écrans plats AMLCD.

BIBLIOGRAPHIE

REFERENCES

- [1] Shih-Chi Chang, “The TFT-LCD industry in Taiwan : competitive advantages and future developments”. *Technology in Society*, 27, p. 199-215(2005).
- [2] S-W.Hung, “Competitive strategies for Taiwan’s thin film transistor-liquid crystal display (TFT-LCD) industry”. *Tecchnology in Society*, 28 (3), p.349-361 (2006).
- [3] E.Sanidas, “ Technology, technical and organizational innovations, economic and societal growth”. *Technology in Society*, 26 (67), (2005).
- [4] C.C.Liu, “ The current status and development of Twain TFT-LCD industry”. *New Electronic Mag*, 167, p.140-154 (2000).
- [5] Display Search, “ Quarterly Large-Area TFT LCD”. *Shipment Report*, (2003).
- [6] TAE-Young Park, JAE-Yong Choung and HONG-Ghi Min, “ The cross-industry Sillover of Technology Capility: Korea’DRAM and TFT-LCD industries”. *World Development*, 36 (12), p. 2855-2873, (2008).
- [7] G. Palumbo, M. Pennisi, “AMOLED pixel driver circuits based on poly-Si TFTs: A comparison”. *INTEGRATION, the VLSI Journal*, 41, P; 439-446, (2008).
- [8] C.Kao, H. T. Hung “Management performance: an empirical study of manufacturing companies in Taiwan”. *Omega the International Journal of Management Science*, 35 (2), p. 162-160 (2007).
- [9] F.M..Tseng, Y.J. Chiu, J.S. Chen, “Measuring business performance in the high-tech manufacturing industry: A case study of Taiwan’s large-suze TFT-LCD panel companies”. *Omega the International Journal of Management Science*, 37, p. 686-697, (2009).
- [10] W.H.Kuo, P.H.Lin, S.L.Hwang, “ A frmawork of perceptual quality assessment on LCD-TV”, *Display*, 28, p.35-43, (2007).

-
- [11] M.E. Becker, “ Display-metrology for liquid-crystal-television-screens”, *Displays*, 26, p. 197-207, (2007).
- [12] J.T. Lina, F.K. Lo, W.T. Hsu and Y.T. Wang, “ Analysis of the supply and demand in the TFT-LCD market”. *Technological forecasting and Social Change*, 73, p. 422-435, (2006).
- [13] V.B. Kreng, H.T. Wang, “The interaction of market competition between LCD TV and PDP TV”. *Computer & Industrial Engineering*, 57, p. 1210-1217, (2009).
- [14] K.L. Hsieh, Y.S. Lu, “ Model construction and parameter effect for TFT-LCD process based on yield analysis by using ANNs and stepwise regression”. *Expert Systems with Applications*, 34, p. 717-724, (2008).
- [15] K.Tsai, S. Wang, “ Multi-site available-to-promise modeling for assemble-to-ordermanufacturing: an illustration on TFT-LCD manufacturing”. *International Journal. Production Economics*, 117, p. 174-184, (2009).
- [16] W.E. Howard, “ Thin-film transistor/ liquid crystal display technology”. *IBM. J. RES. DEVELOP*, Vol. 36, N°1, p.3-10 (1992).
- [17] G.H. Heilmair, L.A. Zanoni, and L.A. Barton, “Dynamic Scaattering : A new Electrooptic Effect in Certain Classes of Nematic Liquid Crystal”. *Proc. IEEE*, 56, p. 1162, (1968).
- [18] M. Schad and W. Helfrich, “Voltage-Dependent POptical Activity of a Twisted Nematic Liquid Crystal”. *Appl. Phys. Lett.*, Vol. 18, p. 127, (1971).
- [19] I. Pappas, S.Siskos, “A New Analog Buffer Using Low-Temperature Polysilicon Thin-Film Transistors for Active-Matrix Displays”. *IEEE Trans On Electron Devices*, Vol. 54, N°2, p. 219-22’, (2007).
- [20] T.P. Brody, F.C. Luo, D.H. Davies, and E.W. Greeneich, “Operational Characteristics of a 6 in. by 6 in, TFT Matrix Array, Liquid Crystal Display”. *Digest of Technical Paper, 1974 SID International Symposium, Society for Information Display*, p. 166, (1974).
- [21] W.G. Hawkins, “Polycrystalline_silicon device technology for large area electronics”. *IEEE Trans. Electron Devices*, Vol. ED-33, N° 4, p. 447-450, (1986).

-
- [22] K.M. Lim, K.Lee, M.K. Baek, B.Y. Lee, et al, “ A high resolution Poly-Si TFT-LCD employing analog sample and hold driver”. *Displays*, 29, p. 497-501, (2008).
- [23] W.K. Park, Y. Kang, and D.Kim , “Contact Characteristics of Silicon and Indium Tin Oxide (ITO) in Polysilicon Thin-Film Transistor”. *Journal of the Korean Physical Society*, Vol. 48, p.S1-S4 (2006).
- [24] A.BHAT. Guraj, “Low Temperature Metal Induced Laterally Crystallized Polysilicon Thin Film Transistors for AMLCD Applications”. PhD thesis of Electrical and Electronic Engineering Hong Kong University of Sciences and Technology, (1998).
- [25] H.S. Koo, M. Chen, P.C. Pan, “ LCD- based color filter fabricated by a pigment-based colorant photo resist inks and printing technology”. *Thin Solid Films*, 515, p. 896-901, (2006).
- [26] K.L. Lin, W.K. Chang, T.C. Chang, C.H, Lee, C.H., Lin, “Recycling thin film transistor liquid crystal display (TFT-LCD) waste glass produced as glass-ceramics”. *Journal of cleaner Production*, 17, p. 1499-1503, (2009).
- [27] M.S. Son, K.H. Yoo, J. Jang, “Electrical simulation of flicker in poly-Si TFT-LCD pixels for the large-area and high-quality TFT-LCD development and manufacturing’’. *Solid-State Electronics*, 48, p. 2307-2313, (2004).
- [28] K.M. Lim, H.C.Kang, M.Y. Sung “A study on the poly-Si TFT and novel pixel structure for low flicker”. *Microelectronics Journal*, 31, p. 641-646 (2000).
- [29] Z. Xion , “ Novel Scaled-down Poly-Si Thin Film Transistor Devices and Technologies’’. PhD thesis of Electrical and Electronic Engineering Hong Kong University of Sciences and Technology, (2005).
- [30] H. Sato, H. Nakamura, Y.Makazono, et al, “A 1.9M pixel poly-Si TFT-LCD for HD and computer-data projectors”. *IEEE Trans. On Electron Dev.*, 41 (4), p. 17501181-1188, (1995).
- [31] K.M. Lim, M.Y. Sung, “Low noise digital data driver circuit integrated poly-Si TFT-LCD”. *Microelectronics*, 30, p. 905-919, (1999).

- [32] E.C. Lee, K.R. Park, M. Whang, K. Min, "Measuring the degree of eyestrain caused by watching LCD and PDP devices". *International Journal of Industrial Ergonomics*, 39, p. 798-806, (2009).
- [33] C.M. Lin, "Comparison of TFT-LCD and CRT on visual recognition and subjective preference". *International Journal of Industrial Ergonomics*, 34, p. 167-174, (2004).
- [34] W.Hya, "Study of the effect of LCD glass sand on the properties of concrete". *Waste Manage*, 29 (1), p. 335-341, (2009).
- [35] H.Y.Wang, W.L. Huang, "Durability of self-consolidating concrete using waste LCD glass". *Construction and Building Materials*.(in press) (2009).
- [36] S. E. Naimi, "Optimisation et compréhension des performances électriques de nouvelles technologies de transistors MOS en couche mince". Thèse de doctorat, Université Paul Sabatier de Toulouse, France (1996).
- [37] Zhao.Tiemin, "Physics and technology of advanced polysilicon transistor and memory devices". PhD thesis of Electrical and Electronic Engineering, Stanford University, (1994).
- [38] A. Kumar, J.K. Sin, "Simple polysilicon TFT technology Display systems on glass". *IEDM Tech.Dig*, p. 515-518, (1997).
- [39] Y.Oana, "Current and future technology of low-temperature poly-Si TFt-LCD". *Journal of the Society for Information Displays*, Vol.9, N°3, p. 169-172, (2001).
- [40] W. Riess, H. Riel, T. Beierlein, et al, "Influence of trapped and interfacial charges inorganic multilayer light-emitting devices". *IBM Journal of research and Development*, Vol.45, (2001).
- [41] M.S. SZE, "Semi conductor devices physics and technology", 2nd Edition, New York, p. 564, (2001).
- [42] J.Y. Seto, "The electrical properties of polycrystalline silicon films". *J. Appl. Phys.*, Vol.46, p. 5247-5254, (1975).
- [43] J. Levinson et al, "Conductivity behavior in polycrystalline semiconducteur thin film transistor". *J. Appl. Phys.*, Vol. 53, p. 1193-1202 (1982).

- [44] G. Harbeke, L.Krausbauer, E.F.Steigmeir, and A.E. Widmer, "Growth and Physical Properties of LPCVD Polycrystalline Silicon". J. Elec.Soc.Solid-State Science and Technology, Vol. 131, N°3, p. 675-682, (1982).
- [45] M.S. Shur, H.C. Slade, M.D. Jacunski, A.A. Owusu, and T. Ytterdal, "Spice Models for amorphous Silicon and Thin Film Transistors". J. Electrochem. Soc, Vol. 144, N° 8, p. 2833-2839, (1997).
- [46] F. Qian, D.M. Kim, and H.G. Kawamoto , "Inversion/ Accumulation-mode Polysiliconin-Film Transistor: Characterization and Unified Modeling". IEEE Trans On Elect Devices, Vol. 35, N°9, p. 1501-1509, (1988).
- [47] Y.H. Byun, M. Shur, M. Hack, and K. Lee "New analytical polycrystalline-silicon thin film transistor model for Computer Aided Design and parameter extraction". Solid-State Electronics, Vol. 35, N°5, p. 655-663 (1992).
- [48] L.Mei, M. Rivier, Y. Kwark, and R.W. Dutton, "Grain-Growth Mechanisms in polysilicon". J. Electrochem.Soc: Solid-State Science and Technology, Vol. 129, N°8, p. 1791-1794, (1982).
- [49] A.T. Voustas, "The role of structural defects and texture variability in the performance of poly-Si thin film transistor". Thin Solid Films, 515, p. 7406-7412(2007).
- [50] O. Bonnaud, "Composants à semiconducteurs". Techno Sup, Ellipses, p. 154 (2006).
- [51] A.Bonfiglietti, M. Cuscuna, A. Valletta, L. Mariucci, et al, "Analysis of Electrical Characteristics of Gate Overlapped Lightly Doped (GOLDD) Polysilicon Thin-Film Transistors with Different LDD Doping Concentration". IEEE Trans On Elect Devices, Vol. 59, N°12, p. 2425-2433, (2003).
- [52] R.M.A. Dawson, Z. Shen, D.A.Furst, et al, "The impact of the transient response of organic light emitting diodes on the design of active matrix OLED displays". IEDM 1998, p. 875-878, (1998).
- [53] C.D. Dimitrakopoulos, R.L. Malenfant, "Organic Thin Film transistors for large area electronics". Advanced Materials, 14, p. 99- 117, (2002).

-
- [54] A. Yumoto, M. Asano, H. Hasegawa, and M. Setuya, "Pixel-driving methods for large-sized poly-Si AMOLED Displays". Asia DISPLAYS' IDW' 01, p. 1395-1398, (2001).
- [55] R.M.A. Dawson, Z. Shen, D.A. Furst, Y. Hong, J. Kaniki, and R. Haltori, "Novel poly-Si TFT pixel electrode circuits and current programmed active-matrix driving methods for AM-OLED". SID'02 Digest, p.618-621, (2002).
- [56] T. Matsuo, T. Muramatsu, "CG Silicon Technology and Development of System on Panel". SID'04, International Symposium, Vol.35, p. 856-859, (2004).
- [57] T. Mizuki, J.S. Matsuda, Y. Nakamura, "Large domains of continuous Grain silicon on glass substrate for high performance TFTs". IEEE, Trans. Electron. Devices, Vol.51, p.204-221, (2004).
- [58] N. Arpatzani, C.A. Dimitriadis, S. Siskos, A.A. Hatzopoulos, G. Kamarinos, "Determination of bulk and interface density of states in polycrystalline silicon thin film transistors". Thin Solid Films, 515, p. 7581-7584, (2007).
- [59] G.E. Pike, and C.H. Seager, "The dc voltage dependence of semiconductor grain-boundary resistance". J. Appl. Phys, Vol.50, N°5, p. 3414-3422, (1979).
- [60] G.A. Armstrong, J.R. Ayres, and S.D. Brotherton, "Numerical simulation of transient emission from deep level traps in polysilicon thin film transistors". Solid-State Electronics, Vol. 41, N° 6, p. 835-844, (1997).
- [61] L. Colalongo, M. Valdinoci, G. Bacarani, P. Migliorato, G. Tallarida, and C. Reita, "Numerical Analysis of poly-TFTs under OFF conditions". Solid-State Electronics, Vol. 41, N° 4, p. 627-633, (1997)..
- [62] A. Ortiz-Conde, J.G. Fossum, "Subthreshold behavior of thin-film LPCVD polysilicon MOSFET's". IEEE Trans Electron Devices, ED, 33 (10), p. 1563-1571, (1986).
- [63] N.A. Hastas, D.H. Tassis, C.A. Dimitriadis, and G. Kamarinos, "Determination of interface and bulk traps in the subthreshold region of polycrystalline silicon thin-film transistor". IEEE trans Electron Devices, 50 (10), p. 1991-1994, (2003).

-
- [64] G. Fortunato, D.B. Meakin, P. Migliorato, "The Sub-Threshold characteristics of polysilicon thin-film transistors". *Jpn. J Appl Phys*, 27 (11), p. 2124-2127, (1988).
- [65] W.Deng, X. Zheng R.Chen, and Y. Liu "Subthreshold characteristics of polysilicon TFTs". *Solid-State Electronics*, Vol. 34, No. 9, p. 969, (2007).
- [66] M. Estrada, A. Cerdeira, A. Ortiz-onde, et al, "Extraction method for polycrystalline TFT above and below threshold model parameters". *Solid-State Electronics*, 46, p. 2295-2300, (2002).
- [67] G. Fortunato, P. Migliorato, " Determination of gap state density in polycrystalline silicon by field-effect conductance". *Appl. Phys Lett*, 49, (16), p. 1025-1027, (1986).
- [68] C.A. Dimitridis, and P.A. Coxon, "Effect of temperature and electrical stress on performance of thin-film transistors fabricated from undoped low-pressure chemical vapor deposition polycrystalline silicon". *Appl. Phys Lett*, 54, (7), p. 620-622, (1989).
- [69] H.N.Chern, C.L Lee, and T.F. Lei, "An analytical model for the aboveithreshold thin-film transistors". *IEEE Trans Electron Dev*, 42 (7), p.1240, (1969).
- [70] J.Wener, M. Peist, "Exponential band tails in polycrystalline semiconductor films". *Phys Rev B*, Vol.31, N°10,p. 6881,(1985).
- [71] T.Kuan, A.Chou, and J.Kanicki, "Two-Dimensional Numerical Simulation of Solid-Phase-Crystallized polysilicon Thin-Film Transistor Charracteristics". *Jpn. J.Appl. Phys*, Vol.38, p. 2251-2255, (1999).
- [72] P. Lin, J.Guo, and C.Wu, "A quasi-two-dimensional model for the turn-on characteristics of polysilicon thin-film transistor". *IEEE Trans. Electron Devices*, Vol. 37, p. 666, (1990).
- [73] Y.H. Byun, M.Shur, M.Hack, and K.Lee, " New analytical polysilicon thin-film transistor model for CAD and parameter characterization". *Solid-State Electron*, Vol.33, p. 279,(1990).

- [74] J.Y. Lee, C.H. Han, and C.K. Kim, "High performance low temperature polysilicon TFT's using ECR plasma thermal oxide as gate insulator". IEEE Electron Devices Lett., Vol. 15, p. 301, (1994).
- [75] Gi-Young Yang, Sung-Hoi Hur, and Chul-Hi Han, "A Physical-Based Analytical Turn-On Model of Polysilicon Thin-Film Transistor for Circuit Simulation". IEEE Trans. Electron Devices, Vol. 46, N°1, p. 165-171, (1999).
- [76] C.C. Li, H. Ikeda, T. Inou, and P.K. Ko, "A Physical poly-silicon thin-film transistor model for circuit simulation". In IEDM Techn. Dig., p. 6191494 (1993).
- [77] M.J Siddiqui, S. Qureshi, "Surface-potential-based charge sheet model for polysilicon thin film transistor without considering kink effect". Microelectronics Journal. 32, p. 235-240, (2001).
- [78] T.I. Kamins, "Hall Mobility in Chemically deposited polycrystalline silicon". J. Appl. Phys., 42 (11), p. 4357, (1971).
- [79] G. Baccarani, B. Ricco, and G. Spadini, "Transport properties polycrystalline silicon films". J. Appl. Phys., 49, p. 5565, (1978).
- [80] N.H. Toudjen, and F. Mansour, "A numerical analysis of the electrical characteristics of small-grains poly-Si TFTs". Eur. Phys. J. Appl. Phys., 48, p. 10301, (2009).
- [81] C.A. Dimitriadis, D.H. Tassis, N.A. Economou, A.J. Lowe, "Determination of bulk states and interface states distributions in polycrystalline silicon thin-film transistors", J. App. Phys, Vol.74, N°4, p.2919-2924, (1993).
- [82] N. Arpatzani, C.A. Dimitriadis, S.Siskos, A.Hatzopoulos, G.Kamarinos "Dermination of bulk and interface density of states in polycrystalline silicon thin film transistor", Thin Solid Films, Vol.515, p.7581-7584,(2007).
- [83] D. Wanling, Z. Xuren, C. Rongshen, " Subthreshold characteristics of polysilicon TFT s', Solid-State Electronics. 52, p. 695, (2008).
- [84] N. H. Toudjen, F.Mansour, "Study and conception of conduction mode current voltage of polysilicon thin film transistor". Information and Communication Technologies International Symposium, "ICTIS'05", Tetuan. Morocco, IEEE , ISBN: 9954-8577-0-2, pp. 163-168, (2005). <http://www.ieeexplore.ieee.org>.

- [85] W.Y.Yang, W.Cao, T.S.Chung, and J.Morris, '' Applied Numerical Methods Using Matlab''. A JOHN WILEY& SONS, INC, Publication, pp. 226 (2005). ISBN: 0-471-69833-4.
- [86] N. H. Toudjen, F.Mansour, "Modélisation Analytique de l'effet kink dans un transistor en couches minces à base de polysilicium". Revue Sciences & Technologie, Université Mentouri de Constantine, Algérie. Sciences & Technologie B, N°27, pp. 25-29 (2008). ISSN: 1111-5041. <http://www.umc.edu.dz>.
- [87] G.A. Armstrong, S.D. Brotherton, and J.R. Ayres, "A comparison of the kink effect in polysilicon thin film transistors and silicon on insulator transistors". Solid-State Electronics, Vol 39, N°9, p. 1337-1346, (1996).
- [88] M.J. Siddiqui, S. Qureshi, S.M. Alshariff "A simple semi-analytical model for the kink effect for the intrinsic N-channel polysilicon thin film transistors". J. Electron Technology, 39, p. 1-4 (2007).
- [89] H.C. Pao, C.T. Sah, "Effects of diffusion current on characteristics of MOSFET". Solid-State Electron, 9, p. 927-937, (1966).
- [90] J.R. Brews, " A charge sheet model of the MOSFET". Solid-State Electronics, 21, p. 345-355, (1978).
- [91] N. H. Toudjen, F.Mansour, "Modeling kink effect in the poly-Si TFTs under charge sheet approach". The 2009 International Conference on Advances in Computational tools for Engineering Applications (ACTEA 2009), july 15-17, 2009, Beirut, Lebanon. IEEE Catalog Number: CFPO945G , ISBN: 978-1-4244-3834-12, pp. 407-410, (2009). <http://www.ieeexplore.ieee.org>.
- [92] S. Bindra, S. Haldar, R.S. Gupta, "Charge sheet model of a polysilicon thin-film transistor". Microelectronic Engineering, 60, p. 381_393, (2002).
- [93] N. H. Toudjen, F.Mansour, "Analysis of kink effect using charge sheet model of polysilicon Thin Film Transistor (poly-Si TFT)". International Conference on Electrical Engineering Design and Technologies (ICEEDT'07), November 4-6, 2007, Hammamet, Tunisia, (2007).

-
- [94] S. Bindra, S. Hadar, R.S.Gupta, "Modeling of kink effect in polysilicon thin film transistor using charge sheet approach". *Solid-State Electronics*, 47, p. 645-651, (2003).
- [95] G. Fortunato, A. Valleta, P. Gaussi, M. Mariucci, S.D. Brotherton, "Short channel effects in polysilicon thin film transistors". *Thin Solid Films*, 487, p. 221-226, (2005).
- [96] V.Filippos, J.Brini, G. Kamarinos, C.T.Angelis, C.A. Dimitriadis, and M.Miyasaka, "On-Current Modeling of Large-Grain Polycrystalline Silicon Thin-Film Transistors". *IEEE Trans on Electron Devices*, Vol. 48, N°4, (2001).
- [97] J.G.Fossum, A.O-Conde, H. Shichijio, S.K. Banerjee, "Anomalous Leakage Current in LPCVD Polysilicon MOSFET's". *IEEE Trans. Electron Devices*, Vol.ED-32, N°ç, P.1878 , (1985).
- [98] E. Campo, "Procédés thermiques rapîdes RTA,O: Application à la realization de transistors à films minces de silicium déposés à partir de disilane". Thèse de doctorat de l'Institut National des Sciences Appliquées, France (1996).

PUBLICATIONS

EPJ AP

Applied Physics

EPJ.org

your physics journal

Eur. Phys. J. Appl. Phys. **48**, 10301 (2009)

DOI: 10.1051/epjap/2009116

A numerical analysis of the electrical characteristics of small-grains poly-Si TFTs

N.H. Toudjen and F. Mansour



The title "The European Physical Journal" is a joint property of EDP Sciences, Società Italiana di Fisica (SIF) and Springer

A numerical analysis of the electrical characteristics of small-grains poly-Si TFTs

N.H. Toudjen^a and F. Mansour

LEMEA MED Laboratory, Department of Electronics, Faculty of the Engineer's Sciences, University of Mentouri Constantine, Algeria

Received: 18 August 2008 / Received in final form: 22 April 2009 / Accepted: 27 April 2009
Published online: 21 July 2009 – © EDP Sciences

Abstract. Voltage characteristics of polysilicon thin films transistors (Poly-Si TFTs) are related to basic material and device parameters. Understanding and modeling the electrical behavior of poly-Si TFT require knowledge of equivalent properties of polysilicon which are strongly affected by defects present in this material. A numerical analysis, which studies the electrical characteristics of small-grains poly-Si TFTs, has been investigated. The density of states (DOS) in the band gap is modeled by assuming an exponential distribution of deep and tail states. The proposed model evaluates the influence of both deep and tail states on the electrical conduction process and the dominant contribution of tail states on the threshold voltage values while the deep states in the middle of polysilicon gap controls the lower threshold regime. The surface potential and ON/OFF current ratio are also calculated. The comparison of the generated current-voltage characteristics obtained from numerical simulation TCAD-ATLAS with those reported in the literature show a good agreement.

PACS. 71 Electronic structure of bulk materials – 71.23.An Theories and models; localized states – 71.55.-i Impurity and defect levels – 71.55.Jv Disordered structures; amorphous and glassy solids

1 Introduction

For large promising area of electronic products, polysilicon thin Film transistors (poly-Si TFT's) are emerging as a key technology for both active matrix liquid crystals displays (AMLCDs) and driving circuitry on the same substrate [1].

Indeed, their importance has increased with the advent of three dimensional (3D) LSI circuits and in addressing pixels. Furthermore, poly Si-TFTs are currently used in static RAMs as active pull-up devices by combining the advantages of small cell area with those of faster cell response during the read/write cycle [2,3].

Several authors derived analytical expressions for the drain current to avoid empirical approximations which involve the solution of Poisson's equation with inclusion of the grain structure defects and hence potential barriers within the grain boundaries. So, the expressions tend to be quite complicated [4,5].

In fact, these models usually rely on simplifying assumptions such as the use of a single effective trap energy level, which makes the models semi-empirical but can not be directly related to material properties or device structure. Thus, understanding and modeling the electrical behavior of poly-Si TFT require knowledge of equivalent

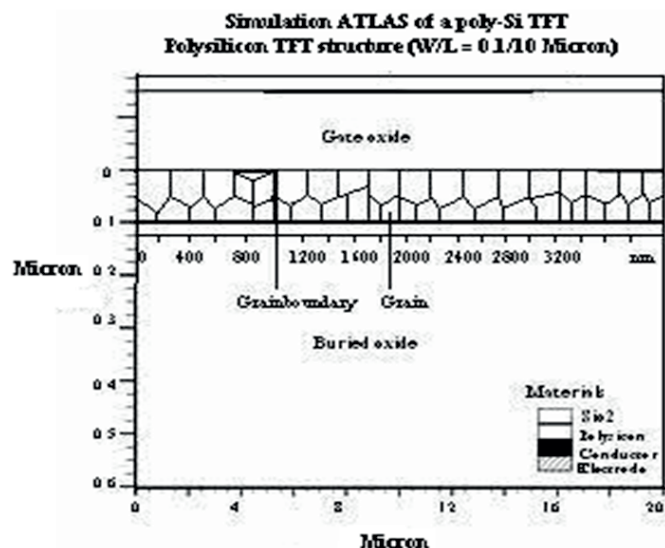


Fig. 1. Simulated cross section of *n*-channel polysilicon TFT by TCAD-ATLAS ($L_g = 200$ nm, $W/L = 0.1 \mu\text{m}/10 \mu\text{m}$).

properties of polysilicon which are strongly affected by defects present in this material.

We present in this paper a simple analytical model which describes the electrical properties of small grain

^a e-mail: houdatoudjen@yahoo.fr

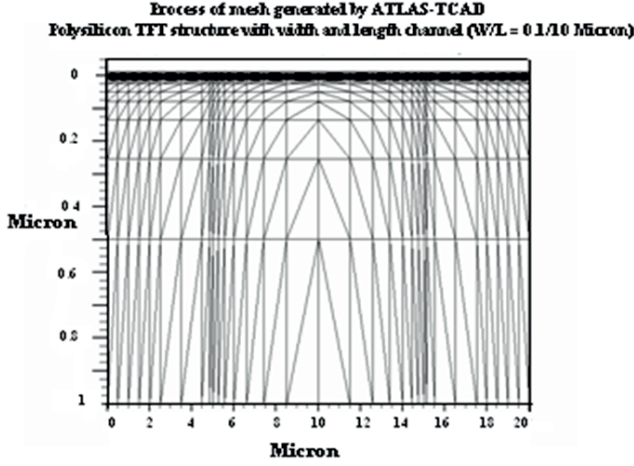


Fig. 2. Process of mesh generated by TCAD-ATLAS of n -channel polysilicon TFT.

sizes polysilicon TFT has been proposed. From the theoretical model charge surface potential, current-voltage (I - V), threshold voltage and ON/OFF current ratio relationships are expressed. In addition, the impact of the defects like dangling bonds and spatial localization within the active layer on the electrical behavior of TFTs biased at strong inversion and operating in the linear mode has been studied. The same model was applied for long and narrow channel with various grains sizes and trap density of states.

2 Physical model

2.1 Trap state distribution

In modeling poly-Si thin film devices, and because there is a mixture of grains and amorphous-like structures in polysilicon films, it is extremely important to account for a large number of defects exist within the grain volume. According to the basic assumption of continuous DOS with exponential tails at the grain boundaries which is available for small grains TFTs, equations describing the drain current-drain voltage characteristics can be derived.

A schematic cross section of a typical poly-Si TFT is given and simulated using the two-dimensional simulator TCAD-ATLAS software (Technology Computer Aided Design). The n -channel poly-Si TFT is assumed to have columnar grain structure with small grain size $L_g = 100$ nm to 200 nm perpendicular to the lateral channel and of 2 nm grain boundary thickness (Fig. 1). The length and the width of the channel are $L = 10$ μ m and $W = 0.1$ μ m respectively.

The meshing process made by TCAD-ATLAS simulator is given in Figure 2 at the interface of oxide/polysilicon and the grain/grain boundary regions, the meshing-step has been made finer.

When gate voltage V_G is applied, surface potential will vary along the length of the channel and can be obtained

from the solution of the one-dimensional Poisson's equation [6]:

$$\frac{d^2\Psi}{dx^2} = \frac{q}{\varepsilon_{si}} (n + N_{TA}^- + \Sigma N_{Ti} f_i) - \rho_s. \quad (1)$$

Where ρ_s is the surface density, f_i the trap occupation function for the electrons, Ψ the electrostatic potential. N_{TA}^- , N_{Ti} and n are the density of ionized acceptor-like traps, trap density and the free charge density respectively.

The density of ionized acceptor-like traps for a single exponential DOS distribution in the upper half of the gap [7,8] is assumed by:

$$N_{TA}^- = \frac{N_T/L_g}{1 + \theta \left[\exp\left(-\frac{\Psi}{\Phi_t}\right) \right]} = g(E) \frac{\pi kT}{\sin\left(\frac{\pi kT}{E_{in}}\right)} \times \exp\left(\frac{E_{f0} + q\Psi - qV - E_c}{E_{in}}\right). \quad (1a)$$

Where $\theta = 0.5 \exp(E_T - E_i)/kT$, E_i is the intrinsic energy, N_T density of traps located at energy E_T , E_{f0} the Fermi level in grain boundary, E_{in} inverse slope of states and Φ_t the thermal voltage.

V the channel potential and $g(E)$ is the states density distribution, L_g grain size and k Boltzmann constant.

The free charge density n can be expressed as:

$$n = n_i \exp\left(\frac{\Psi - V}{\Phi_t}\right). \quad (1b)$$

It is known that the acceptor-like states that are important for an n -channel device operation (lower threshold and inversion regimes) can be considered as a contribution of the two localized states: deep localized-acceptor states and tail localized-acceptor states. The distribution $g(E)$ used is given by [7]:

$$g(E) = N_{TA} \exp\left(\frac{E - E_c}{W_{TA}}\right) + N_{DA} \exp\left(\frac{E - E_c}{W_{DA}}\right). \quad (2)$$

Where N_{TA} and N_{DA} are the densities of the tail and the deep states at the conduction band E_c respectively.

W_{TA} and W_{DA} are the characteristics temperature for the two localized states respectively.

To obtain expressions for localized trapped charge density for the deep and the tail states, we have to integrate the density of state function given by:

$$N_{TA} = \int_{E_v}^{E_c} g_{TA} f_{TA}(E, n, p) dE \quad (3)$$

$$N_{DA} = \int_{E_v}^{E_c} g_{DA} f_{DA}(E, n, p) dE \quad (4)$$

f_{TA} and f_{DA} are the probabilities of occupation for tail and deep states.

The lower and the upper threshold regimes illustrate the transport carriers or their transition through the deep localized states and through the tail localized states to the bottom of the conduction band which are depending on the magnitude of gate voltage [7].

For the calculation of the surface potential Ψ_s , one has to relate the total charge Q_c in the channel, solving for the electric field at the surface and applying Gauss's law to the oxide/polysilicon interface, the implicit relation between gate voltage V_G and Ψ_s is expressed by:

$$V_G - V_{fb} - \psi_s = \frac{\sqrt{2q\epsilon_{si}}}{C_{ox}} \left\{ \left\{ \left(\frac{N_T}{L_g} \right) \psi_s + \Phi_t n_i (\exp(\Psi_s - V) / \phi_t) \right\}^{1/2} - \exp(-V / \Phi_t) \right\}. \quad (5)$$

An expression that approximates equation (5) where the dominant term is the density of ionized traps N_{TA^-} , and free carriers are neglected, we get asymptotic equation [8,9]:

$$V_G - V_{fb} - \psi_s = \frac{\sqrt{2q\epsilon_{si}}}{C_{ox}} \left[N_{DA} E_{in} \left[\exp\left(\frac{q\Psi_s}{E_{in}}\right) - 1 \right] \right]^{1/2} \quad (6)$$

$$\text{Where } N_{DA} = g_{DA} \frac{\pi kT}{\sin(\pi kT / E_{in})} \exp\left(\frac{E_{f0} - qV - E_c}{E_{in}}\right). \quad (7)$$

So, surface potential can be approximately determinate by equation (6), since in the sub-threshold regime most of the induced charge is trapped in deep states g_{DA} .

Thereafter, the transport carriers that pass through the poly-Si TFT channel play an essential role in determining electrical behavior.

2.2 Current-voltage model

It is very important to understand the effect of the grain boundary states at different interfaces on the on-state and off-state characteristics in order to analyze the conduction mechanisms and optimize the current voltage behavior of poly-Si TFTs.

Therefore, the most commonly electrical conduction in such devices has been modeled by application of the carrier trapping model inside the inversion channel [10].

In our model, we have normalized the channel length L to the sum of n number grain and the same n number of the grain boundaries which yields: $L = nL_G + nL_{GB}$ where $n = L/L_G$. So, it is evident that the grain size is the same through out the channel.

Analyzing the channel using the gradual channel approximation, the drain current can be written as:

$$I_D = I_{drift} + I_{diff} = \mu_n Q_{inv} W \frac{d\Psi_s}{dx} + \mu_n W \Phi_t \frac{dQ_{inv}}{dx} \quad (8)$$

where W and μ_n are the channel width and electron mobility respectively. When gate voltage increases, the TFTs operate at strong inversion regime.

Since the free carrier charge density Q_n is equal to charge density in strong inversion region, Q_{inv} can be written as:

$$Q_{inv} = q \int_0^\infty n(x, y) dy = -C_{ox}(V_G - V_T - V_i) = 0.8Q_n. \quad (9)$$

Where V_i is the potential in the i th grain, V_T is the threshold voltage with an effective doping concentration N_{eff} defined as:

$$N_{eff} = N_A + 2N_{TA^-} / L_{GB}. \quad (10)$$

The total charge which is the sum of inversion charge Q_{inv} and the trapped charge Q_t is expressed as:

$$Q_C = Q_{inv} + Q_t. \quad (11)$$

Under the above assumption the trapped charge as function of the surface potential, grain size and thin film thickness t_{poly} is given by:

$$Q_t = -q \frac{N_T / L_g}{1 + \theta \exp\left(-\frac{\Psi_s}{\Phi_t}\right)} t_{poly}. \quad (12)$$

On the other hand, the inversion charge in the grain boundary Q_{invGB} as function of the surface potential in strong inversion and the inversion charge Q_{invG} within the grain is expressed by:

$$Q_{invGB} = \exp\left(\frac{-\Psi_s}{\Phi_t}\right) Q_{invG}. \quad (13)$$

Consequently, the drain current is approximated as an analytic form using Simpson's rule:

$$I_D = \begin{cases} \frac{W}{L} C_{ox} \mu_n f(V_D) & \text{when } V_D < V_{Dsat} \\ \frac{W}{L} C_{ox} \mu_n f(V_{Dsat}) + I_{kink} & \text{when } V_D > V_{Dsat}. \end{cases} \quad (14a)$$

Where the kink effect is modeled by a drain current I_{kink} and the drain voltage V_D is expressed as function:

$$f(V_i) = \int_0^{V_i} \exp\left(-\frac{q}{KT} \psi(V_i)\right) (V_G - V_T - V_i) dV_i \quad (14b)$$

$$I_{kink} = \frac{W}{L} \mu_n C_{ox} \left[\exp\left(-\frac{q}{KT} \Psi(V_{Dsat})\right) \times (V_G - V_T - V_{Dsat}) (1 + K_M) (V_D - V_{Dsat}) \right] \quad (14c)$$

$$K_M = 48 \times 10^4 \exp\left(-\frac{1.3L}{n_k V_D}\right) \quad (14d)$$

where n_k is a fitting model parameter which is constant for different channel lengths.

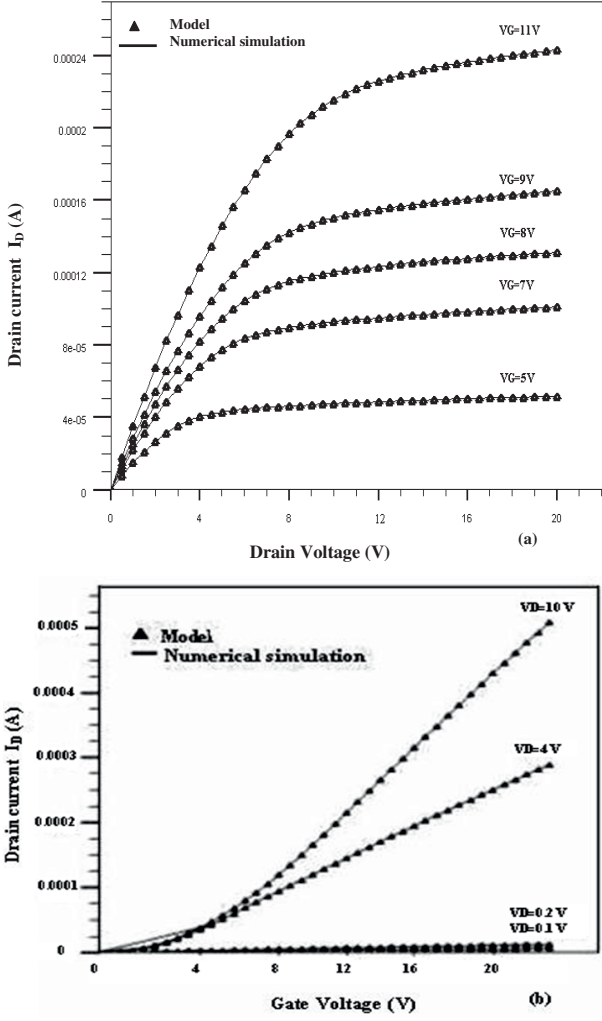


Fig. 3. Comparison between model results and the ATLAS simulator results. For n -channel poly-Si TFT with out kink effect (a) I_D - V_D characteristics with $L_g = 200$ nm and $W/L = 0.1 \mu\text{m}/10 \mu\text{m}$. (b) I_D - V_G characteristics with $L_g = 200$ nm and $W/L = 0.1 \mu\text{m}/10 \mu\text{m}$.

Therefore using the two equations (14a) and (14b) together and when $V_D < V_{Dsat}$ the drain current is expressed as:

$$I_D = \frac{W}{L} \mu_n C_{ox} \frac{V_D}{6} \left[\begin{array}{l} \exp\left(-\frac{q}{KT}\Psi(0)\right) (V_G - V_T) \\ + 4 \exp\left(-\frac{q}{KT}\Psi\left(\frac{V_D}{2}\right)\right) \\ (V_G - V_T - \frac{V_D}{2}) + \exp\left(-\frac{q}{KT}\right. \\ \left. \times \Psi(V_D)\right) (V_G - V_T - V_D) \end{array} \right]. \quad (15)$$

The kink effect appears in a poly-Si TFT where a very high electron field is created at the drain-gate interface. A multiplication of carriers quickly occurs giving rise to an ionisation phenomenon by impact. Consequently, the sub-threshold slope becomes steeper at this higher drain voltage.

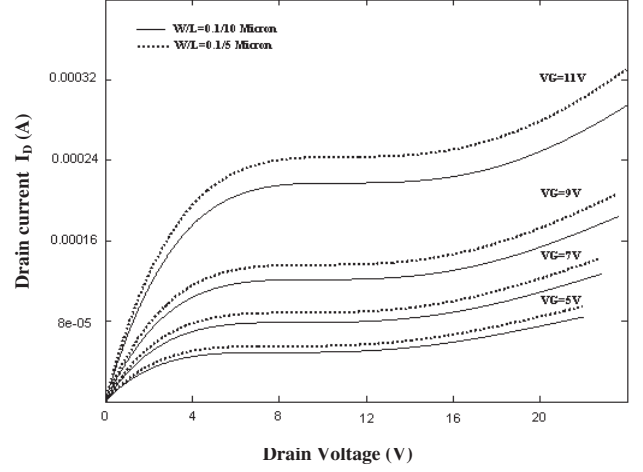


Fig. 4. I_D - V_D characteristics showing kink effect of n -channel poly-Si TFT for long and short channel with $L_g = 200$ nm.

3 Results and discussions

To verify the validity of the proposed analytical model for small grains TFTs using deep and tail states, we have compared simulated transfer characteristics $I_D(V_D)$ and $I_D(V_G)$ using our model and typical experimental data reported from Poly-Si TFT compiled from the literature [8–10] with those obtained using TCAD-ATLAS simulator software. In Figures 3a and 3b as can be seen, a comparison is made with the numerical simulation and predicted results in which the simulation is performed for five gate biases: 5, 7, 8, 9 and 11 V for n -channel poly-Si TFTs for long and narrow channel ($W/L = 0.1/10 \mu\text{m}$) with out considering the kink effect. It is clear that an excellent agreement is achieved between the analytical model and the numerical results.

In addition, kink effect has a strong impact on the $I_D(V_D)$ as shown in Figure 4. Out put characteristics exhibit increasing drain current at high drain voltage. The kink current significantly increases when length is decreased. This behaviour is well predicted by our model.

On the other hand, the behaviour of current I_{ON}/I_{OFF} ratio on the distribution of localized states is similar to that the threshold voltage (Fig. 6).

By simulating TFT current, the effects of transistors parameters on threshold voltage V_T and the current I_{ON}/I_{OFF} ratio are evaluated. Indeed, in Figures 5 and 6 we show the effect of the tail state density at the conduction band edge g_t on the threshold voltage with different grain sizes L_g . As an increase of g_t , the curve stretch out, and the threshold voltage becomes larger. The calculated V_T is typically about 3.2 V using a device with $L_g = 200$ nm. Also, as reported in Figure 5, the TFTs with average grain sizes about 100 nm have larger threshold voltage values than the ones with grain sizes equal 500 nm.

In Figure 7 we have represented the numerical results of the relation between gate voltage and surface potential. Since an exponential density of states strongly affects

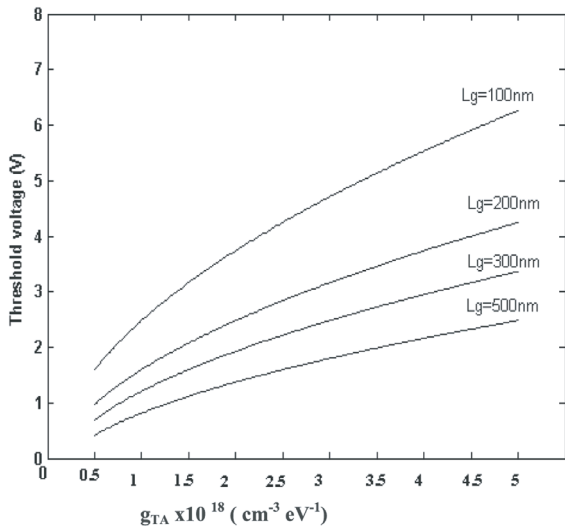


Fig. 5. Threshold voltage versus tail density for various grain size of polysilicon TFT ($L_g = 200$ nm, $W/L = 0.1 \mu\text{m}/10 \mu\text{m}$).

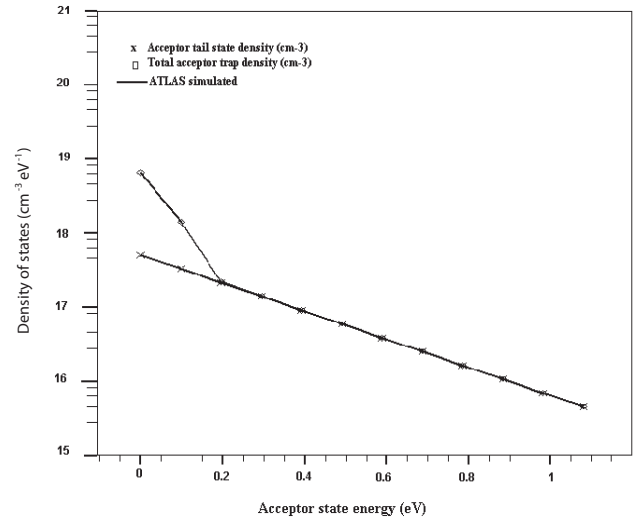


Fig. 8. Density of state distribution versus Trap energy for grain region of the polysilicon TFT ($L_g = 200$ nm, $W/L = 0.1 \mu\text{m}/10 \mu\text{m}$).

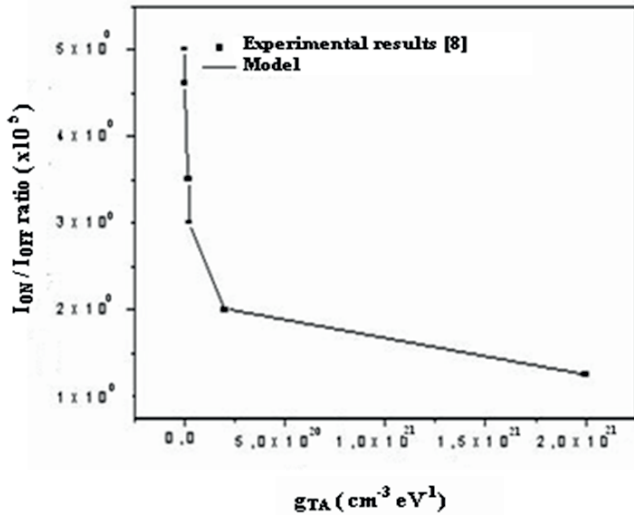


Fig. 6. I_{ON}/I_{OFF} versus tail state density of polysilicon TFT ($L_g = 200$ nm, $W/L = 0.1 \mu\text{m}/10 \mu\text{m}$).

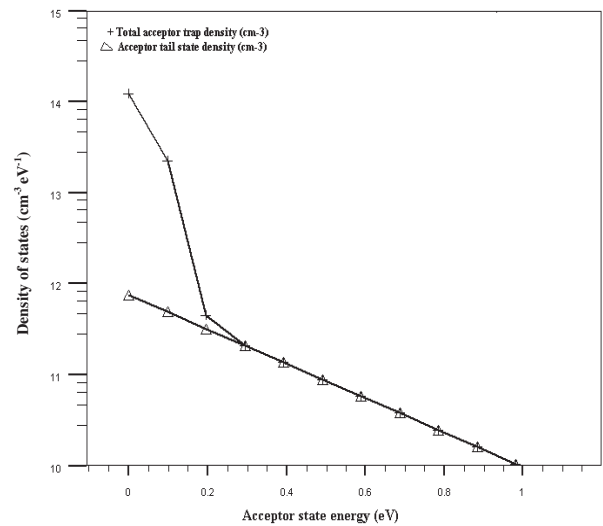


Fig. 9. Density of state distribution versus Trap energy for grain boundary region of the polysilicon TFT ($L_g = 200$ nm, $W/L = 0.1 \mu\text{m}/10 \mu\text{m}$).

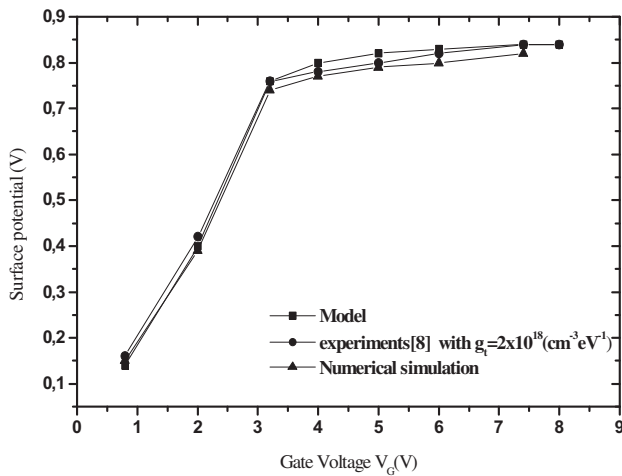


Fig. 7. The surface potential as function of gate voltage of polysilicon TFT ($L_g = 200$ nm, $W/L = 0.1 \mu\text{m}/10 \mu\text{m}$).

lower threshold characteristics, the most of induced charge is trapped in deep states. However, our analysis with the restrict of equation (6) is an excellent approximation.

In addition, the conduction behaviour of the poly-Si TFT was analyzed by numerical simulation taking into account the effect of the energy-distribution traps. In our model, it is assumed that there are traps at the grains and at the grain boundaries. So, we have adjusted the density of states profiles at these regions separately in order to obtain an optimized result. A good fit between the model and ATLAS simulator is observed in Figures 8 and 9. The results show if the density of tail states is high at the grain region than at the grain boundary region, most of

the charges reside in gap states leading to a reduction in number of free carriers available to sustain drain current.

4 Conclusion

Numerical simulation of an analytical model of small grains poly-Si TFT has been considered above the threshold and electrical characteristics. This study reveals that I - V characteristics can be significantly affected by distribution deep and tail localized states in energy gap and at grains/grain boundaries regions. The study of surface potential, apparent threshold voltage and ON to OFF current ratio show that in lower and upper threshold regimes, parameters behaviour are governed by deep states and the tail states distributions in the active layer. The results, which show good agreement with previously reported experimental data, reveal that the current-voltage characteristics are related to device parameters. Furthermore, the relationship between device parameters and model parameters is simple. It was, so easy to implement this one into simulator TCAD-ATLAS.

References

1. L. Youngchul, Thesis (Engineering Science and Mechanics), Pennsylvania State University, 2003
2. S.D.S. Malhi, H. Shichijo, R. Sundarson, IEEE Trans. Electron. Dev. **32**, 258 (1985)
3. A.J. Walker et al., in *Symp. VLSI Tech. Dig.* (2003), pp. 29–30
4. Y. Gi-Young, H. Sung-Hoi, H. Chul, IEEE Trans. Electron. Dev. **46**, 165 (1999)
5. G.A. Armstrong, J.R.S.D. Ayres, S.D. Brotherton, Solid-State Electron. **41**, 835 (1997)
6. C.A. Timitriadis, D.H. Tassis, N.A. Economou, A.J. Lowe, J. Appl. Phys. **74**, 2919 (1993)
7. N. Arpatzanis, C.A. Dimitriadis, S. Siskos, A. Hatzopoulos, G. Kamarinos, Thin Solid Films **515**, 7581 (2007)
8. D. Wanling, Z. Xuren, C. Rongshen, Solid-State Electron. **52**, 695 (2008)
9. M. Estrada, A. Cerdeira, A. Ortiz-Conde, F.J. Garcia Sanchez, Solid-State Electron. **46**, 2295 (2002)
10. F. Qian, D.M. Kim, H.K. Park, J.I. Sachitano, IEEE Trans. Electron. Dev. **134**, 2439 (1987)

MODELISATION ANALYTIQUE DE L'EFFET KINK DANS UN TRANSISTOR EN COUCHES MINCES A BASE DE POLYSILICIUM

Reçu le 03/05/2006 – Accepté le 08/01/2008

Résumé

Un modèle analytique simple du fonctionnement, en régime statique, d'un transistor en couches minces à base de polysilicium ou TFT poly-Si (polysilicon Thin Film Transistor) est proposé. Le modèle décrit les propriétés du transistor ainsi que les phénomènes physiques représentatifs du silicium polycristallin. Les résultats de cette étude sont représentés par la simulation du comportement électrique du TFT en prenant en compte l'influence de l'augmentation de la tension de drain sur les caractéristiques courant-tension appelé couramment effet "kink". C'est un effet très important car le courant augmente de telle sorte qu'il n'est plus indépendant de la tension de drain et des dimensions du canal du transistor.

La comparaison des différents tracés, illustrant l'évolution des caractéristiques $I_{DS}(V_{DS})$ pour diverses valeurs de V_{GS} , avec les résultats de travaux expérimentaux et théoriques déjà existants ont révélé une bonne concordance.

Mots clés : Effet kink, transistor à couches minces (TFTs), polysilicium, modèle analytique.

Abstract

A simple analytical dc model for n-channel polysilicon Thin Film Transistor (poly-TFT) including a fundamental gate length dependence of voltage at which a kink effect appears in the output characteristics. This important and rapid rise in the output current occurs at large drain-source when the TFT is biased in saturation there is a high electric field in the channel near the drain causing avalanche multiplication or impact ionisation in the pinch-off region. The kink effect increases, in digital circuits, the power dissipation, and slightly degrades the switching characteristics, while, in analogue circuit applications, it reduces the maximum attainable gain as well as the common mode rejection ratio.

The proposed model contains a number of parameters which are easily extracted and can be readily related to the structural and material properties of the poly-Si TFTs. Comparison between the model and measured results show an excellent agreement taking into account different channel lengths.

Keys words : kink effect, Thin Films Transistors (TFTs), polysilicon, analytical model

**N.H. TOUIDJEN
F. MANSOUR**

Laboratoire d'Etude des
Matériaux Electroniques pour
Application Médicale

Département d'Electronique

Faculté des Sciences de
l'Ingénieur

Université Mentouri
Constantine -Algérie

ملخص

إن الغرض من هذا العمل هو اقتراح نموذج رياضي تحليلي بسيط يدرس كل من خصائص المقفل دو طبقات رقيقة من السليسيوم المتعدد البلور أو (polysilicon Thin Film Transistor) و الوظائف الخاصة بهذا الأخير في النظام الدائم.

اعتمادا على هذا النموذج قمنا بمحاكاة الخواص الكهربائية ل poly-Si TFT أخذين بعين الاعتبار تأثير الارتفاع في توتر المجر (drain) على خواص توتر-تيار المسماة عادة ظاهرة " kink ". هذه الظاهرة مهمة جدا لأن التيار يزداد بحيث يصبح تابع لارتفاع توتر المجر (drain) و أبعاد قناة (channel) المقفل.

نلاحظ بعد المقارنة بين مختلف المنحنيات المتحصل عليها من المراجع و البحوث المسبق نشرها المبينة لتغيرات الخواص الكهربائية $I_{DS}(V_{DS})$ لمختلف قيم توتر البوابة (gate) أو (V_{GS}) ، توافق مرضي هذا ما يؤكد صحة النتائج المحصل عليها.

الكلمات المفتاحية : ظاهرة kink، مقفل دو طبقات رقائق (TFTs) ، السليسيوم المتعدد البلور (polysilicium)، نموذج تحليلي.

Modélisation Analytique de l'Effet kink dans un Transistor en Couches Minces à base de Polysilicium

N.H.TOUIDJEN, F.MANSOUR

Laboratoire d'Etude des Matériaux Electroniques pour Application Médicale

Département d'Electronique, Faculté des sciences de l'Ingénieur

Université de Constantine

E-mail : houdatouidjen@yahoo.fr

Résumé :

Un modèle analytique simple du fonctionnement, en régime statique, d'un transistor en couches minces à base de polysilicium ou TFT poly-Si (polysilicon Thin Film Transistor) est proposé. Le modèle décrit les propriétés du transistor ainsi que les phénomènes physiques représentatifs du silicium polycristallin. Les résultats de cette étude sont représenté par la simulation du comportement électrique du TFT en prenant en compte l'influence de l'augmentation de la tension de drain sur les caractéristiques courant-tension appelé couramment effet "kink". C'est un effet très important car le courant augmente de telle sorte qu'il n'est plus indépendant de la tension de drain et des dimensions du canal du transistor.

La comparaison des différents tracés, illustrant l'évolution des caractéristiques $I_{DS}(V_{DS})$ pour diverses valeurs de V_{GS} , avec les résultats de travaux expérimentaux et théoriques déjà existants ont révélé une bonne concordance.

Mots clés : Effet kink, transistor à couches minces (TFTs), polysilicium, modèle analytique.

1. Introduction

Durant les deux dernières décennies, de nombreux travaux ont été consacrés à l'étude des transistors à couches minces à base de polysilicium ou TFTs poly-Si, qui sont de nos jours établis comme faisant partie d'un développement technologique à coût peu élevé pour de larges applications dans le domaine de la micro-électronique [1],[2]. L'une des principales applications des TFT à poly-Si qui a trouvé un grand essor se situe dans la réalisation d'écrans plats à cristaux liquides et à matrice active (ALMCD) (Active Matrix Liquid Crystal Displays) [3].

Le choix et l'excellence du polysilicium pour la réalisation du canal des TFTs affectent de façon directe leurs performances électriques (voir fig.1). Vu que dans la majorité des modèles de conduction, il est représenté comme une succession de grains parfaits séparés par des joints de grains où plusieurs défauts sont réunis [4]-[5].

En plus de ses diverses applications qui a suscité notre intérêt son utilisation comme grille en technologie MOS [6].

En effet, le polysilicium tend de plus en plus à remplacer la grille classique métallique en aluminium pour les transistors MOSFET et les circuits CMOS intégrés. Ceci est lié essentiellement à sa facilité de dépôt, ainsi qu'à ses performances technologiques (masque à l'implantation ionique permettant l'auto-alignement drain-source) et électriques (bon comportement conducteur, lorsqu'il est fortement dopé).

L'idée proposée dans le cadre de ce travail à caractère théorique porte sur l'étude de l'effet "kink" sur les caractéristiques électriques du TFT en poly-si, ainsi que sur le paramètre géométrique (longueur et largeur du canal).

En effet, l'introduction du phénomène d'ionisation par impact dans le modèle analytique courant-tension adapté au TFT en poly-si, donne lieu à l'apparition d'une tension de claquage de la jonction de drain et d'un courant de trous circulant vers le contact de

substrat à partir de cette jonction où se produit la multiplication des porteurs. On observe, donc un effet qu'on appelle kink où le courant augmente brutalement en fonction de la tension de drain.

Au cours de cette étude, un modèle analytique courant-tension adapté au transistor TFT à petits grains a été élaboré et qui vise à présenter les caractéristiques électriques du composant en question pour différentes valeurs de V_{DS} , V_{GS} en considérant l'effet de la variation des dimensions du canal (largeur et longueur).

2-Modèle analytique courant-tension d'un TFT en poly-si à canal n :

Il s'agit d'un modèle analytique courant-tension adapté au transistor TFT à petits grains qui tient compte de l'effet kink. Lorsque la taille moyenne des grains augmente et devient comparable aux dimensions du transistor en question (largeur et longueur du canal), de nouvelles approches sont nécessaires [7].

Le modèle ainsi, élaboré vise à relier la mobilité des porteurs et la hauteur de la barrière de potentiel à la densité de pièges présente aux joints de grains et à la tension de grille appliquée. Comme le transistor fonctionne en régime de forte inversion, l'expression de la densité de courant au niveau du $i^{\text{ème}}$ grain est telle que :

$$J_i = q n_{inv} \exp(-\beta \psi_B(V_i)) \mu_n \frac{V_{d_i}}{L_g} \quad (1)$$

Sous l'effet de l'application d'un champ électrique latéral $\bar{\epsilon}_L$. La hauteur de barrière de potentiel dans le grain a été exprimée de façon analytique en fonction de la concentration des donneurs, et de la densité des pièges. Moyennant certaines approximations, la hauteur de barrière peut être écrite :

$$\psi_B(V_i) = \frac{y_{inv} q (q \cdot N_t^{\bullet 2} - 4 N_t^{\bullet} \bar{\epsilon}_L \epsilon_{si})}{8 \epsilon_{si} (V_{GS} - V_{To} - V_i)} \quad (2)$$

Sachant que V_{GS} et V_{T0} représentent respectivement les tensions de grille et de seuil. La concentration des porteurs, et la densité de piège ionisée dans la couche d'inversion sont données par :

$$n_{inv} = \frac{Cox (V_{GS} - V_T - V_i)}{q y_{inv}} \quad (3)$$

$$N_t^* = \frac{N_t}{1 + 0,5 \exp\left(\frac{E_t - E_{fn}}{KT}\right)} \quad (4)$$

où y_{inv} exprime la profondeur de la couche d'inversion.

Etant donné que le courant de drain I_D est constant tout au long du canal, son expression se met aisément sous la forme :

$$I_D = \frac{-W}{L} \cdot \mu_n \cdot \int_0^{V_{DS}} \exp(-\beta \psi_B(V_i)) Q_n(V_i) dV_i \quad (5)$$

Une expression qui pourrait approcher l'équation (5), et qui sera favorable au calcul analytique de la densité de charge des porteurs libres relative au $i^{\text{ème}}$ grain est :

$$Q_n(V_i) = -Cox (V_{GS} - V_T - V_i) \quad (6)$$

En substituant cette expression dans celle du courant de drain donnée par l'équation (5), celui-ci devient:

$$I_D = \frac{W}{L} \mu_n Cox \int_0^{V_{DS}} \exp(-\beta \psi_B(V_i)) (V_{GS} - V_T - V_i) dV_i \quad (7)$$

En outre une formulation du courant de drain en régime de saturation au-delà du régime linéaire donne :

$$I_D = \frac{W}{L} \mu_n Cox \left[\int_0^{V_{DSAT}} \exp(-\beta \psi_B(V_i)) \cdot (V_{GS} - V_T - V_i) dV_i + (V_{GS} - V_T - V_{DSAT}) \cdot \exp(-\beta \psi_B(V_{DSAT})) \cdot (V_{DS} - V_{DSAT}) \cdot (1 + K_n \alpha_{sat} \cdot \exp(-B_n \bar{\epsilon} L)) \right] \quad (8)$$

Cependant, lorsque la tension V_{DS} devient plus élevée, le champ à l'interface drain-grille est alors très fort. On observe l'effet kink qui n'apparaît que lorsque $V_{DS} > V_{DSAT}$ et sera pratiquement indécélable dès que $V_{DS} \leq V_{DSAT}$.

Ainsi, pour $V_{DS} > V_{DSAT}$ le courant de drain sera approximé tout au long du canal, et en utilisant la méthode de SIMPSON se réduit à :

$$I_{D,app} = \frac{W}{L} C_{ox} \mu_n \left\{ \frac{V_{DS}}{6} \left[\exp(-\beta \Psi_B(0))(V_{GS} - V_T) + 4 \exp\left(-\beta \Psi_B\left(\frac{V_{DSat}}{2}\right)\right) \left(V_{GS} - V_T - \frac{V_{Dsat}}{2}\right) \right] + \exp(-\beta \Psi_B(V_{DSat}))(V_{GS} - V_T - V_{DSat}) \right\} + I_{kink}$$

$$\text{Avec } I_{kink} = \frac{W}{L} C_{ox} n_K \mu_n (V_{GS} - V_T - V_{DSat}) \left(1 + K \alpha_{SAT} \exp(B_n / \bar{\epsilon})\right) \exp(-\beta \Psi_B(V_{SAT})) (V_{DS} - V_{DSat}) \quad (9)$$

Où n_K est un paramètre du modèle

Quant à $K_n = 0.048$ S/cm et $B_n = 1.3$ V/cm représentent respectivement facteur et paramètre exponentiel d'impact d'ionisation.

3. Résultats et Discussions:

3.1. Caractéristique courant –tension sans effet kink:

Sur la figure.1 nous avons représenté une structure colonnaire d'un transistor en couches minces à petits grains ($L_g=200$ nm) dont la couche active est à base de polysilicium d'épaisseur 100 nm. Quant à la couche d'oxyde est d'environ 40 nm, alors que la largeur et la longueur du canal sont $49.5 \mu m$ et $4.5 \mu m$ respectivement [8].

La figure.2 montre l'allure typique des caractéristiques $I_{DS} = f(V_{DS})$ obtenues après simulation pour une tension $V_{GS} = 11V$ et diverses taille des grains ($l_g=200nm$ à $600nm$).

Pour vérifier la validité du modèle analytique proposé, nous avons comparé nos résultats de simulation avec ceux de modèles numériques et des travaux expérimentaux déjà publiés [8], [9].

Comme, il est clairement illustré par cette figure, au début de l'accumulation des porteurs libres dans le canal, un courant de diffusion s'établit. Lorsque la tension de grille devient de plus en plus élevée, la majorité des porteurs induits par celle-ci contribuent au courant de conduction dans le canal.

Dans cette zone de fonctionnement, les caractéristiques électriques telles que concentration des porteurs et leur mobilité sont fortement liés à la structure du polysilicium (taille des grains, densité de pièges aux joints de grain).

Le transistor fonctionne alors comme une résistance commandée par la tension de grille lorsque la tension drain-source reste faible face à la tension de seuil V_T .

En conséquence, les caractéristiques électriques d'un TFT en poly-Si sont fortement liées à la structure du polysilicium et ses conditions d'élaboration (taille des grains, densités de pièges aux joints de grains, température).

Cependant, nous estimons que le courant de drain devient relativement élevé lorsque la dimension du canal est faible d'environ $4.5\mu\text{m}$ pour des tensions V_{GS} allant de 7V à 11V.

3.2. Caractéristique courant –tension tenant compte de l'effet kink:

Un autre résultat qui fait l'objet de cette étude, est l'effet de l'application d'une tension V_{DS} relativement élevée sur les caractéristiques courant-tension d'un TFT poly-Si.

Effectivement, sur les figures 3 et 4 apparaît l'effet de l'augmentation de cette tension sur le courant de drain où un champ très fort se crée à l'interface drain-grille.

La multiplication des porteurs se produit rapidement, ce qui donne lieu à l'apparition du phénomène d'ionisation par impact. On observe donc l'effet kink. C'est un effet très important car le courant augmente de telle sorte qu'il n'est plus indépendant de V_{DS} et des

dimensions du canal du dispositif en question (longueur et largeur), comme il est clairement remarqué sur la figure.4.

4. Conclusion

Dans le cadre de cette étude un modèle analytique simple du fonctionnement en régime statique d'un transistor en couches minces à base de polysilicium est proposé. Ce dernier décrit les propriétés du transistor, les phénomènes physiques liés à la structure particulière du polysilicium, ainsi que l'effet de l'application d'une tension de drain excessivement élevée sur les caractéristiques courant-tension du transistor appelé couramment effet "kink". Ces caractéristiques sont fortement liées aux différents paramètres physiques et électriques du matériau.

Les résultats obtenus ont révélé qu'elles peuvent être affectées d'une manière significative selon les conditions de fabrications et de polarisation du transistor.

Ainsi, avec le modèle développé, nous avons été en mesure d'examiner de près l'influence de l'augmentation de la tension de drain sur le courant caractérisé par l'effet kink en considérant la variation des dimensions du canal (longueur et largeur); aussi avons-nous pu établir une approche analytique décrivant le comportement du transistor en régime de forte inversion.

Il faut noter que l'effet kink dégrade les caractéristiques des TFTs poly-Si. On diminue son influence au minimum possible en insérant deux zones faiblement dopées (technologie LDD – Lightly –Doped-Drain) entre le canal et le drain et entre le canal et la source. Une synthèse de travaux expérimentaux et théoriques basés sur des modèles aussi bien analytiques que numériques [10]-[13] a été faite, et la comparaison de nos résultats de simulations avec ces travaux a révélé une bonne concordance.

5. References

- [1] J.Andrew, S.Brad Herner, Tanmay.Kumar, and En-Hsing Chen. " On conduction Mechanism in polycrystalline Silicon Thin-Film Transistor". IEEE Trans on Electron Devices, vol.51, N°11, pp1856-1866, (2004).
- [2] M.Valdinoci, L Colalongo, and G. Baccarino." Analysis of electrical characteristics of polycrystalline silicon thin-film transistors under static and dynamic conditions". Solid-State Electronics, vol.41,9, pp1363-1369, (1997).
- [3] C. Cheng, J.Singh, M.C Poon, and CA Mansun. " Statistical model to predict the performance variation of polysilicon TFTs formed by grain-enhanced technology". IEEETrans on Electron Device, vol.51, pp12, 2061-2067, (2004).
- [4] J.Levinson, F.R.Shepherd, P.J.Scanlon, W.D.Westwood. " Conductivity behaviour in polycrystalline semi-conductor thin film transistors". J.Appl.Phys (53), (2), (1982).
- [5] G.Baccarani, B.Ricco, and G.Spadini. "Transport properties polycrystalline silicon films". J.Appl.Phys (49), (2), (1978).
- [6] J.Y. Lee, C.H Han, and C.K Kim. "High performance low temperature polysilicon TFT's using ECR plasma thermal oxide as gate insulator." IEEE Trans on Electron Devices, vol.15, pp 301-306, (1994).
- [7] A Bolognesi, M. Berliocchi, and al. "Effects of grain boundaries, field-dependent mobility, and interface trap states on the electrical characteristics of pentacene TFT". IEEE Trans on Electron Devices, vol.51, 12, pp1997-2003, (2004).
- [8] Gi-Young Yang, Sung-Hoi Hur, Chul-Hi Han. " A physical –Based Analytical Turn-On Model Polysilicon Thin-Film Transistor for Circuit Simulation". IEEE Transaction on Electron Devices, vol.46,N°1, (1999).
- [9] .S.W. Wright, .MJ. Lee, P.K. Roberts, .C.P.Judge."A semi-empirical simulation model for polycrystalline thin film transistors". Solid-State Electronics, vol.43, 9, pp2047-2055, (1999).
- [10] M.S.Shur, H. C.Slade, M.D.Jacunski, A.Owusu, and T.Y.Herdal. "Spice models amorphous silicon and polysilicon thin film transistor". J.Electrochem.Soc, vol.144, N°8, pp2833-2839, (1997).
- [11] M.Hack, I-Wei. Wu, A.G.Lewis, and T.J.King."Numerical simulation of polycrystalline silicon thin film transistor including leakage effects". Xerox palo Alto Reseach Center, the institution of Electrical Engineers, CA 94304 USA, (1993).
- [12] G.A .Armstrong, D. Brotherton, and J.R.RYRES. "A comparison of the kink effect in polysilicon on insulator transistors". Solid-State Electronics, vol.39, 9, pp1337-1346, (1996).
- [13] Min-Ched Lee, Juhn-Suk Yoo, and Min-Koo Han. " Low-temperature polysilicon TFT with conter-doped lateral body terminal". Electronics lett, vol.38, pp 254-256, (2002).

Légendes des figures:

Figure.1 : Structure d'un transistor à couche mince à base de polysilicium.

Figure.2 : Caractéristiques sans effet kink du courant $I_{DS}(V_{DS})$ pour différentes valeurs de la taille des grains d'un TFT en poly-Si à canal n.

Figure.3 : Variation du courant de drain I_{DS} avec la tension de drain V_{DS} en considérant l'effet kink dans un TFT en poly-Si à canal n [8] :

(a) canal court

(b) canal long

Figure.4 : Comparaison des caractéristiques $I_{DS}(V_{DS})$ et effet kink dans un TFT en poly-Si de dimension :

(a) largeur inférieure à la longueur

(b) largeur égale à la longueur

(c) largeur supérieure à la longueur

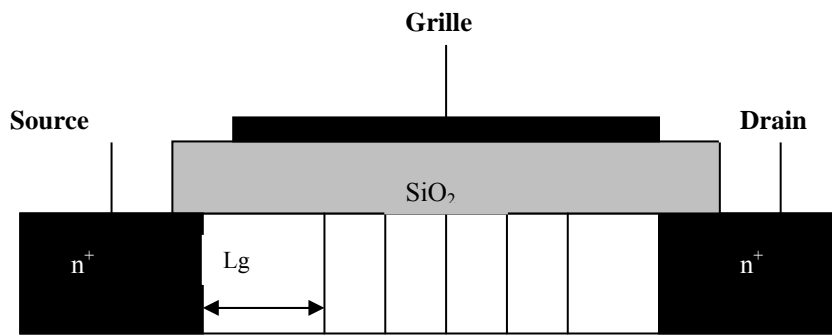


Figure.1 :

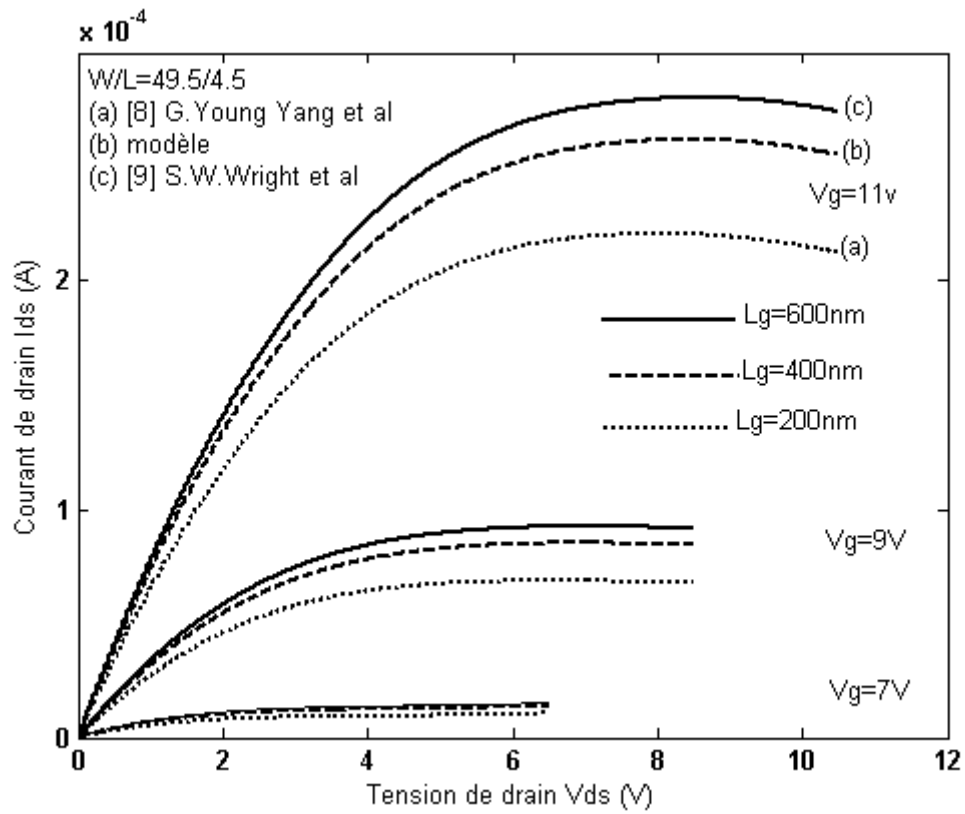
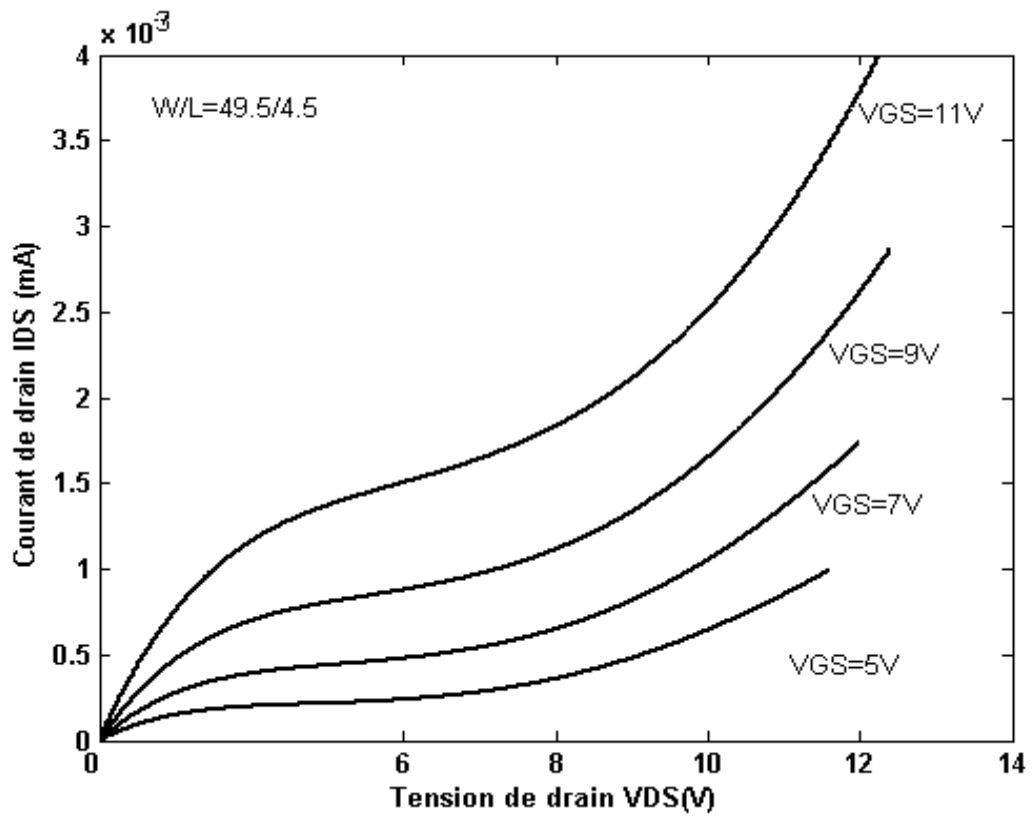
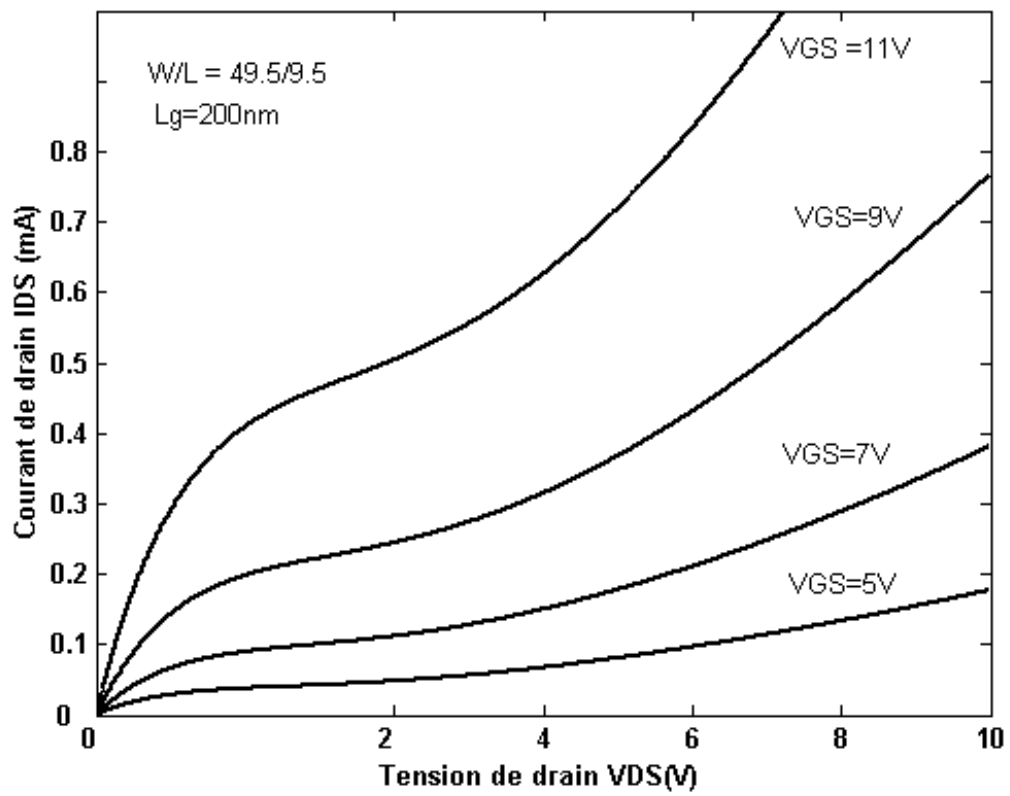


Figure.2

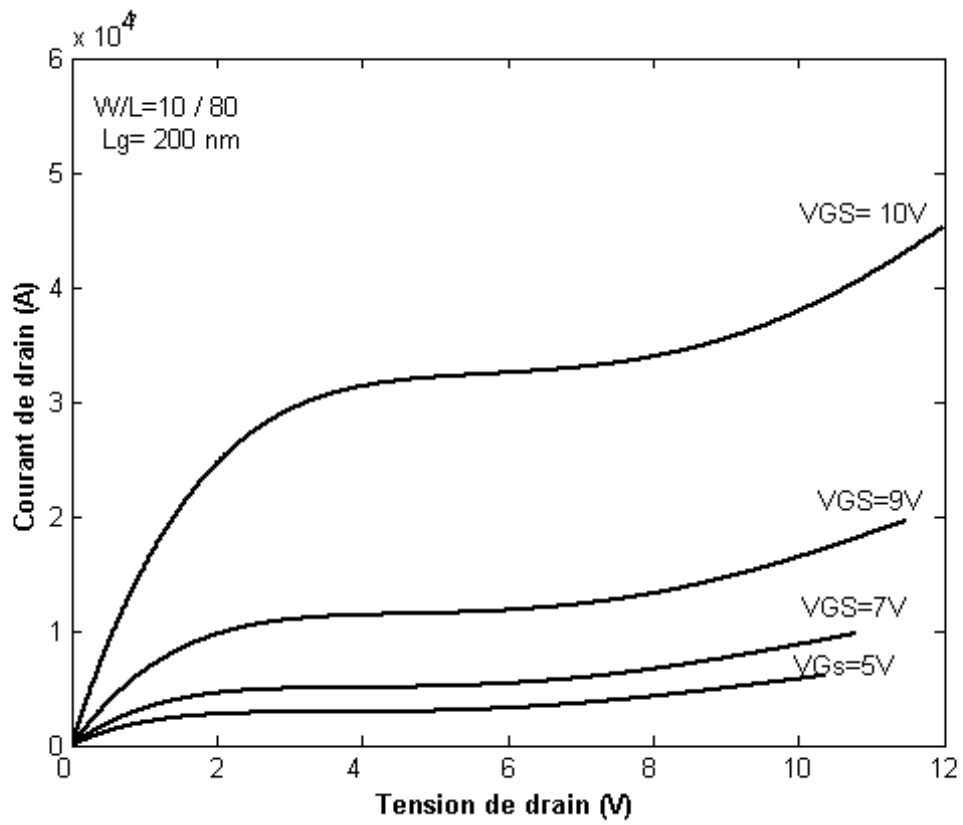


(a)

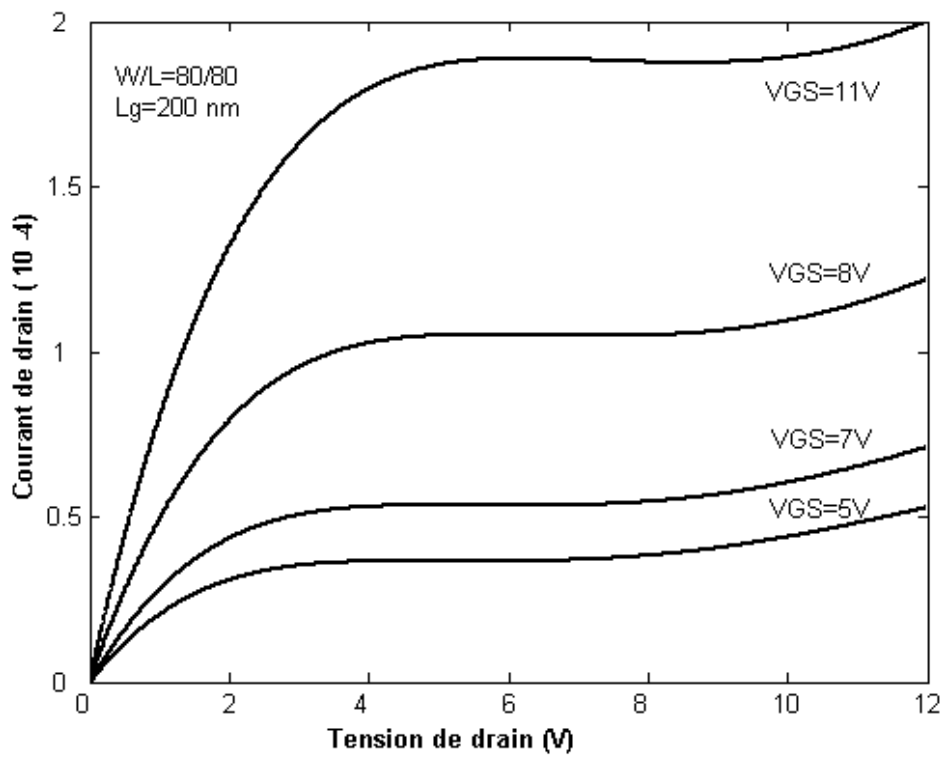


(b)

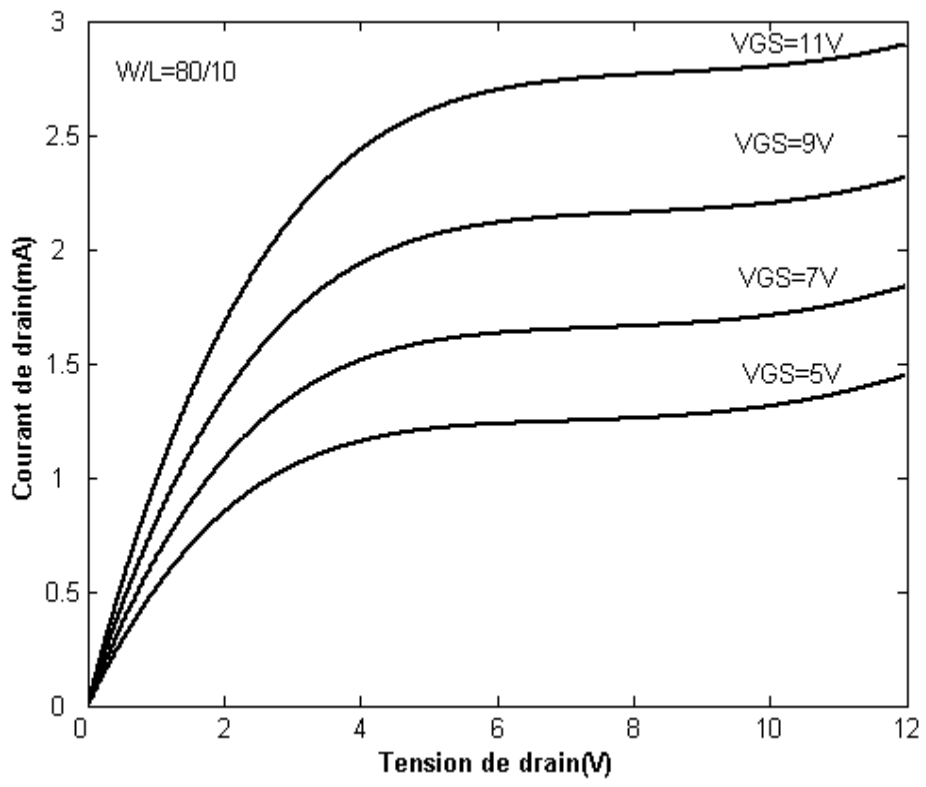
Figure.3.



(a)



(b)



(c)

Figure.4.

Résumé:

Un modèle analytique simple du fonctionnement, en régime statique, d'un transistor en couche mince à base de polysilicium ou TFT (Thin Film Transistor) en poly-Si est proposé. Le modèle décrit les propriétés du transistor ainsi que les phénomènes physiques représentatifs du silicium polycristallin. Les résultats de cette étude sont représentés par la simulation du comportement électrique du TFT en prenant en compte l'influence de l'augmentation de la tension de drain sur les caractéristiques courant-tension appelé couramment effet "kink" et des dimensions du canal du transistor. C'est un effet très important car le courant augmente de telle sorte qu'il n'est plus indépendant de la tension de drain.

Une méthode de résolution numérique bien adaptée a été mise en œuvre pour la détermination des caractéristiques électriques du transistor. Dans notre cas, nous avons adopté la méthode de Simpson.

Les résultats obtenus ont révélé que ces caractéristiques peuvent être affectées d'une manière significative selon les conditions de fabrication et de polarisation du dispositif. Il nous a été donc possible de montrer que les états localisés profonds jouent un rôle important en régime au dessous du seuil, alors que le comportement du transistor en régime au dessus du seuil est gouverné par les états localisés de queues de bandes.

La comparaison des différents tracés, illustrant l'évolution des caractéristiques courant-tension avec les résultats fournis par un simulateur de composants TCAD-ATLAS, et ceux des travaux expérimentaux issus de la littérature ont montré une bonne concordance.

Mots clés : Polysilicium, transistor en couche mince TFT, effet kink, densité d'états, Modèle analytique.

Abstract:

A simple analytical dc model for n-channel polysilicon Thin Film Transistor (poly- TFT) is proposed. The model describes the device properties and physical phenomena representing the polysilicon. The results including a fundamental gate length dependence of voltage at which a kink effect appears in the out put characteristics. This important and rapid rise of out put current occurs at large drain-source voltage when the TFT is biased in saturation regime, where a high electric field in the channel near the drain causes avalanche multiplication or impact ionisation in the pinch-off region.

A well adapted numeric resolution was used to determine the current-voltage characteristics. In our case we used Simpson method.

The proposed model contains a number of parameters which are easily extracted and can be readily related to the structural and material properties of the poly-Si TFTs. Parameter behaviour is governed by deep states in the middle of the polysilicon gap while the tail state distribution controls the upper-threshold regime behaviour.

The comparison of the generated current-voltage characteristics obtained from numerical simulation TCAD-ATLAS with those reported in the literature show a good agreement.

Keys words: Polysilicon, Thin Films Transistors (TFTs), kink effect, density of states, analytical model

ملخص:

لقد اقترحنا نموذجاً بسيطاً تحليلياً لعمل مقحل دو طبقات رقيقة من السليسيوم المتعدد البلور أو (Thin Film Transistor) في النظام الدائم. هذا النموذج يصف خواص المقحل وكذلك الظواهر الفيزيائية الممثلة للسليسيوم متعدد البلور. إن نتائج هذه الدراسة الممثلة في محاكاة المميزات الكهربائية لـ TFT poly-Si أُخذين بعين الاعتبار الارتفاع في توتر المجر (Drain) على الخواص تيار-تور مسماة عادة بظاهرة kink و أبعاد قناة المقحل. هذه الظاهرة مهمة جداً لأن التيار يزداد بحيث يصبح غير مستقل عن توتر المجر. استعملت طريقة حل عددي مؤهلة بشكل جيد لتحديد الخواص الكهربائية للمقحل. في حالتنا هذه اعتمدنا طريقة Simpson.

أظهرت النتائج المحصل عليها يمكن أن تتأثر بشكل دال حسب شروط التصنيع والاستقطاب لهذا المركب الإلكتروني. بالتالي قد كان من الممكن أن نبين أن كثافة الحالات المحددة عمقا أو الحالات العميقة تلعب دوراً هاماً في نظام تحت العتبة، في حين أن سلوك المقحل في نظام فوق العتبة تحكمها الحالات الدنيا. المقارنة بين مختلف المنحنيات المبينة لتغيرات خواص تيار-تور مع النتائج المقدمة من جهاز المحاكاة TCAD-ATLAS وكذلك الأعمال النظرية المسبق نشرها أظهرت توافق مرضي مما يؤكد صحة النموذج المقترح.

الكلمات المفتاحية: السليسيوم متعدد البلورات، مقحل دو طبقات رقيقة، ظاهرة kink، كثافة الحالات، نموذج تحليلي .